

**UNIVERSIDADE FEDERAL DO CEARÁ
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**



**CONVERSORES DE ALTO GANHO DE TENSÃO E ESTÁGIO
ÚNICO APLICADOS A SISTEMAS DE ENERGIAS
RENOVÁVEIS COM BATERIAS**

Paulo Peixoto Praça

Fortaleza
Agosto de 2011

PAULO PEIXOTO PRAÇA

**CONVERSORES DE ALTO GANHO DE TENSÃO E ESTÁGIO
ÚNICO APLICADOS À SISTEMAS DE ENERGIAS
RENOVÁVEIS COM BATERIAS**

Tese submetida à Universidade Federal do Ceará como parte dos requisitos para obtenção do grau de Doutor em Engenharia Elétrica.

Orientador: Prof. Dr. Luiz Henrique Silva Colado Barreto

Co-orientador: Prof. Dr. Demercil de Souza Oliveira Jr.

Fortaleza
Agosto de 2011

Dados Internacionais de Catalogação na Publicação
Universidade Federal do Ceará
Biblioteca de Ciências e Tecnologia

P91c Praça, Paulo Peixoto

Conversores de alto ganho de tensão e estágio único aplicados a sistemas de energias renováveis com baterias / Paulo Peixoto Praça. – 2011.

168 f. : il. color., enc. ; 30 cm.

Tese (doutorado) – Universidade Federal do Ceará, Centro de Tecnologia, Departamento de Engenharia Elétrica, Programa de Pós-Graduação em Engenharia Elétrica, Fortaleza, 2011.

Área de Concentração: Eletrônica de Potência e Acionamentos

Orientação: Prof. Dr. Luiz Henrique Silva Colado Barreto

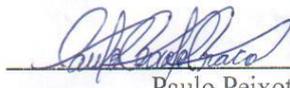
Coorientação: Prof. Dr. Demercil de Souza Oliveira Júnior.

1. Eletrônica de potência. 2. Alta tensão. 3. Baterias elétricas. I. Título.

PAULO PEIXOTO PRAÇA

**CONVERSORES DE ALTO GANHO DE TENSÃO E ESTÁGIO ÚNICO
APLICADOS A SISTEMAS DE ENERGIAS RENOVÁVEIS COM
BATERIAS**

Esta Tese foi julgada adequada para a obtenção de título de Doutor em Engenharia Elétrica, Área de Concentração em Eletrônica de Potência e Acionamentos, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará.



Paulo Peixoto Praça

Orientador:

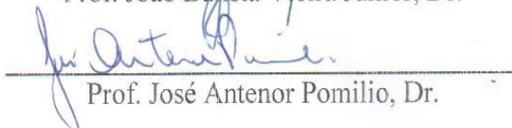


Prof. Luiz Henrique Silva Colado Barreto, Dr.

Banca Examinadora:



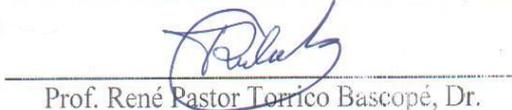
Prof. João Batista Vieira Júnior, Dr.



Prof. José Antenor Pomílio, Dr.



Prof. Demercil de Souza Oliveira Júnior, Dr.



Prof. René Pastor Torrico Bascopé, Dr.



Prof. Fernando Luiz Marcelo Antunes, Dr.

Fortaleza, 26 de agosto de 2011

“Se cheguei até aqui foi porque me apoiei no ombro dos gigantes”
(Isaac Newton)

“Se, a princípio, a ideia não é absurda, então não há esperança para ela”
(Albert Einstein)

*A Deus,
Por ter me concedido a vida, minha Família,
meus Amigos, meu caráter, minha determinação
e uma oportunidade desta magnitude.*

*Aos meus pais Paulo e Tânia,
Ao meu irmão Rodrigo,
Aos meus Avós Rocicler(†), Montezuma(†), Maria(†) e Manoel(†),
A meus tios Adérito e Sônia (meus segundos pais),
A todos da minha família que não os citei,
Eu dedico essa vitória.*

AGRADECIMENTOS

Primeiramente a Deus, pelo dom da vida e pela chance que me foi concedida.

Ao professor e amigo Dr. Luiz Henrique Silva Colado Barreto, pela sua orientação, amizade e disponibilidade durante todo esse tempo.

Ao professor e amigo Dr. Demercil de Souza Oliveira Jr., pela orientação, presença constante e disponibilidade nos momentos de dificuldade, pela vasta experiência e pelos conhecimentos transmitidos. Obrigado pela paciência.

Ao professor Ricardo Thé e sua esposa professora Graça pela recepção no programa de pós-graduação e pelo incentivo durante todo o curso.

Aos professores do Departamento de Engenharia Elétrica da UFC, Fernando Antunes, Bismark Claire, René Bascopé, Ruth Leão, Paulo Carvalho, José Carlos, Arthur Plínio, Laurinda, Sergio Daher, Kleber Lima, Gustavo Castelo Branco, Cícero Cruz, José Almeida, Tomáz Nunes, Ricardo Thé e Otacílio Almeida, aos funcionários do departamento Rafael e Mário Sérgio, responsáveis diretamente ou indiretamente pela minha formação no programa de Doutorado.

Ao técnico Pedro, pela disponibilidade no auxílio da montagem dos protótipos.

Aos meus amigos e colegas de mestrado e doutorado: André Lima, Ádson, Antonio Barbosa, Bruno, Dalton, Éber, Edílson, Elmano, Fabíola, Gustavo Henn, Hermínio, Lincon, Luiz Daniel, Mônica, Nelber, Ranoyca, Raphael Amaral, Rômulo Leite, Rômulo Nunes, Sérgio Lima, Vandilberto, Vanessa, Victor de Paula e aos demais colegas de laboratório que de alguma forma contribuíram.

Aos amigos de infância, do ensino médio e do cotidiano que continuam sempre mantendo contato comigo: Tobias, Jayson, Jefferson, Klauss, Rodney, Ronald, Cíntia, Liana, Márcio, Luciano, Marcelo, Halisson Alves, Belchior, Maria Daniela, Fernando Sobreira, Davi Nunes, Rousseau, Óliver.

À todas as pessoas que por motivo de esquecimento não foram citadas anteriormente, vou deixando neste espaço minhas sinceras desculpas.

Praça, P. P.; “Conversores de Alto Ganho de Tensão e Estágio Único Aplicados a Sistemas de Energias Renováveis com Baterias”, Universidade Federal do Ceará – UFC, 2011, 168p.

Este trabalho tem por objetivo apresentar um novo conceito para a concepção de conversores para aplicações em energias renováveis e carregamento de baterias com um número reduzido de estágios de processamento. São desenvolvidas três topologias diferentes de conversores de alto ganho de tensão com um único estágio de processamento e capaz de operar tanto com um banco de baterias como com painéis fotovoltaicos. A operação destes conversores permite que as fontes de entradas (painéis ou baterias) operem de forma natural, independentemente ou complementarmente, compondo um barramento CC e apresentando a comutação suave dos interruptores. Por fim, foram desenvolvidos três protótipos para uma potência de 500 W que validam o princípio de funcionamento dos sistemas propostos apresentando alto rendimento, alto ganho de tensão e boa regulação do barramento CC em todos os modos de operação.

Palavras-Chave: Eletrônica de Potência, Alto Ganho de Tensão, Comutação Suave, Estágio Único, Baterias e Painéis Fotovoltaicos.

Praça, P. P.; “High voltage gain and single stage converters applied to renewable energies using batteries”, Universidade Federal do Ceará – UFC, 2011, 168p.

Taking into account the great technological development on renewable energy systems and their applications on power electronics, this work presents a new concept of converters applied to renewable systems and batteries charging with a reduced number of energy processing stages. This work approaches three different high voltage gain converters topologies with only one processing stage, and with bidirectional capability, with batteries, and with photovoltaic panels. The operation of these converters allow that the inputs (PV-panels or batteries), work independently or simultaneously, in order to compose a single DC bus. Also, proposed topologies present natural soft-switching operation. At last, the three prototypes were developed to work with a nominal power of 500W, validating the operation principle of the proposed system, featuring high efficiency, high voltage gain, and good voltage regulation on the DC bus.

Keywords: Power Electronics, High Voltage Gain, Soft-Switching, Single Stage, Batteries and Photovoltaic Panels.

SUMÁRIO

LISTA DE FIGURAS.....	xii
LISTA DE TABELAS.....	xvii
SIMBOLOGIA.....	xviii
INTRODUÇÃO GERAL.....	1
CAPÍTULO 1 - REVISÃO BIBLIOGRÁFICA, ESTADO DA ARTE.....	4
1.1 CONSIDERAÇÕES INICIAIS.....	4
1.2 PRINCIPAIS TOPOLOGIAS DE CONVERSORES ELEVADORES DE TENSÃO DE ALTO GANHO.....	4
1.2.1 TOPOLOGIAS DE CONVERSORES <i>BOOST</i> DE ALTO GANHO COM INDUTORES ACOPLADOS.....	5
1.2.2 TOPOLOGIAS DE CONVERSORES <i>BOOST</i> DE ALTO GANHO COM CÉLULAS MULTIPLICADORAS DE TENSÃO.....	9
1.2.3 TOPOLOGIAS DE CONVERSORES <i>BOOST</i> DE ALTO GANHO COM CAPACITORES CHAVEADOS.....	12
1.3 TOPOLOGIAS PROPOSTAS LEVANDO EM CONSIDERAÇÃO O ÚNICO ESTÁGIO.....	15
1.4 CONSIDERAÇÕES FINAIS.....	17
CAPÍTULO 2 - ANÁLISE QUALITATIVA E QUANTITATIVA DO CONVERSOR <i>BOOST</i> DE ALTO GANHO PARA A TOPOLOGIA I.....	19
2.1 CONSIDERAÇÕES INICIAIS.....	19
2.2 ANÁLISE QUALITATIVA DO CONVERSOR <i>BOOST</i> DE ALTO GANHO UTILIZANDO INDUTORES ACOPLADOS.....	19
2.2.1 PRINCÍPIO DE OPERAÇÃO.....	21
2.2.2 FORMAS DE ONDA TEÓRICAS DO CONVERSOR.....	24
2.2.3 ANÁLISE QUANTITATIVA DAS ETAPAS DE OPERAÇÃO.....	25
2.2.4 GANHO ESTÁTICO DO CONVERSOR.....	32
2.3 CONDIÇÕES DE COMUTAÇÃO SUAVE.....	38
2.3.1 ANÁLISE DA COMUTAÇÃO SUAVE PARA A CHAVE SUPERIOR S1.....	39
2.3.2 ANÁLISE DA COMUTAÇÃO SUAVE PARA A CHAVE INFERIOR S2.....	43
2.4 PROCEDIMENTO DE PROJETO PARA A TOPOLOGIA I.....	45
2.4.1 PROJETO DO INDUTOR DE ENTRADA (L_{IN}).....	46
2.4.2 PROJETO DO INDUTOR SÉRIE (L_K).....	49
2.4.3 PROJETO DO TRANSFORMADOR (T_R).....	51
2.4.4 DIMENCIONAMENTO DOS DIODOS RETIFICADORES D1-D2.....	53
2.4.5 DIMENCIONAMENTO DOS INTERRUPTORES DE POTÊNCIA S1-S2.....	54

2.4.6	DIMENSIONAMENTO DOS CAPACITORES DE SAÍDA C1-C2-C3-C4	55
2.5	CONSIDERAÇÕES FINAIS	56
CAPÍTULO 3 - ANÁLISE QUALITATIVA E QUANTITATIVA DO CONVERSOR		
<i>BOOST</i> DE ALTO GANHO PARA A TOPOLOGIA II		58
3.1	CONSIDERAÇÕES INICIAIS	58
3.2	ANÁLISE QUALITATIVA DO CONVERSOR <i>BOOST</i> DE ALTO GANHO UTILIZANDO CÉLULAS MULTIPLICADORAS DE TENSÃO	58
3.3	PRINCÍPIOS DE OPERAÇÃO.....	60
3.4	FORMAS DE ONDA TEÓRICAS DO CONVERSOR.....	65
3.4.1	ANÁLISE QUANTITATIVA DAS ETAPAS DE OPERAÇÃO.....	66
3.4.2	GANHO ESTÁTICO DO CONVERSOR	72
3.5	PROCEDIMENTO DE PROJETO PARA A TOPOLOGIA II.....	76
3.5.1	PROJETO DO INDUTOR DE ENTRADA (L_{IN}).....	76
3.5.2	PROJETO DO INDUTOR DE AUXÍLIO À COMUTAÇÃO (L_K)	79
3.5.3	DIMENSIONAMENTO DOS DIODOS RETIFICADORES D1-D6	81
3.5.4	DIMENSIONAMENTO DOS INTERRUPTORES DE POTÊNCIA S1-S2	82
3.5.5	DIMENSIONAMENTO DOS CAPACITORES DE SAÍDA C1-C8.....	83
3.6	CONSIDERAÇÕES FINAIS	84
CAPÍTULO 4 - ANÁLISE QUALITATIVA E QUANTITATIVA DO CONVERSOR		
<i>BOOST</i> DE ALTO GANHO PARA A TOPOLOGIA III.....		86
4.1	CONSIDERAÇÕES INICIAIS	86
4.2	ANÁLISE QUALITATIVA DO CONVERSOR <i>BOOST</i> DE ALTO GANHO UTILIZANDO CÉLULAS DE COMUTAÇÃO SUAVE.....	86
4.3	PRINCÍPIOS DE OPERAÇÃO.....	88
4.4	FORMAS DE ONDA TEÓRICAS DO CONVERSOR.....	93
4.5	ANÁLISE QUANTITATIVA DAS ETAPAS DE OPERAÇÃO PARA ‘D>50%’	95
4.6	GANHO ESTÁTICO DO CONVERSOR PARA ‘D>50%’	100
4.7	ANÁLISE QUANTITATIVA DAS ETAPAS DE OPERAÇÃO PARA D<50%	104
4.8	GANHO ESTÁTICO DO CONVERSOR PARA ‘D<50%’	109
4.9	CONDIÇÃO DE COMUTAÇÃO SUAVE.....	113
4.9.1	ANÁLISE DA COMUTAÇÃO SUAVE PARA AS CHAVES INFERIORES	113
4.9.2	ANÁLISE DA COMUTAÇÃO SUAVE PARA AS CHAVES SUPERIORES	115
4.10	PROCEDIMENTO DE PROJETO PARA A TOPOLOGIA III	117
4.10.1	PROJETO DO INDUTOR DE ENTRADA (L_{IN}).....	117
4.10.2	PROJETO DO AUTOTRANSFORMADOR DA CÉLULA DE COMUTAÇÃO DE TRÊS ESTADOS (T_1 - T_2).....	120

4.10.3	PROJETO DO TRANSFORMADOR (T_{R1} - T_{R2})	121
4.10.4	DIMENSIONAMENTO DOS DIODOS RETIFICADORES D1-D2	123
4.10.5	DIMENSIONAMENTO DOS INTERRUPTORES DE POTÊNCIA S1 À S4.....	124
4.10.6	DIMENSIONAMENTO DOS CAPACITORES DE SAÍDA C1-C2-C3-C4.....	126
4.11	CONSIDERAÇÕES FINAIS	126
CAPÍTULO 5 - RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS.....		128
5.1	CONSIDERAÇÕES INICIAIS	128
5.2	RESULTADOS PARA A TOPOLOGIA I.....	128
5.2.1	RESULTADOS DE SIMULAÇÃO DA TOPOLOGIA I.....	129
5.2.2	RESULTADOS EXPERIMENTAIS DA TOPOLOGIA I.....	132
5.3	RESULTADOS PARA A TOPOLOGIA II	136
5.3.1	RESULTADOS DE SIMULAÇÃO DA TOPOLOGIA II	137
5.3.2	RESULTADOS EXPERIMENTAIS DA TOPOLOGIA II.....	140
5.4	RESULTADOS PARA A TOPOLOGIA III.....	144
5.4.1	RESULTADOS DE SIMULAÇÃO DA TOPOLOGIA III	144
5.3.2	RESULTADOS EXPERIMENTAIS DA TOPOLOGIA III.....	147
5.5	CONSIDERAÇÕES FINAIS	152
CAPÍTULO 6 - CONCLUSÃO GERAL.....		153
REFERÊNCIAS BIBLIOGRÁFICAS		155
APÊNDICE A – CIRCUITOS DE SIMULAÇÃO		161
APÊNDICE B – ESQUEMÁTICOS DOS CONVERSORES		165

LISTA DE FIGURAS

Figura 1 - Arquiteturas tradicionais de conversão de energia	2
Figura 2 - Arquitetura proposta	2
Figura 1.1 - Topologia proposta por Tseng e Liang [11]	5
Figura 1.2 - a) Topologia proposta por [14] b) Topologia proposta por [15].....	6
Figura 1.3 - Topologia com dobrador de tensão proposta por [17].....	6
Figura 1.4 - Topologia proposta por [18]	7
Figura 1.5 - a)Topologia proposta por[19] b)Topologia proposta por[23-24] c)Topologia proposta por[25-26]	7
Figura 1.6 - Topologia proposta por [27]	8
Figura 1.7 - Topologia proposta por [32]	9
Figura 1.8 - Topologia proposta por [34]	10
Figura 1.9 - Topologia proposta por [33]	11
Figura 1.10 - Topologia proposta por [36]	11
Figura 1.11 - Topologia proposta por [39]	12
Figura 1.12 - Topologia proposta por [40]	13
Figura 1.13 - Topologia proposta por [41]	13
Figura 1.14 - Topologia proposta por [43]	14
Figura 1.15 - Topologia proposta por [44]	14
Figura 1.16 - Topologia proposta por [45]	15
Figura 1.17 - Topologia proposta por [49]	15
Figura 1.18 – Topologia I.....	16
Figura 1.19 - Topologia II	16
Figura 1.20 - Topologia III.....	17
Figura 2.1 - Conversor boost de alto ganho (Topologia I)	19
Figura 2.2 - Estrutura cascadeada baseada no conversor boost integrado	20
Figura 2.3 - Concepção da Topologia I	21
Figura 2.4 - Primeira Etapa de Operação	22
Figura 2.4 - Primeira Etapa de Operação	22
Figura 2.5 - Segunda Etapa de Operação	23
Figura 2.6 - Terceira Etapa de Operação.....	23
Figura 2.7 - Quarta Etapa de Operação	24
Figura 2.8 - Formas de onda teóricas da Topologia I.....	25

Figura 2.9 - Circuito Equivalente da Primeira Etapa de Operação	25
Figura 2.10 - Circuito Equivalente da Segunda Etapa de Operação	27
Figura 2.11 - Circuito Equivalente da Terceira Etapa de Operação	29
Figura 2.12 - Circuito Equivalente da Quarta Etapa de Operação	30
Figura 2.13 - Etapas de Operação com Fontes Constantes.....	33
Figura 2.14 - Formas de ondas teóricas da corrente em LK e gatilho de S1	33
Figura 2.15 - Gráfico do Ganho Estático em função da Razão Cíclica.....	37
Figura 2.16 - Gráfico do Ganho Estático em função da corrente de carga parametrizada	38
Figura 2.17 - Circuitos Equivalentes para Análises da Comutação Suave para a Topologia I	38
Figura 2.18 - Tempo Morto Mínimo da chave S1 a)Tempo Morto Máximo da chave S1(b)..	42
Figura 2.19 - Tempo Morto Mínimo da chave S2 a)Tempo Morto Máximo da chave S2(b)..	45
Figura 2.20 - Tempos Mortos Mínimos e Máximos das chaves S1 e S2	45
Figura 2.21 - Núcleo e Carretel do tipo EE	47
Figura 2.22 - Dimensões do Núcleo NEE 55/28/21	47
Figura 2.23 - Valores de Pico nas Chaves S1(a) e S2(b) para diferentes valores de L_K	49
Figura 2.24 - Dimensões do Núcleo NEE 30/15/14	50
Figura 2.25 - Tensão e Corrente em D1 e D2.....	53
Figura 2.26- Diagrama do Diodo Schotty MBR20200	54
Figura 2.27 - Tensão e Corrente em S1 e S2	54
Figura 2.28 - Diagrama do MOSFET IRF2907.....	55
Figura 2.29 - Corrente em C1, C2, C3 e C4	56
Figura 3.1 - Conversor boost de alto ganho (Topologia II).....	58
Figura 3.2 - Células Multiplicadoras de tensão (MCs) da Topologia II.....	59
Figura 3.3 - Concepção da Topologia II.....	60
Figura 3.4 - Primeira Etapa de Operação	61
Figura 3.5 - Segunda Etapa de Operação	62
Figura 3.6 - Terceira Etapa de Operação	62
Figura 3.7 - Quarta Etapa de Operação	63
Figura 3.8 - Quinta Etapa de Operação	63
Figura 3.9 - Sexta Etapa de Operação	64
Figura 3.10 - Sétima Etapa de Operação	64
Figura 3.11 - Oitava Etapa de Operação.....	65
Figura 3.12 - Formas de onda teóricas da Topologia II	66
Figura 3.13 - Circuito Equivalente da Primeira Etapa de Operação	67

Figura 3.14 - Circuito Equivalente da Segunda Etapa de Operação	68
Figura 3.15 - Circuito Equivalente da Terceira Etapa de Operação	68
Figura 3.16 - Circuito Equivalente da Quarta Etapa de Operação	69
Figura 3.17 - Circuito Equivalente da Quinta Etapa de Operação	69
Figura 3.18 - Circuito Equivalente da Sexta Etapa de Operação	70
Figura 3.19 - Circuito Equivalente da Sétima Etapa de Operação	71
Figura 3.20 - Circuito Equivalente da Oitava Etapa de Operação.....	71
Figura 3.21 - Formas de ondas teóricas da corrente em LK e gatilho de S1	73
Figura 3.22 - Polígonos das Correntes nos Diodos	74
Figura 3.23 - Ganho Estático x Corrente de Carga.....	76
Figura 3.24 - Dimensões do Núcleo NEE 42/20/21	77
Figura 3.25 - Valores de Pico nas Chaves S1(a) e S2(b) para diferentes valores de L_K	79
Figura 3.26 - Dimensões do Núcleo NEE 30/15/14	80
Figura 3.27 - Tensão e Corrente nos Diodos D1 – D6	81
Figura 3.28 - Diagrama do Diodo Schottky MBR20100	82
Figura 3.29 - Tensão e Corrente em S1 e S2	83
Figura 3.30 - Diagrama do MOSFET IRFP4710	83
Figura 4.1 - Conversor boost de alto ganho (Topologia III)	86
Figura 4.2 - Células de Comutação de Três Estados da Topologia III.....	87
Figura 4.3 - Conversor Push-Pull clássico	87
Figura 4.4 - Obtenção da Célula de Comutação de Três Estados.....	87
Figura 4.5 - Concepção da Topologia III	88
Figura 4.6 - Primeira Etapa de Operação	89
Figura 4.7 - Segunda Etapa de Operação	90
Figura 4.8 - Terceira Etapa de Operação	91
Figura 4.9 - Quarta Etapa de Operação	91
Figura 4.10 - Quinta Etapa de Operação	92
Figura 4.11 - Sexta Etapa de Operação	93
Figura 4.12 - Formas de onda teóricas da Topologia III	94
Figura 4.13 - Circuito Equivalente da Primeira Etapa de Operação	95
Figura 4.14 - Circuito Equivalente da Terceira Etapa de Operação	97
Figura 4.15 - Circuito Equivalente da Quarta Etapa de Operação	98
Figura 4.16 - Circuito Equivalente da Sexta Etapa de Operação	99
Figura 4.17 - Circuito Equivalente da Primeira Etapa de Operação ($D < 50\%$)	104

Figura 4.18 - Circuito Equivalente da Terceira Etapa de Operação ($D < 50\%$).....	106
Figura 4.19 - Circuito Equivalente da Quarta Etapa de Operação ($D < 50\%$)	107
Figura 4.20 - Circuito Equivalente da Sexta Etapa de Operação ($D < 50\%$)	108
Figura 4.21 - a) Gráfico do Ganho Estático x Razão Cíclica Para as Duas Regiões de Operação b) Ganho Estático x Corrente de Carga Parametrizada.....	112
Figura 4.22 - Circuitos Equivalentes para Análises da Comutação Suave da Topologia III .	113
Figura 4.23 - (a) Tempo Morto Mínimo das chaves inferiores (b) Tempo Morto Máximo das chaves inferiores	115
Figura 4.24 - (a) Tempo Morto Mínimo das chaves superiores (b) Tempo Morto Máximo das chaves superiores.....	116
Figura 4.25 - Tempos Mortos Mínimos e Máximos das chaves Superiores e Inferiores	117
Figura 4.26 - Dimensões do Núcleo NEE 55/28/21	118
Figura 4.27 - Dimensões do Núcleo NEE 42/21/15	120
Figura 4.28 - Tensão e Corrente em D1 e D2.....	124
Figura 4.29 - Diagrama do Diodo Schottky MBR20200	124
Figura 4.30 - Tensão e Corrente em S1 e S2	125
Figura 4.31 - Diagrama do MOSFET IRF4710.....	125
Figura 5. 1 – Topologia I.....	129
Figura 5. 2 – Tensão e Corrente na Bateria	129
Figura 5. 3 – Corrente em L_K e Tensões em D1 e D2	130
Figura 5. 4 – Corrente em $(L_K + T1)$ e Tensões em C1, C2, C3 e C4.....	130
Figura 5. 5 – Tensão e Corrente em S1 e S2	130
Figura 5. 6 – Tensão e Corrente (x10) em S1 e S2.....	131
Figura 5. 7 – Comportamento Dinâmico do Conversor da Topologia I.....	131
Figura 5. 8 – a) Tensão e Corrente de Entrada na Bateria b) Tensão e Corrente de Saída	132
Figura 5. 9 – a) Corrente no primário do transformador T1 b) Corrente no indutor de entrada L_{IN}	132
Figura 5. 10 – a) Tensão e Corrente no primário do transformador T1 b) Tensão nos diodos D1 e D2.....	133
Figura 5. 11 – Tensões nos Capacitores de Saída C1, C2, C3e C4.....	133
Figura 5. 12 – a) Tensão e Corrente na Chave S1 b) Tensão e Corrente na Chave S2	134
Figura 5. 13 – a) Detalhe da Tensão e Corrente na Chave S1 b) Detalhe da Tensão e Corrente na Chave S2.....	134
Figura 5. 14 – a) Tensão e Corrente na Chave S1 para $C1=10\mu F$ b) Tensão em C1 e tensão de	

saída V_o	135
Figura 5. 15 – Rendimento da Topologia I.....	135
Figura 5. 16 – Topologia II.....	136
Figura 5. 17 – Tensão e Corrente na Bateria	137
Figura 5. 18 – Tensão e Corrente nos Diodos das células multiplicadoras de tensão	137
Figura 5. 19 – Tensão nos Capacitores C4, C5 e C8 e em C4, C5 e C7.....	138
Figura 5. 20 – Corrente em L_K e Tensão e Corrente em S1 e S2	138
Figura 5. 21 – Tensão e Corrente (x10) na carga	139
Figura 5. 22 – Comportamento Dinâmico do Conversor da Topologia II	139
Figura 5. 23 – a) Tensão e Corrente de Entrada na Bateria b) Tensão e Corrente de Saída ..	139
Figura 5. 24 – Tensão sobre os Diodos das Células Multiplicadoras.....	140
Figura 5. 25 – Tensão sobre os Capacitores de Saída	141
Figura 5. 26 – Tensão sobre os Capacitores das Células Multiplicadoras	141
Figura 5. 27 – a) Tensão e Corrente em L_{IN} b) Tensão e Corrente em L_K	142
Figura 5. 28 – a) Tensão e Corrente em S1 b) Tensão e Corrente em S2	142
Figura 5. 29 – Detalhe da Comutação em S1 e S2	143
Figura 5. 30 – Rendimento da Topologia II	143
Figura 5. 31 – Topologia III	144
Figura 5. 32 – Tensão e Corrente na Bateria e Corrente nos Enrolamentos T1 e T2.....	145
Figura 5. 33 – Tensão e Corrente (x5) nos Diodos Retificadores D1 e D2.....	145
Figura 5. 34 – Tensão nos Capacitores de Saída	145
Figura 5. 35 – Tensão e Corrente (x3) nos Interruptores de Potência.....	146
Figura 5. 36 – Tensão e Corrente (x10) na Carga	146
Figura 5. 37 – Comportamento Dinâmico do Conversor da Topologia III.....	147
Figura 5. 38 – a) Tensão e Corrente de Entrada na Bateria b) Tensão e Corrente de Saída ..	147
Figura 5. 39 – Tensões nos capacitores de Saída	148
Figura 5. 40 – Tensão sobre os diodos de saída D1 e D2.....	148
Figura 5. 41 – Corrente de entrada e corrente nos enrolamentos da célula de 3 estados	149
Figura 5. 42 – Tensão e Corrente nos enrolamentos primários dos transformadores	149
Figura 5. 43 – a) Tensão e Corrente em S1 b) Detalhe da comutação em S1	150
Figura 5. 44 – a) Tensão e Corrente em S2 b) Detalhe da comutação em S2	150
Figura 5. 45 – Tensão sobre todas as Chaves da Topologia III.....	151
Figura 5. 46 – Rendimento da Topologia III.....	151
Figura 5. 47 – Comparação entre os Rendimentos de todas as Topologias	152

LISTA DE TABELAS

Tabela 2.1 - Parâmetros do Indutor de Entrada (L_{IN})	48
Tabela 2.2 - Parâmetros do Indutor de Disperção (L_K)	51
Tabela 2.3 - Parâmetros do Transformador (T_R)	53
Tabela 3.1 - Parâmetros do Indutor de Entrada (L_{IN})	78
Tabela 3.2 - Parâmetros do Indutor (L_K)	81
Tabela 4.1 - Parâmetros do Indutor de Entrada (L_{IN})	119
Tabela 4.2 - Parâmetros do Autotransformador ($T_1 - T_2$)	121
Tabela 4.3 - Parâmetros dos Transformadores ($T_{r1} - T_{r2}$)	123
Tabela 5.1 - Parâmetros do Conversor da Topologia I	128
Tabela 5.2 - Parâmetros do Conversor da Topologia II	135
Tabela 5.3 - Parâmetros do Conversor da Topologia III	143

SIMBOLOGIA

Símbolo	Significado	Unidade
ΔI_{IN}	Ondulação da corrente de entrada	Ampère
Δt	Variação do tempo	s
η	Rendimento do conversor	-
μ_o	Permeabilidade do vácuo	H / m
α	Corrente de carga parametrizada	Ampère
A_e	Área da janela da seção do núcleo magnético	cm^2
$A_e A_w$	Produto das áreas do núcleo magnético	cm^4
A'_p	Produto das áreas do núcleo magnético calculado	cm^4
A_w	Área da janela do núcleo magnético	cm^2
β	Componente do Ganho Estático	-
B	Densidade de fluxo magnético	T
C1	Capacitor de saída	-
C2	Capacitor de saída	-
C3	Capacitor de saída	-
C4	Capacitor de saída	-
C5	Capacitor de saída	-
C6	Capacitor de saída	-
C7	Capacitor de saída	-
C8	Capacitor de saída	-
C_{S1}	Capacitância da chave S1	-
C_{S2}	Capacitância da chave S2	-
D	Razão cíclica	-
f_s	Frequência de chaveamento	Hertz
G	Ganho estático do conversor	-
$I_{\Delta 1}$	Valor da corrente no da primeira etapa	Ampère
$I_{\Delta 2}$	Valor da corrente no da segunda etapa	Ampère
$I_{\Delta 3}$	Valor da corrente no da terceira etapa	Ampère
$I_{\Delta 4}$	Valor da corrente no da quarta etapa	Ampère
I_0	Corrente na carga	Ampère
$i_1(t)$	Corrente instantânea no indutor L_K	Ampère
I_{BAT}	Corrente na bateria	Ampère

Símbolo	Significado	Unidade
$i_{bat}(t)$	Corrente instantânea na bateria	Ampère
$i_{C1}(t)$	Corrente instantânea no capacitor C_1	Ampère
$i_{C2}(t)$	Corrente instantânea no capacitor C_2	Ampère
$i_{CS1}(t)$	Corrente instantânea no capacitor da chave S1	Ampère
$i_{CS2}(t)$	Corrente instantânea no capacitor da chave S2	Ampère
I_{EF_PRI}	Corrente eficaz no primário	Ampère
I_{EF_SEC}	Corrente eficaz no secundário	Ampère
I_{EF_LK}	Corrente eficaz no indutor L_K	Ampère
I_{EF_LK}	Corrente eficaz no indutor L_K	Ampère
I_{EF_C1}	Corrente eficaz no capacitor C_1	Ampère
I_{EF_C2}	Corrente eficaz no capacitor C_2	Ampère
I_{EF_C3}	Corrente eficaz no capacitor C_3	Ampère
I_{EF_C4}	Corrente eficaz no capacitor C_4	Ampère
I_{EF_C5}	Corrente eficaz no capacitor C_5	Ampère
I_{EF_C6}	Corrente eficaz no capacitor C_6	Ampère
I_{EF_C7}	Corrente eficaz no capacitor C_7	Ampère
I_{EF_C8}	Corrente eficaz no capacitor C_8	Ampère
I_{EF_D1}	Corrente eficaz no diodo D1	Ampère
I_{EF_D2}	Corrente eficaz no diodo D2	Ampère
I_{EF_D3}	Corrente eficaz no diodo D3	Ampère
I_{EF_D4}	Corrente eficaz no diodo D4	Ampère
I_{EF_D5}	Corrente eficaz no diodo D5	Ampère
I_{EF_D6}	Corrente eficaz no diodo D6	Ampère
I_{EF_S1}	Corrente eficaz na chave S1	Ampère
I_{EF_S2}	Corrente eficaz na chave S2	Ampère
I_{IN}	Corrente de entrada do conversor	Ampère
I_{IN_MAX}	Corrente de entrada máxima do conversor	Ampère
I_{IN_MIN}	Corrente de entrada mínima do conversor	Ampère
I_o	Corrente de saída do conversor	Ampère
I_{PK_LK}	Corrente de pico no indutor L_K	Ampère
I_{MED_D1}	Corrente média no diodo D1	Ampère
I_{MED_D2}	Corrente média no diodo D2	Ampère

Símbolo	Significado	Unidade
I_{MED_D3}	Corrente média no diodo D3	Ampère
I_{MED_D4}	Corrente média no diodo D4	Ampère
I_{MED_D5}	Corrente média no diodo D5	Ampère
I_{MED_D6}	Corrente média no diodo D6	Ampère
I_{MED_S1}	Corrente média na chave S1	Ampère
I_{MED_S2}	Corrente média na chave S2	Ampère
$i_{S1}(t)$	Corrente instantânea no interruptor S ₁	Ampère
$i_{S2}(t)$	Corrente instantânea no interruptor S ₂	Ampère
I_{S1}	Corrente no interruptor S ₁	Ampère
I_{S2}	Corrente no interruptor S ₂	Ampère
I_{S3}	Corrente no interruptor S ₃	Ampère
I_{S4}	Corrente no interruptor S ₄	Ampère
I_{PV}	Corrente no painel fotovoltaico	Ampère
J	Densidade máxima de corrente	A/cm ²
k_u	Fator de utilização do núcleo magnético	-
k_w	Fator de utilização da janela do núcleo magnético	-
l_g	Entreferro do núcleo magnético utilizado	mm
L_{IN}	Valor da indutância no indutor de entrada	Henry
L_K	Valor da indutância no indutor de dispersão	Henry
L_{B1}	Valor da indutância primária do transformador L _{B1} /L ₁	Henry
L_{B2}	Valor da indutância primária do transformador L _{B2} /L ₂	Henry
M	Valor da indutância mútua	Henry
n	Relação de transformação	-
n_{pri}	Número de espiras no primário	-
n_{sec}	Número de espiras no secundário	-
N_{LIN}	Número de espiras do indutor L _{IN}	-
$N_{LIN_paralelo}$	Número de fios em paralelo do indutor L _{IN}	-
N_{LK}	Número de espiras do indutor L _K	-
$N_{LK_paralelo}$	Número de fios em paralelo do indutor L _K	-
P_o	Potência média de saída do conversor	Watt
PV	Painel fotovoltaico	-
R_0	Resistência de carga	Ω

Símbolo	Significado	Unidade
S1	Chave S1	-
S2	Chave S2	-
S3	Chave S3	-
S4	Chave S4	-
S_{LIN}	Seção do condutor do indutor L_{IN}	cm^2
S_{LK}	Seção do condutor do indutor L_K	cm^2
S_f	Área do fio sem isolamento	cm^2
S_{f_isol}	Área do fio com isolamento	cm^2
S_{Tr_PRI}	Seção do condutor no primário do transformador Tr	cm^2
S_{Tr_SEC}	Seção do condutor no secundário do transformador Tr	cm^2
T1	Enrolamento primário do transformador	-
T2	Enrolamento secundário do transformador	-
T3	Enrolamento primário do transformador	-
T4	Enrolamento secundário do transformador	-
T5	Enrolamento primário do transformador	-
T6	Enrolamento secundário do transformador	-
T_s	Período de comutação dos interruptores	s
V_{BAT}	Tensão na bateria	Volt
V_{C1}	Tensão sobre o capacitor C_1	Volt
V_{C2}	Tensão sobre o capacitor C_2	Volt
V_{C3}	Tensão sobre o capacitor C_3	Volt
V_{C4}	Tensão sobre o capacitor C_4	Volt
V_{C5}	Tensão sobre o capacitor C_5	Volt
V_{C6}	Tensão sobre o capacitor C_6	Volt
V_{C7}	Tensão sobre o capacitor C_7	Volt
V_{C8}	Tensão sobre o capacitor C_8	Volt
$V_{C1}(t)$	Tensão instantânea sobre o capacitor C_1	Volt
$V_{C2}(t)$	Tensão instantânea sobre o capacitor C_2	Volt
$V_{C3}(t)$	Tensão instantânea sobre o capacitor C_3	Volt
$V_{C4}(t)$	Tensão instantânea sobre o capacitor C_4	Volt
V_e	Volume do núcleo de ferrite	cm^3
V_{GS1}	Tensão de <i>gate-source</i> da chave S_1	Volt

Símbolo	Significado	Unidade
V_{GS2}	Tensão de <i>gate-source</i> da chave S_2	Volt
V_{GS3}	Tensão de <i>gate-source</i> da chave S_3	Volt
V_{GS4}	Tensão de <i>gate-source</i> da chave S_4	Volt
V_{IN}	Tensão de entrada	Volt
V_{P1}	Tensão refletida ao primário	Volt
V_{P2}	Tensão refletida ao secundário	Volt
V_{PV}	Tensão no painel fotovoltaico	Volt
$V_{Lk}(t)$	Tensão instantânea no indutor L_K	Volt
V_{L2}	Tensão no indutor L_2	Volt
V_{LB1}	Tensão no indutor L_{B1}	Volt
V_{LB2}	Tensão no indutor L_{B2}	Volt
V_0	Tensão de saída	Volt
V_{S1}	Tensão sobre o interruptor S_1	Volt
V_{S2}	Tensão sobre o interruptor S_2	Volt
V_{S3}	Tensão sobre o interruptor S_3	Volt
V_{S4}	Tensão sobre o interruptor S_4	Volt

Acrônimos e Abreviaturas:

Símbolo	Significado
CA	Corrente Alternada
CC	Corrente Contínua
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
MPPT	<i>Maximum Power Point Tracking</i>
PWM	<i>Pulse Width Modulation</i>
RMS	<i>Root Mean Square</i>
THD	<i>Total Harmonic Distortion</i>
UFC	Universidade Federal do Ceará
UPS	<i>Uninterruptable Power Supply</i>
ZCS	<i>Zero Current Switching</i>
ZVS	<i>Zero Voltage Switching</i>

INTRODUÇÃO GERAL

Com o crescente uso das fontes renováveis de energia, tais como painéis fotovoltaicos, células a combustível e sistemas de conversão de energia eólica, surgem novos desafios para os profissionais que trabalham com eletrônica de potência. Em particular, sistemas de geração distribuída, isolados ou não, conexões com redes, redes inteligentes (*smartgrids*) tendem a ser o futuro destas tecnologias. Já se pode prever que em um futuro próximo, consumidores de pequeno porte possam tornar-se vendedores de energia excedente. Desta forma, a otimização da eficiência, volume e custo dos conversores que irão realizar essa função serão um dos fatores para a viabilização desta tecnologia.

Nos últimos anos os painéis fotovoltaicos têm sido muito utilizados em aplicações de sistemas isolados para carregamento de baterias, sistemas de bombeamento e em conversores de potência nos quais se utilizam técnicas que operam na busca do ponto de máxima potência (MPPT). Atualmente, muitos sistemas usam como estrutura básica um estágio retificador CA-CC associado a um inversor com um transformador de baixa frequência para que se obtenha uma tensão senoidal regulada dentro dos limites estipulados pela norma. Entretanto, esta solução apresenta um elevado peso na estrutura e perdas elevadas em razão das altas correntes processadas pelo inversor em função da baixa frequência de operação do transformado acoplado à estrutura. Assim, um estágio de operação é necessário para elevar a tensão proveniente do banco de baterias, geralmente algo em torno de 12V, 24V, ou 48V, para que seja possível compor a tensão do barramento CC, 200V ou 400V, para a inserção dos inversores.

Nos conversores elevadores de tensão, a tensão média de saída é maior que a tensão de entrada. Todavia, as configurações convencionais não são capazes de oferecer um ganho tão alto quanto o exigido por alguns sistemas, nos quais a tensão de saída é cerca de cinco a dez vezes maior que a tensão de entrada, visto que, ao operar com razão cíclica elevada, o conversor tende à instabilidade.

O desafio de gerar um barramento de saída de alta tensão CC, 200V a 400V, geralmente utilizado para alimentar inversores, sistemas UPS, entre outros, a partir de um baixo nível de tensão de entrada, vem sendo estudado há alguns anos, gerando diversas propostas que visam superar tal dificuldade [1]. Recentemente, conversores CC-CC não isolados com alto ganho estão tendo destaque em diversas aplicações [1-5]. Entretanto, em sistemas nos quais painéis fotovoltaicos e banco de baterias são requisitados, pelo menos dois estágios de conversão ainda são necessários [6][7], como pode ser visto na figura 1.1.

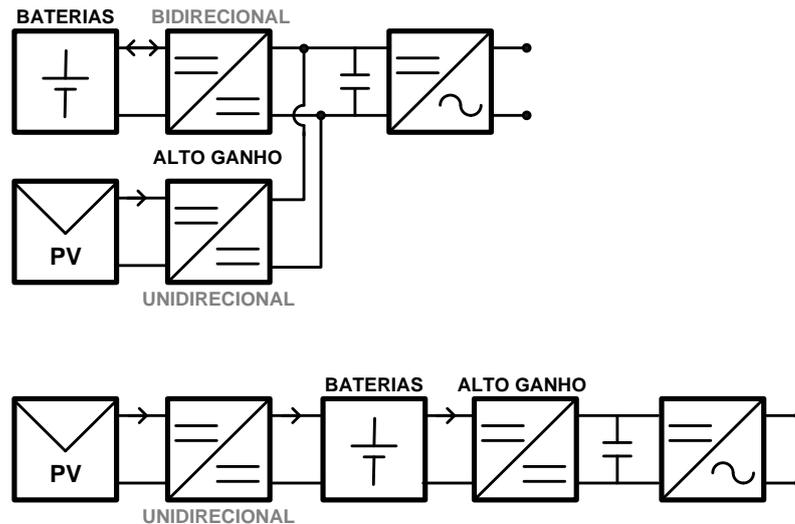


Figura 1 – Arquiteturas tradicionais de conversão de energia.

Neste contexto, este trabalho tem por finalidade apresentar uma família de conversores não isolados em alta frequência onde se tem integrado em um único estágio de conversão um carregador de baterias, painel fotovoltaico e um conversor *boost* de alto ganho com característica de comutação suave. Partindo da concepção dessa nova estrutura de conversores, várias outras topologias podem ser obtidas.

A concepção das topologias propostas nesse trabalho tem por principal objetivo reduzir a quantidade de estágios de conversão de energia, elevando assim o rendimento da estrutura e facilitando o controle do sistema como um todo. As topologias aqui apresentadas têm por finalidade suprir de forma automática as necessidades do sistema, ou seja, suprimir a necessidade de se fazer controle para cada estágio de conversão. Alguns conversores *boost* de alto ganho possuem três *links* CC (barramento), conforme mostrado na figura 1.2, nos quais no ponto ‘3’ tem-se o barramento que alimenta o estágio inversor, cuja tensão é sempre maior que os outros dois barramentos compostos pelos números ‘1’ e ‘2’ que são respectivamente os barramentos provenientes do banco de baterias e do painel fotovoltaico.

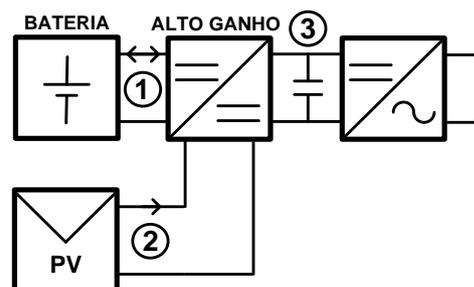


Figura 2 – Arquitetura proposta.

De acordo com a topologia proposta, o banco de baterias e o painel fotovoltaico podem ser conectados no lado de baixa tensão dependendo do nível de tensão desejado. Considerando aplicações típicas nas quais os níveis de potência são próximos de 2kW, os bancos de baterias podem ter níveis de tensão variando entre 12V, 24V ou 48V, evitando assim grandes associações em série e arranjos de painéis fotovoltaicos onde sejam possíveis se ter uma associação com um barramento igual ou superior, normalmente o dobro, do primeiro *link* CC. A característica bidirecional do conversor *half-bridge* permite ainda que o arranjo de painéis fotovoltaicos (PV) carregue o banco de baterias ou alimente o barramento CC representado pelo número '3'. Outra característica importante da estrutura é o fato dos capacitores ressonantes do conversor *half-bridge* permitirem a utilização da comutação suave (ZVS ou ZCS) nos interruptores de potência.

Todas as três topologias propostas neste trabalho derivam do conversor *boost half-bridge* juntamente com algumas técnicas de elevação de tensão, tais como associação série de capacitores, células multiplicadoras de tensão e a célula de comutação de três estados. Aplicando o conceito de redução de estágios de conversão proposto neste trabalho, é possível que outras topologias desponham, aumentando ainda mais essa família de conversores.

A grande contribuição deste trabalho está no fato de que as estruturas propostas possuem uma característica bidirecional entre os lados de baixa tensão e que o comportamento do modo de operação é inerente à própria estrutura. Desta forma, tem-se que os circuitos desenvolvidos controlam o fluxo de potência automaticamente, sem que seja preciso desenvolver um controle específico para a entrada dos modos de operação do banco de baterias e painel fotovoltaico para suprir a carga.

CAPÍTULO 1

REVISÃO BIBLIOGRÁFICA, ESTADO DA ARTE.

1.1 CONSIDERAÇÕES INICIAIS

Este capítulo tem por finalidade fazer uma revisão bibliográfica sobre os principais conversores elevadores de tensão de alto ganho existentes na literatura, bem como o levantamento de suas vantagens e desvantagens e a proposta das três topologias de estágio único a serem estudadas.

1.2 PRINCIPAIS TOPOLOGIAS DE CONVERSORES ELEVADORES DE TENSÃO DE ALTO GANHO

Tendo-se como principal objetivo a alimentação de tensão para sistemas elétricos convencionais de pequeno porte com painéis fotovoltaicos, percebe-se a necessidade de ter um estágio elevador de tensão, uma vez que os painéis fotovoltaicos, por sua natureza, tendem fornecer uma tensão relativamente pequena (geralmente algo em torno de 12V, 24V ou 48V). Esta tensão fornecida pelo painel, ou por um eventual banco de baterias, sofre uma elevação de tensão (200V ou 400V) para que seja possível compor um barramento CC a fim de se inserir um estágio inversor para que se tenha uma tensão de saída com formato senoidal regulado.

Tentando sanar tais dificuldades, a eletrônica de potência vem sendo desenvolvida a fim de serem obtidas novas topologias de conversores elevadores de tensão. Encontra-se na literatura basicamente dois grupos de conversores que tendem a resolver essa necessidade: os que incorporam chaves ao conversor *boost* convencional reduzindo, assim, a tensão sobre estas, e os conversores que além de diminuir os esforços sobre as chaves, dividem a corrente de entrada [10].

1.2.1 TOPOLOGIAS DE CONVERSORES *BOOST* DE ALTO GANHO COM INDUTORES ACOPLADOS

Dentre as topologias revisadas, pode-se perceber que em [11], [12] e [13] o conversor *boost-flyback* tem destaque, uma vez que esta estrutura tem como vantagem os baixos esforços de tensão sobre as chaves e como desvantagem a presença de uma corrente pulsada na entrada, tornando-se necessário o uso de um filtro LC para amenizar essa pulsação. A Figura 1.1 ilustra a estrutura citada.

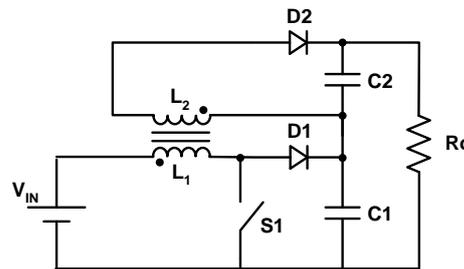


Figura 1.1 – Topologia proposta por Tseng e Liang [11].

Os conversores propostos em [14] e [15] apresentam em sua estrutura a célula de comutação de três estados desenvolvida por **Grover** em [16]. Os conversores mostrados da Figura 1.2 têm como vantagem uma corrente de entrada não pulsada com baixa ondulação, além de o indutor de entrada operar com o dobro da frequência de chaveamento, o que acarreta uma significativa redução do volume e peso. Pelo fato de este conversor possuir mais um interruptor de potência em sua estrutura, permite assim que os esforços de tensão sobre estes elementos sejam menores do que a metade da tensão de saída e naturalmente grampeados pelo capacitor de filtro, permitindo o uso de MOSFETS com baixa resistência série, melhorando a eficiência. Como desvantagem, tem-se que estes conversores não funcionam adequadamente quando operando com razões cíclicas inferiores que 0,5, devido a problemas com a indução magnética do transformador.

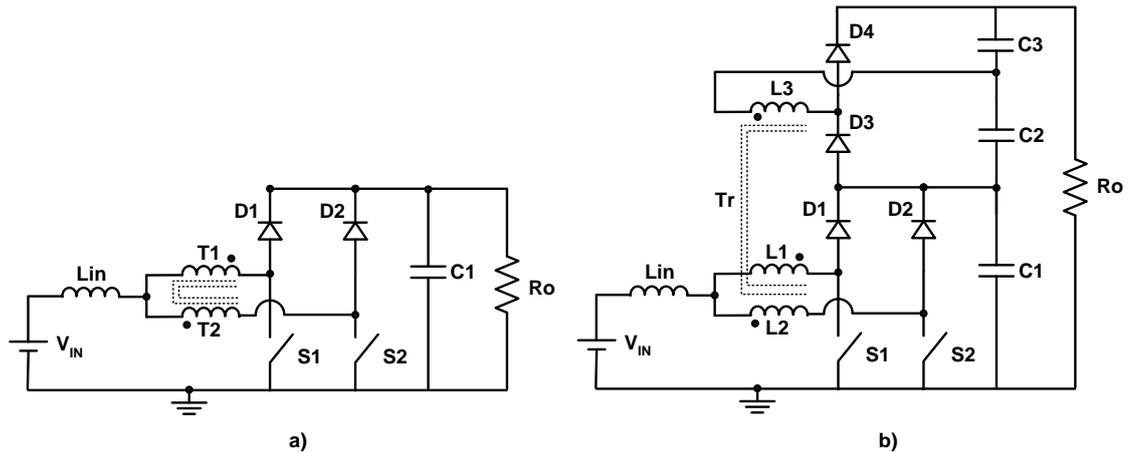


Figura 1.2 – a) Topologia proposta por [14] b) Topologia proposta por [15].

A estrutura mostrada na Figura 1.3 foi proposta por [17], onde se percebe a presença de um dobrador de tensão no estágio de saída de um conversor *boost* entrelaçado com indutores acoplados. Percebe-se nessa estrutura a presença de dois elementos magnéticos (A e B) com indutores acoplados, aumentando assim seu volume e peso, além do fato da saída não ter a mesma referência, não possui um caminho natural para a dispersão e só permite operação com razão cíclica maior que 0,5.

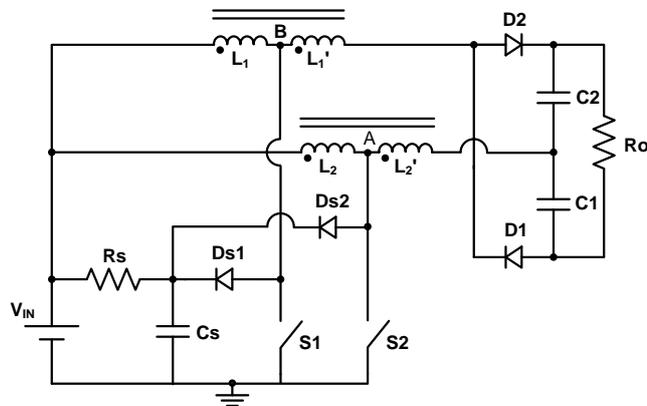


Figura 1.3 – Topologia com dobrador de tensão proposta por [17].

O circuito proposto em [18] e mostrado na Figura 1.4 tem características semelhantes à topologia anterior, uma vez que opera com razão cíclica maior que 0,5, referência de saída diferente da de entrada, corrente de entrada não pulsada e com baixa ondulação. Essa estrutura é composta por um conversor *boost* acoplado através de um autotransformador com relação de transformação de 1:1 e polaridade invertida, a fim de permitir a divisão igualitária de corrente entre os interruptores de potência. Como também pode ser observado nessa estrutura, foi inserido na saída um retificador dobrador de tensão.

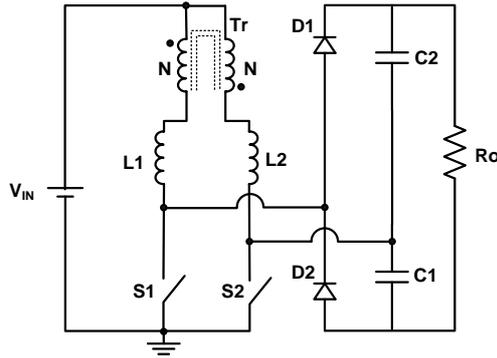


Figura 1.4 – Topologia proposta por [18].

Outra estrutura não isolada composta por indutores acoplados, os quais podem servir como transformador para aumentar o ganho de tensão, pode ser vista na Figura 1.5 e foi proposta por [19–22]. Nesta estrutura, o secundário do transformador (segundo enrolamento - L_2) opera como uma fonte de tensão que está em série com o lado de potência. O ganho de tensão pode ser aumentado pelo próprio projeto do indutor acoplado, mais especificamente na relação entre o número de espiras. A energia de dispersão é absorvida e a tensão de desligamento do MOSFET é suprida pelo diodo e o capacitor de grameamento.

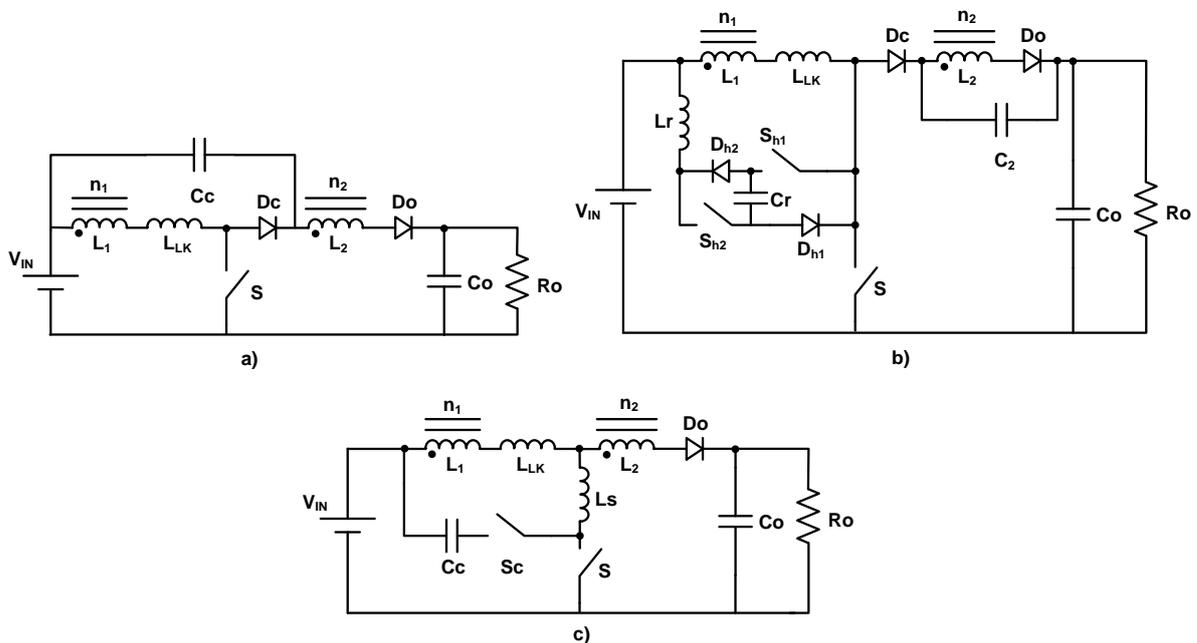


Figura 1.5– a)Topologia proposta por[19] b)Topologia proposta por[23-24] c)Topologia proposta por[25-26].

Procurando melhorar a questão de perdas nos interruptores de potência da estrutura da Figura 1.5a, foi inserido um circuito auxiliar proposto por [23-24], como mostra a Figura 1.5b. Este circuito promove a comutação em ZVS e ZCS para o ligamento da chave. Entretanto, sua estrutura é complexa e requer muitos componentes auxiliares além do fato de seu custo

ser elevado. A Figura 1.5c mostra outra derivação do conversor proposto por [19]. Este, por sua vez, mostra um circuito com comutação em ZVT. Neste caso, o indutor ressonante ‘Ls’ foi inserido para garantir a operação em ZVT da chave principal ‘S’ e de grampeamento ‘Sc’. O circuito de grampeamento foi inserido para minimizar os picos de tensão e restaurar a energia de dispersão, promovendo assim um aumento da eficiência do conversor.

Em [27-29] é apresentado um conversor *boost* intercalado com alto ganho de tensão, como pode ser visto na Figura 1.6. Este conversor opera em modo de condução descontínua (MDC) durante o primeiro e o terceiro estágio de operação. Embora os indutores operem em MDC, a corrente de entrada mantém-se em modo contínuo (MCC). No entanto, para cargas elevadas, este conversor não opera mais com comutação em ZCS [10]. Outra limitação desta topologia é o fato de este conversor operar somente com razão cíclica maior que 0,5.

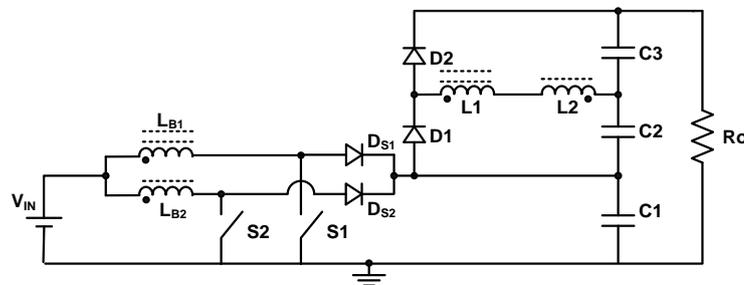


Figura 1.6 – Topologia proposta por [27].

Em geral, as chaves dos conversores que não possuem células de comutação suave são comandadas de modo que entrem e saiam de condução com toda corrente de carga. Desta forma as chaves são submetidas a elevadas tensões e/ou correntes e, conseqüentemente, ocorrem perdas no chaveamento devido às comutações, as quais aumentam linearmente com o aumento da frequência de chaveamento.

A busca incessante pela otimização dos projetos e de configurações que operem com reduzidas perdas, seja por condução ou por comutação, faz com que novas configurações sejam desenvolvidas.

Buscando atender essa necessidade, a topologia proposta por [10] e [29] apresenta a mesma estrutura mostrada na figura 1.6 com a adição de uma célula de comutação suave proposta por [31]. Nesta estrutura, todos os interruptores de potência operam com comutação suave. As chaves principais operam em modo ZVS, enquanto as chaves auxiliares operam em ZCS. Desta forma reduzindo-se as perdas nos elementos semicondutores, tem-se uma melhoria da eficiência.

1.2.2 TOPOLOGIAS DE CONVERSORES *BOOST* DE ALTO GANHO COM CÉLULAS MULTIPLICADORAS DE TENSÃO

Uma outra linha de conversores elevadores visando um alto ganho de tensão é baseada em células multiplicadoras de tensão (MC). Dentre as topologias existentes, serão abordadas neste tópico as que possuem maior destaque.

Em [32-33] é proposto um conversor intercalado que, com uma célula multiplicadora de tensão, busca, além de elevar consideravelmente a tensão de saída do conversor, diminuir os esforços de tensão nos elementos semicondutores. A operação intercalada permite que os indutores de entrada e os capacitores de saída sejam reduzidos. Nesta estrutura, a tensão sobre os interruptores de potência é limitada à metade da tensão de saída, considerando somente um estágio multiplicador. Como vantagens dessa topologia pode-se considerar os baixos esforços de tensão e corrente sobre os semicondutores devido à ação intercalada, baixa ondulação de corrente na entrada e de tensão na saída e uma melhora na eficiência do conversor devido a dois fatores: a eliminação de um transformador de potência e as perdas reduzidas por condução e comutação. Como desvantagens pode-se considerar o elevado número de diodos e capacitores, dependendo da quantidade de células inseridas, e o fato de ser preciso um circuito de *snubber* devido às correntes de recuperação reversa dos diodos que causam perdas por condução nos interruptores de potência. A Figura 1.7 mostra essa estrutura.

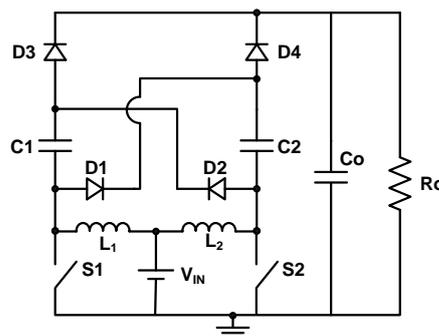


Figura 1.7 – Topologia proposta por [32].

A topologia mostrada na Figura 1.8 mostra um conversor CC-CC de alto ganho com multiplicadores de tensão baseado na célula de comutação de três estados. Apesar de esta estrutura possuir um indutor acoplado, optou-se por incluí-lo neste tópico devido ao uso das células multiplicadoras. Este conversor foi proposto por [34-35] e apresenta um melhor rendimento que o descrito anteriormente por operar com comutação suave no desligamento dos interruptores de potência.

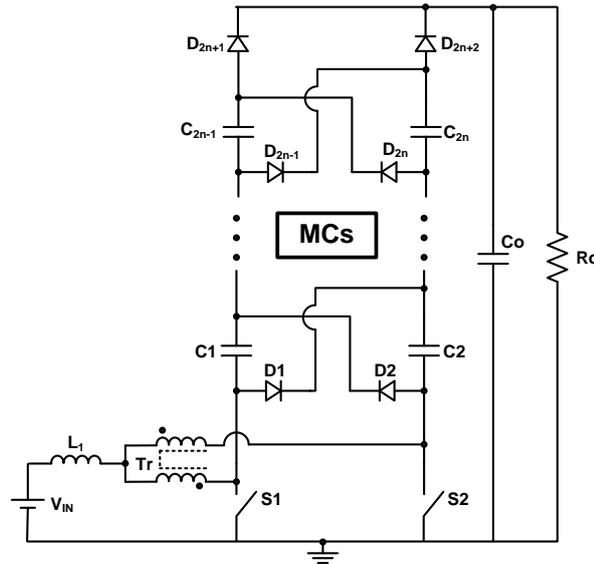


Figura 1.8 – Topologia proposta por [34].

A divisão de corrente de entrada devido à célula de comutação permite a diminuição de perdas nas chaves, aliada ao fato de este conversor operar com razão cíclica variando em toda sua faixa ($0 \leq D < 1$). Dentre as desvantagens desta estrutura pode-se destacar o fato de que, dependendo da razão cíclica em que o conversor opera, o ganho estático muda bruscamente e o elevado número de componentes, dependendo da quantidade de células que se queira inserir.

Em [33] é proposto um conversor monofásico baseado em uma célula multiplicadora de tensão que pode ser integrada às estruturas clássicas como os conversores *buck*, *boost* e *buck-boost*. A integração desta célula à topologia *buck* não é aconselhável uma vez que o propósito principal é elevar a tensão e não baixá-la. A Figura 1.9 mostra o circuito proposto.

Nesta estrutura, a célula multiplicadora pode operar sem o indutor ressonante ‘ L_r ’, entretanto, a inserção deste elemento no circuito permite que o conversor opere em modo ZCS no ligamento da chave e diminui a corrente de recuperação reversa de todos os diodos. Desta forma, diminuem-se as perdas por comutação e aumenta-se a eficiência do conversor. É possível adicionar mais células à estrutura de forma a aumentar a faixa de tensão que se deseja atingir. A redução da corrente de recuperação reversa dos diodos é obtida somente com um indutor ressonante na primeira célula. Uma desvantagem desta estrutura é o elevado número de componentes necessários para se atingir elevadas tensões.

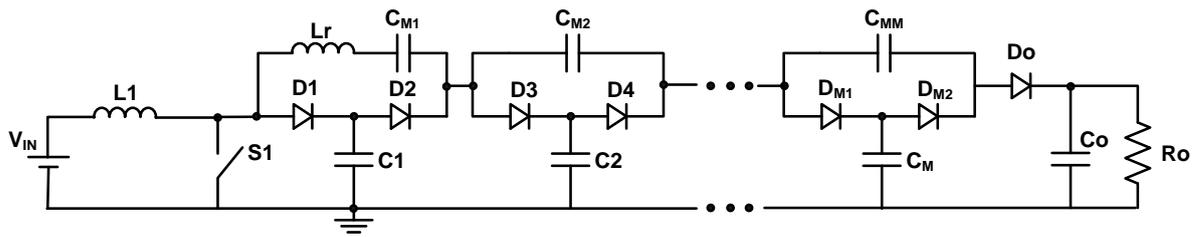


Figura 1.9 – Topologia proposta por [33].

A topologia mostrada na Figura 1.10 foi proposta por [36] e trata-se de um conversor *boost* de alto ganho operando em modo ZVT com células multiplicadoras de tensão para uso em sistemas híbridos com células combustíveis e super capacitores para aplicações em *micro-grids*. Como características deste conversor pode-se destacar a operação em ZVS dos interruptores de potência (tanto a chave principal quanto a auxiliar), redução da corrente de recuperação reversa dos diodos devido à indutância de dispersão do transformador e a baixa ondulação da corrente de entrada.

Nesta estrutura, o diodo do conversor *boost* convencional foi substituído por uma chave auxiliar ‘S_c’. As chaves ‘S’ e ‘S_c’ trabalham complementarmente de forma assimétrica para regular a tensão no capacitor ‘C_c’. A operação em ZVS dos interruptores de potência se deve à presença do capacitor em paralelo ‘C_s’. A célula multiplicadora de tensão é composta por um capacitor de bloqueio ‘C_b’, um capacitor chaveado ‘C_m’, um diodo regenerativo ‘D_r’, um diodo de saída ‘D_o’ e um transformador. O número de espiras do transformador é representado por ‘n₁’ e ‘n₂’ e a indutância de dispersão por ‘L_k’.

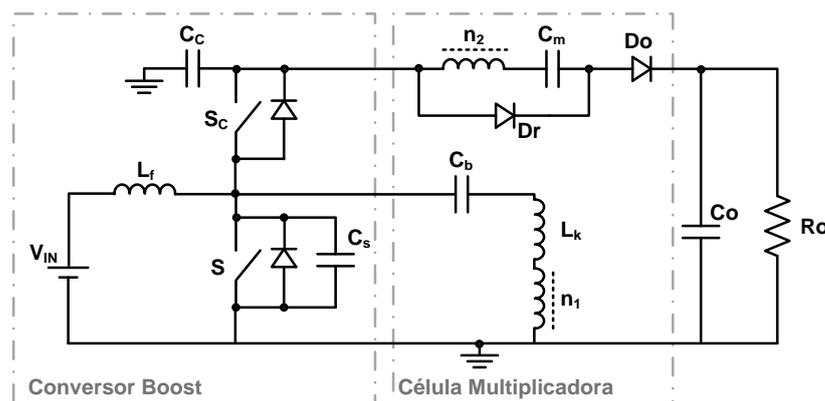


Figura 1.10 – Topologia proposta por [36].

1.2.3 TOPOLOGIAS DE CONVERSORES *BOOST* DE ALTO GANHO COM CAPACITORES CHAVEADOS

A seguir serão mostradas as principais topologias de conversores elevadores de tensão utilizando a técnica de chaveamento de capacitores. Essa alternativa para elevar a tensão do conversor tem sido bastante usada em diversos trabalhos e suas características serão descritas nesta sessão.

Em [37-40] são apresentados diversos trabalhos compostos de conversores elevadores de tensão usando capacitores chaveados. A Figura 1.11 mostra a topologia proposta por [39] de um conversor *boost* de alto ganho com ‘N’ estágios. Cada célula capacitiva é composta de duas chaves, um diodo e um capacitor. Os capacitores das células são considerados fontes de tensão e estes são chaveados pelos dois interruptores de potência, sendo assim reconfigurados de forma a compor um barramento maior. O caminho da corrente é estabelecido pelo diodo quando a chave é desligada. O acréscimo de ‘N’ estágios faz com que a tensão de saída seja incrementada.

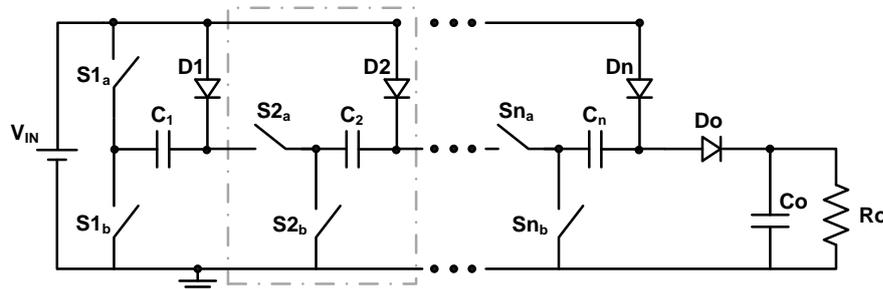


Figura 1.11 – Topologia proposta por [39].

Em [40] foi apresentada uma derivação da topologia anterior, onde sua mudança ocorreu na redução de chaves e *drivers* de gatilho. A Figura 1.12 mostra um conversor *boost* de alto ganho com chaveamento de capacitores ressonantes. A célula de capacitores chaveados é composta de dois diodos e dois capacitores. Percebe-se a inexistência de chaves auxiliares no circuito, o que simplifica a estrutura. Esta topologia trabalha no modo ZCS nos elementos de potência devido ao indutor ‘Lr’ e aos capacitores chaveados. Os problemas com picos de correntes em estruturas com capacitores chaveados são comuns, entretanto esta estrutura oferece a vantagem de minimizar esse efeito.

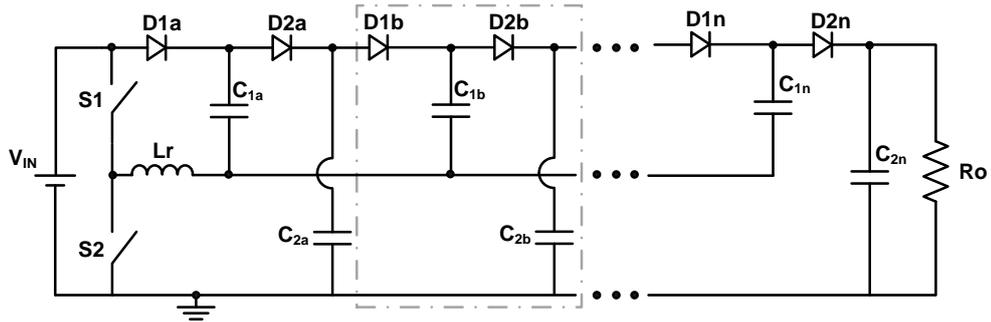


Figura 1.12 – Topologia proposta por [40].

Aplicando o conceito de associação de conversores multi-níveis em estruturas com capacitores chaveados, tem-se a topologia proposta por [41-42]. Cada célula básica é composta por um capacitor de grampeamento e duas chaves operando em modo complementar. O alto ganho pode ser adquirido com a associação série e/ou paralela das células. Esta topologia oferece um elevado rendimento, operação em modo bi-direcional e uma alta densidade de componentes. O controle das chaves requer uma grande quantidade de *drivers* de gatilho dependendo dos níveis de tensão que se queira atingir. A Figura 1.13 mostra a estrutura proposta.

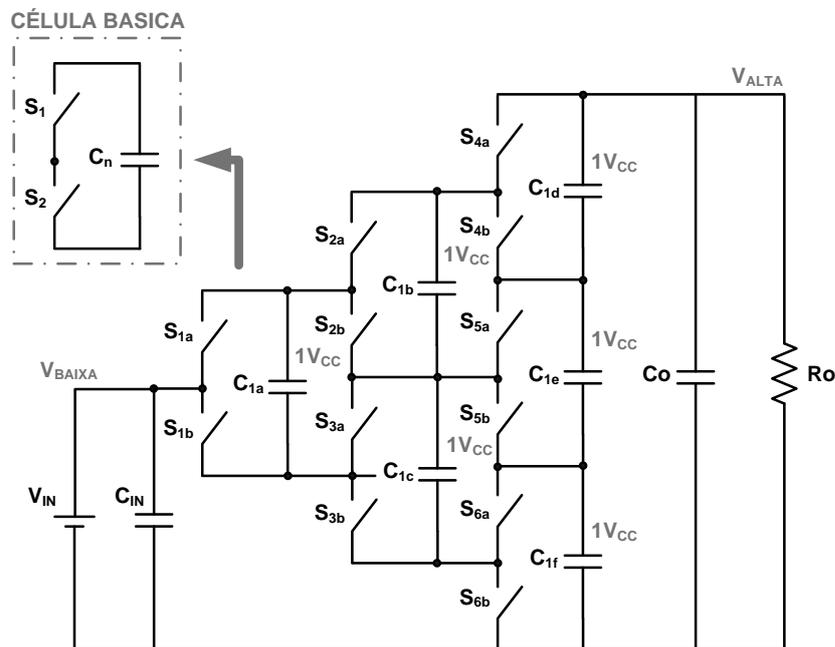


Figura 1.13 – Topologia proposta por [41].

Em [43] é apresentado uma família de conversores CC-CC de alto ganho com um único interruptor de potência. Na Figura 1.14 observa-se uma das topologias propostas, onde os diodos 'Dx' e 'Dy', o indutor 'Lx' e o capacitor 'Cx' compõem uma célula multiplicadora que por si só, proporciona um elevado ganho ao conversor, entretanto com o acréscimo de

outro bloco composto pelos diodos ‘D1’ e ‘D2’ e pelos capacitores ‘C1’ e ‘C2’ em série com a estrutura, promove um ganho ainda maior.

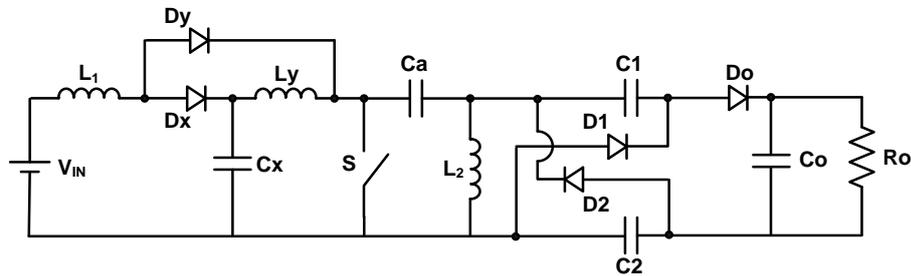


Figura 1.14 – Topologia proposta por [43].

O conversor mostrado na Figura 1.15 foi proposto por [44] e trabalha com uma célula composta por dois diodos, dois capacitores e uma chave. Por conta desta célula, o ganho do conversor pode ser estendido e os estresses de tensão nos interruptores de potência são diminuídos. A maior desvantagem desta estrutura composta de capacitores chaveados é uma grande perda devido à operação de chaveamento. Desta forma, esses conversores são aconselhados somente para pequenas potências.

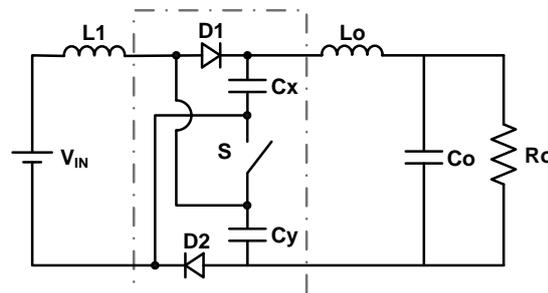


Figura 1.15 – Topologia proposta por [44].

A concepção das topologias que associam indutores acoplados e capacitores chaveados também pode ser aplicada para conversores elevadores de tensão com alto ganho. Como pode ser visto em [45-49]. A Figura 1.16 mostra um exemplo desta proposição. Na topologia mostrada abaixo, percebe-se uma minimização dos problemas referentes à recuperação reversa dos diodos por intermédio do indutor de dispersão. Este conversor opera em modo ZCS no desligamento das chaves, o que acarreta uma redução das perdas por chaveamento. O transiente de tensão no MOSFET é suprimido pelo diodo ‘Dc1’ e pelo capacitor ‘Cc1’. A tensão armazenada no capacitor de grampeamento ‘Cc1’ é transferida para a carga através do circuito ressonante composto pelo indutor ‘Lr’ e pelo capacitor ‘Cc2’.

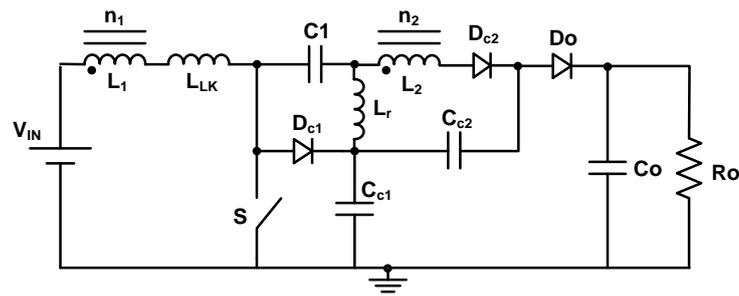


Figura 1.16 – Topologia proposta por [45].

A topologia proposta por [46] é derivada da topologia apresentada anteriormente, entretanto, percebe-se a diminuição de um indutor e de um capacitor, resultando em uma análise mais simples do modo de operação se comparada com a topologia mostrada em [45].

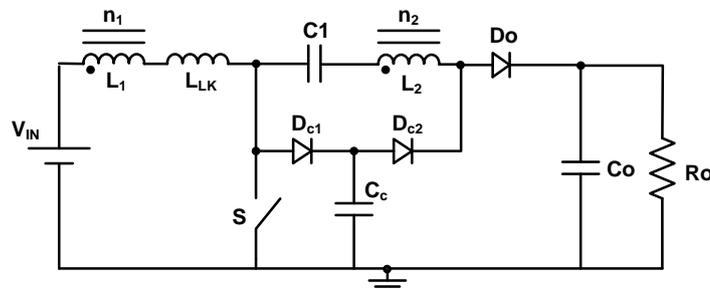


Figura 1.17 – Topologia proposta por [49].

1.3 TOPOLOGIAS PROPOSTAS LEVANDO EM CONSIDERAÇÃO O ÚNICO ESTÁGIO

Dentre as topologias mostradas anteriormente, somente algumas apresentam a característica de bi-direcionalidade. A grande contribuição deste trabalho se deve ao fato de se propor topologias de conversores *boost* de alto ganho com a característica bi-direcional entre a bateria e o painel fotovoltaico, onde se contemple a associação de um carregador de bateria e um conversor elevador em um único estágio de conversão de energia e comutação suave.

A seguir serão propostas três topologias referentes a conversores elevadores de tensão de alto ganho em aplicações utilizando painéis fotovoltaicos onde se aplicam os conceitos de multiplicadores de tensão, indutores acoplados e todas derivam do conversor *boost half-bridge*.

A Figura 1.18 mostra a **primeira topologia** proposta neste trabalho, na qual se pode perceber a simplicidade do circuito e a disposição dos componentes referentes ao acoplamento do painel fotovoltaico do banco de baterias a ser carregado. Esta estrutura utiliza um trans-

formador de alta frequência, o que diminui seu volume e peso e pode ter seus níveis de tensão elevados alterando sua relação de transformação. Os esforços de tensão sobre os semicondutores são diminuídos e sua operação pode se dar em modo ZVS, além do fato da estrutura apresentar uma corrente de entrada com baixa ondulação e diminuição de problemas de recuperação reversa nos diodos.

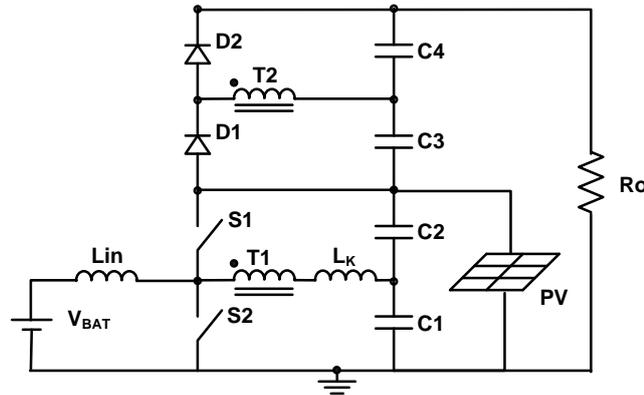


Figura 1.18 – Topologia 1.

A Figura 1.19 mostra a **segunda topologia** a ser implementada. Como pode ser observado, percebe-se a presença das células multiplicadoras de tensão. Diferente da estrutura anterior, esta não apresenta um transformador, em compensação a elevação de tensão é feita pela associação das células multiplicadoras. Uma desvantagem desta topologia em relação à outra se deve à grande quantidade de componentes que são agregados à estrutura dependendo da tensão que se queira atingir. Assim como a estrutura anterior, esta pode operar em modo ZVS ou ZCS dependendo da condição de carga.

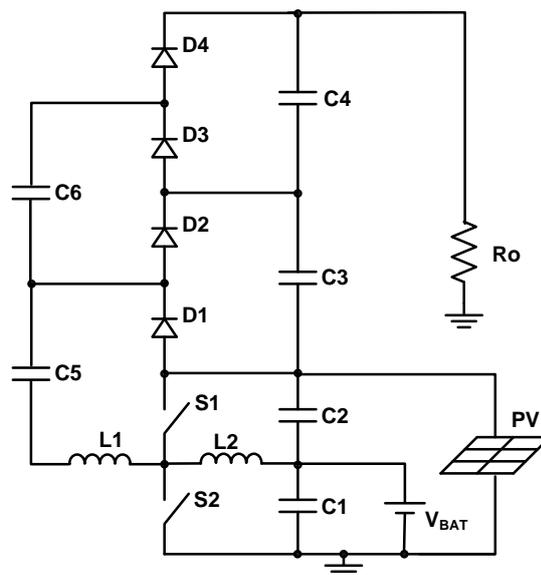


Figura 1.19 – Topologia 2.

A Figura 1.20 ilustra a **terceira topologia**. Esta, por sua vez, não usa o mesmo artifício da anterior, tendo como característica o uso da célula de comutação de três estados. Apesar de possuir um aumento na quantidade de elementos magnéticos em sua estrutura, espera-se que se tenha um melhor rendimento em comparação com a primeira topologia, uma vez que os esforços de corrente são menores nos interruptores de potência. Tendo em vista que a célula de comutação opera com o dobro da frequência de chaveamento, isto faz com que seu tamanho e peso sejam diminuídos. Assim como as estruturas anteriores, este conversor pode operar em modo ZVS ou ZCS e trabalha com razões cíclicas complementares, o que facilita seu controle. Assim como em todas as estruturas propostas, esta pode operar em toda a faixa de razão cíclica, ou seja, $0 \leq D < 1$.

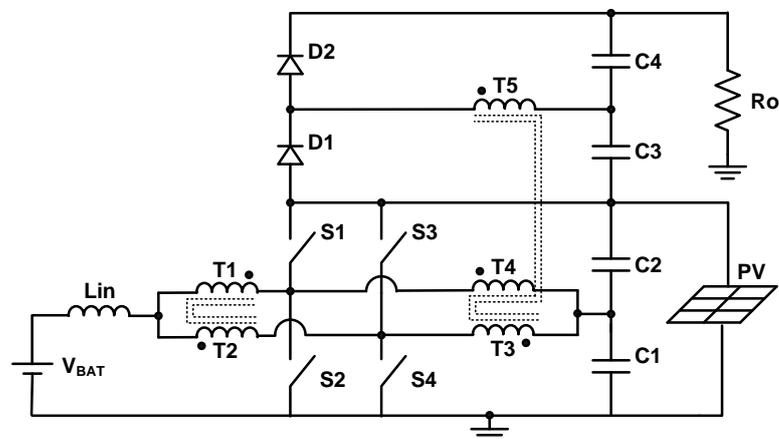


Figura 1.20 – Topologia 3.

Nos próximos capítulos, serão descritos detalhadamente todas as três topologias, bem como o projeto de potência e o estudo das etapas de operação referentes a cada uma. Todo o equacionamento e os resultados de simulação e experimentais serão apresentados respectivamente nos capítulos 2, 3, 4 e 5 deste documento.

1.4 CONSIDERAÇÕES FINAIS

Neste capítulo foi feita uma vasta revisão bibliográfica das principais topologias de conversores elevadores de tensão de alto ganho existentes na literatura. Três grupos serviram como referência para categorizar essas estruturas, sendo elas conversores com indutores acoplados, células multiplicadoras de tensão e capacitores chaveados. Dentre as topologias revisadas, percebeu-se que os conversores com muitas chaves tendem a ter uma eficiência menor devido às perdas por chaveamento e à complexidade de implementação do controle. Já os

conversores com muitos magnéticos tendem a ter um elevado volume e peso, sem falar na dispersão devido a esses magnéticos.

Todas as topologias estudadas na revisão têm como característica mais de um estágio de processamento, sendo projetadas como carregadores de bateria ou como elevadores de tensão. Tendo em vista a multiplicidade de estágios de processamento destas estruturas, são propostas neste trabalho três topologias de conversores que contemplam somente um estágio de processamento, onde as estruturas trabalham como um carregador de bateria e gerador de barramento CC com tensão elevada usando somente um conversor. Outros conversores de alto ganho existem na literatura como mostrado em [50], entretanto, topologias em um único estágio é um conceito novo que é proposto neste trabalho.

CAPÍTULO 2

ANÁLISES QUALITATIVA E QUANTITATIVA DO CONVERSOR *BOOST* DE ALTO GANHO PARA A TOPOLOGIA I

2.1. CONSIDERAÇÕES INICIAIS

Neste capítulo são apresentadas as análises qualitativa e quantitativa do conversor da topologia I. A análise qualitativa representa a exposição do princípio de funcionamento do conversor, assim como suas respectivas etapas de funcionamento, formas de onda e detalhes de comutação. A análise quantitativa serve como base para o desenvolvimento do projeto completo do conversor.

São realizados os cálculos dos intervalos de tempo de cada etapa de operação em um período de funcionamento. Em seguida é traçado o gráfico representativo do funcionamento característico do conversor. Por fim, será obtido o ganho estático para o conversor I e todo o estudo da comutação suave.

2.2. ANÁLISE QUALITATIVA DO CONVERSOR *BOOST* DE ALTO GANHO UTILIZANDO INDUTORES ACOPLADOS

A Figura 2.1 apresenta o circuito do conversor *boost* de alto ganho com a bateria e o painel fotovoltaico acoplados. Esta estrutura opera com comutação suave em modo ZVS em ambos os interruptores de potência.

O conversor mostrado abaixo é capaz de operar em toda a faixa de variação de razão cíclica, sem nenhuma restrição.

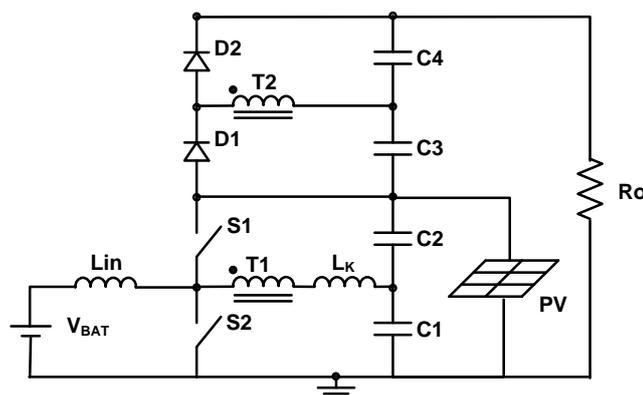


Figura 2.1 – Conversor *boost* de alto ganho (Topologia I)

A topologia estudada neste capítulo teve sua concepção a partir do conceito de empilhamento de estruturas, como pode ser visto em [51]. Desta forma, percebe-se que o estágio secundário encontra-se inserido de forma cascadeada com o estágio primário. Tendo em vista que a fonte de entrada é conectada diretamente à saída, pode ocorrer a passagem de ruído entre estes dois extremos [51].

Visando então melhorar os esforços de tensão nos semicondutores e aliviar os problemas dos ruídos na entrada do conversor, foi inserido do lado primário um conversor *boost* integrado [52-55]. A inserção desta estrutura à topologia faz com que um capacitor de *link* CC seja inserido também no lado primário. A tensão deste capacitor pode ser vista como uma parcela da tensão de saída, sendo assim imposta pela tensão do banco de baterias. Desta forma ocorrerá uma melhor distribuição dos esforços entre os elementos dos lados primário e secundário. A Figura 2.2 mostra o diagrama de bloco em forma de circuito da topologia resultante.

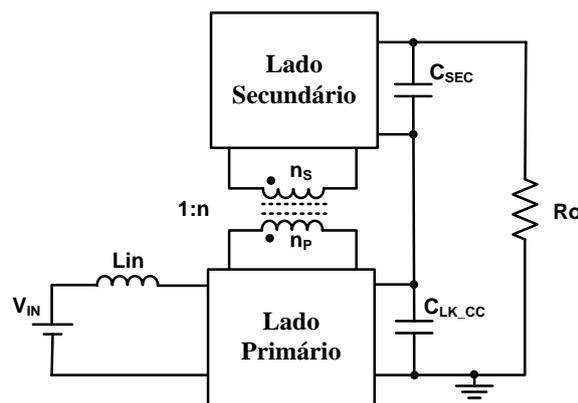


Figura 2.2 – Estrutura cascadeada baseada no conversor *boost* integrado.

Muitas estruturas utilizando o conversor *boost* integrado foram desenvolvidas ao longo dos anos, dentre elas surgiu a idéia de se unir duas estruturas bastante conhecidas na literatura, o conversor *boost* integrado em meia ponte (*Half-Bridge*) e o retificador dobrador de tensão.

A Figura 2.3 ilustra a idéia da união entre essas duas estruturas [54] e sua evolução até resultar na topologia proposta, contemplando assim o “único estágio de conversão”. A junção do conversor *boost* integrado em meia ponte [52-53] com o retificador dobrador de tensão [56-61] no lado secundário, resulta em um conversor que pode operar com comutação suave, corrente de entrada livre de ondulação, pequenos esforços de tensão nos elementos semicondutores aliado a uma elevada eficiência e alto ganho de tensão.

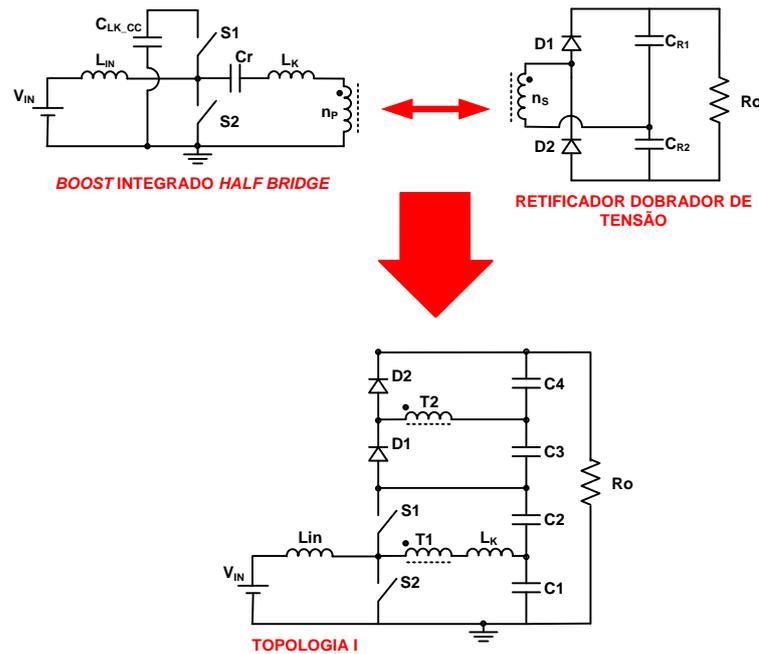


Figura 2.3 – Concepção da Topologia I.

No lado primário, os capacitores ' C_{LK_CC} ' e ' C_r ' são reposicionados para o lado de saída e passam a compor parte dos capacitores de saída, sendo assim renomeados para ' $C1$ ' e ' $C2$ ' respectivamente. O conversor retificador dobrador de tensão é então cascateado de forma a compor a estrutura resultante. Os capacitores ' C_{R1} ' e ' C_{R2} ' são então convertidos em ' $C3$ ' e ' $C4$ '.

2.2.1. PRINCÍPIO DE OPERAÇÃO

O conversor apresenta quatro estágios de operação, conforme podem ser visualizados nas figuras a seguir. A topologia apresentada é formada pelo indutor de entrada L_{IN} , o transformador composto pelos enrolamentos T1 e T2, interruptores de potência controlados S1 e S2, diodos de transferência e retificadores D1 e D2, indutância de dispersão L_K e capacitores de armazenamento e filtro C1, C2, C3 e C4.

Para facilitar a análise e a descrição das etapas de operação do conversor são feitas as seguintes considerações:

- Os semicondutores são ideais;
- Os componentes indutivos são lineares e ideais;
- O transformador é ideal;

- As tensões nos capacitores são consideradas livres de ondulação podendo ser representados como fontes de tensão constante;
- A frequência de chaveamento é constante;
- O conversor opera em regime permanente;

Num período de chaveamento o conversor apresenta as seguintes etapas:

Primeira Etapa [$t_0 - t_1$] – (Figura 2.4). Essa etapa tem início quando a corrente no transformador chega a zero e o diodo D2 chega a conduzir. A chave S1 está conduzindo e a tensão do capacitor C2 é aplicada ao ramo composto pelo indutor de dispersão L_K e pelo enrolamento primário do transformador T1. Uma corrente induzida circula através do enrolamento secundário do transformador e passa pelo diodo D2, formando assim um circuito secundário. A tensão no indutor L_K é composta pela diferença entre a tensão do capacitor C2 e a tensão refletida pelo secundário do transformador ' V_{C4}/n ', fazendo com que a corrente no indutor de dispersão I_{LK} cresça linearmente. A tensão sobre o indutor de entrada L_{IN} é resultado da diferença entre a tensão de entrada e a tensão sobre os capacitores C1 e C2, ou seja, $V_{LIN} = V_{IN} - (V_{C1} + V_{C2})$. Neste instante I_{LIN} decresce linearmente e passa por S1. A corrente que circula em S1 é resultado da diferença entre I_{LK} e I_{LIN} .

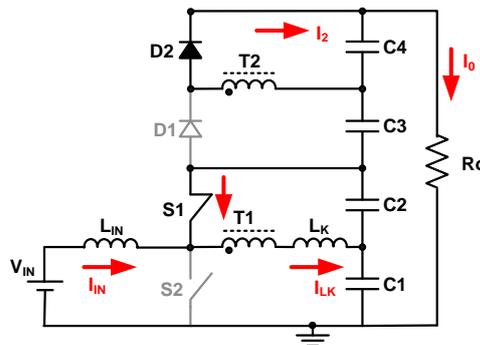


Figura 2.4 – Primeira Etapa de Operação.

Segunda Etapa [$t_1 - t_2$] – (Figura 2.5). Essa etapa de operação tem início com o desligamento da chave S1. Neste estágio a tensão em S1 é grampeada com a tensão resultante da somatória das tensões em C1 e C2, enquanto que a tensão em S2 é nula, uma vez que esta, está conduzindo através de seu diodo interno. A diferença entre a corrente que passa pelo indutor de entrada L_{IN} e a indutância de dispersão L_K circula pelo diodo em antiparalelo da chave S2, ou seja, D_{S2} . Para que a comutação seja suave em modo ZVS, é preciso que S2 seja comandado a conduzir enquanto o diodo D_{S2} ainda estiver conduzindo. A tensão sobre o indu-

tor de dispersão L_K é resultado de $V_{C1+n} \cdot V_{C4}$, onde V_{C1} é a tensão no capacitor $C1$, 'n' é a relação de transformação e V_{C4} é a tensão no capacitor $C4$. Neste caso, percebe-se o decréscimo linear da corrente no indutor de dispersão I_{LK} , e o decréscimo linear da corrente do diodo em antiparalelo da chave $S2$, I_{DS2} . Esta etapa termina quando a corrente I_{LK} atinge zero.

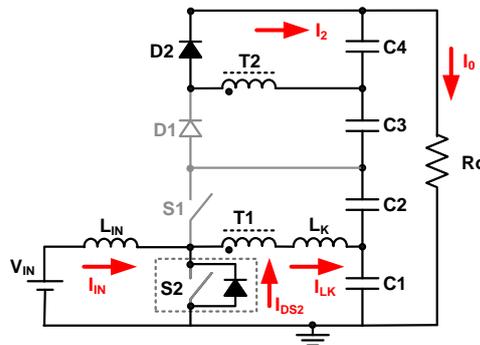


Figura 2.5 – Segunda Etapa de Operação.

Terceira Etapa [$t_2 - t_3$] – (Figura 2.6). Esta etapa tem início quando a corrente no transformador atinge zero e o diodo $D1$ conduz. Percebe-se que a tensão de entrada V_{IN} é então aplicada ao indutor de entrada L_{IN} , fazendo com que a corrente de entrada I_{IN} aumente linearmente. No mesmo instante, a tensão que se encontra sobre o capacitor $C1$ é aplicada sobre o arranjo composto pelo indutor série L_K e o enrolamento primário do transformador $T1$. Uma corrente é refletida no lado secundário que flui através do diodo $D1$. A diferença de tensão entre V_{C1} e a tensão refletida no secundário V_{C3} é aplicada à L_K . A indutância série L_K faz com que a corrente que circula pelo primário do transformador seja decrementada linearmente. Percebe-se que as correntes I_{IN} e I_{LK} circulam através da chave $S2$. Esta etapa termina quando $S2$ é comandado a bloquear.

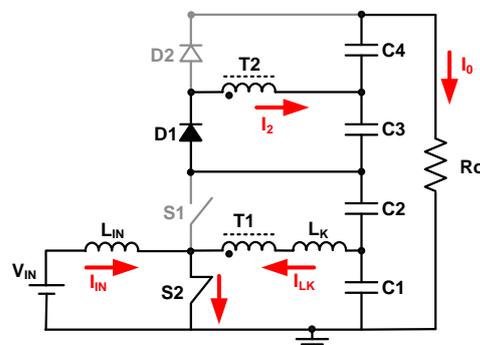


Figura 2.6 – Terceira Etapa de Operação.

Quarta Etapa [$t_3 - t_4$] – (Figura 2.7). Nesta etapa as chaves S1 e S2 encontram-se bloqueadas. A tensão em S2 é a soma das tensões nos capacitores C1 e C2, enquanto que a tensão na chave S1 é nula, uma vez que esta encontra-se conduzindo pelo diodo interno D_{S1} . Tanto a corrente de entrada I_{IN} quanto a corrente no indutor de dispersão I_{LK} circulam pelo diodo em antiparalelo da chave S1. Para que o conversor opere com comutação suave em modo ZVS é preciso que a chave S1 seja comandada a conduzir ainda enquanto o diodo D_{S1} esteja conduzindo. A tensão sobre o indutor de dispersão L_K é resultado da soma das tensões dos capacitores C2 e C3. Nesta etapa a corrente I_{LK} aumenta linearmente, fazendo com que a corrente do diodo em antiparalelo da chave S1 também decresça linearmente. Esta etapa termina quando a corrente em D_{S1} atinge zero.

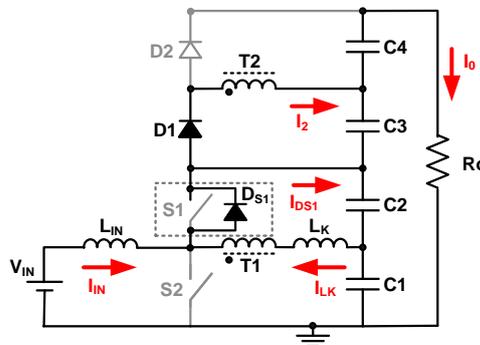


Figura 2.7 – Quarta Etapa de Operação.

2.2.2. FORMAS DE ONDA TEÓRICAS DO CONVERSOR

A Figura 2.8 apresenta as principais formas de ondas teóricas do conversor operando em modo de condução contínua, na qual são apresentadas as formas de onda das tensões e correntes nas chaves S1 e S2, corrente de entrada I_{IN} , corrente no primário do transformador I_{T1} e as tensões de gatilho V_{G1} e V_{G2} .

Os intervalos de tempos mostrados no gráfico constatarem de forma clara todas as afirmações feitas anteriormente para cada etapa de operação.

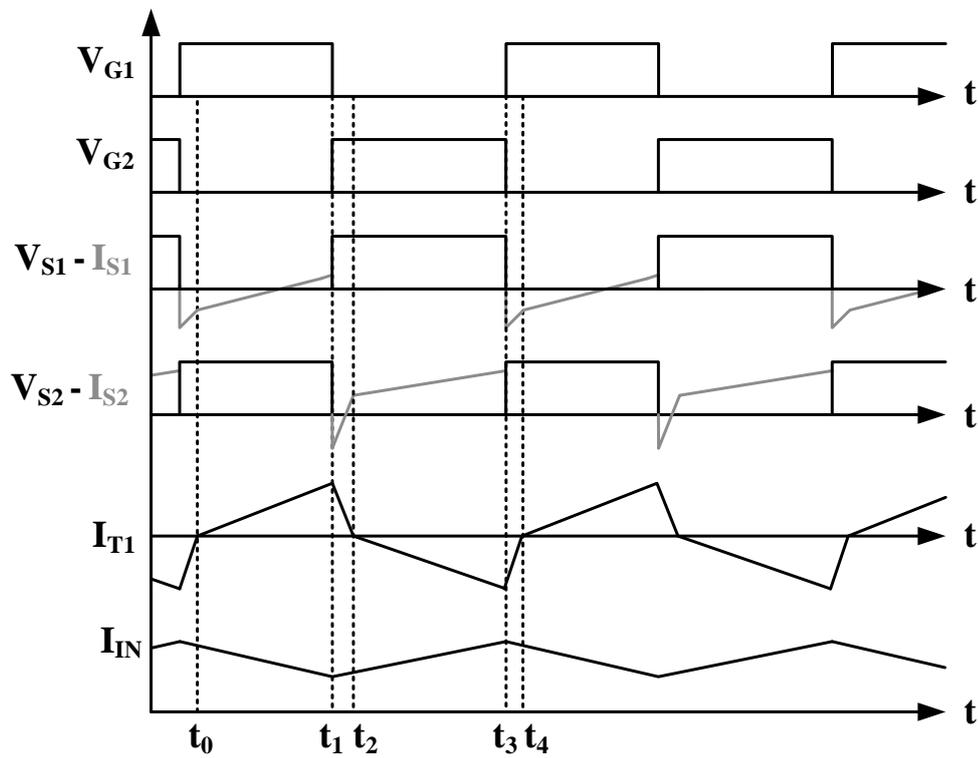


Figura 2.8 – Formas de onda teóricas da Topologia I.

2.2.3. ANÁLISE QUANTITATIVA DAS ETAPAS DE OPERAÇÃO

A seguir serão feitas as análises quantitativas de todas as etapas de operação para o conversor da topologia I. Serão mostrados os circuitos equivalentes simplificados para cada etapa, bem como seu equacionamento característico. Desta forma, visa-se um melhor entendimento para o correto funcionamento do conversor.

• Primeira Etapa:

A seguir é mostrado o circuito simplificado da primeira etapa de operação, conforme mostra a Figura (2.9).

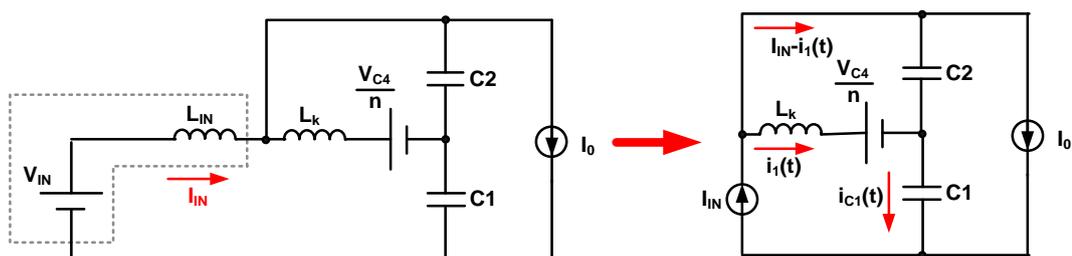


Figura 2.9 – Circuito Equivalente da Primeira Etapa de Operação.

Conforme pode ser observado, foi feita uma simplificação no circuito original, convertendo a fonte e o indutor de entrada por uma fonte de corrente constante, o que eventualmente simplificará os cálculos seguintes.

As equações (2.1) a (2.4) definem o circuito mostrado na Figura 2.9.

$$V_{C2}(t) = L_K \cdot \frac{dI_1(t)}{dt} + \frac{V_{C4}}{n} \quad (2.1)$$

$$I_{IN} = I_{C1}(t) + I_0 \quad (2.2)$$

$$I_{C1}(t) = C1 \cdot \frac{dV_{C1}(t)}{dt} \quad (2.3)$$

$$I_{C2}(t) = I_{IN} - I_1(t) - I_0 = C2 \cdot \frac{dV_{C2}(t)}{dt} \quad (2.4)$$

Substituindo (2.3) em (2.2), tem-se:

$$I_{IN} - I_0 = C1 \cdot \frac{dV_{C1}(t)}{dt} \quad (2.5)$$

Desta forma chega-se a solução mostrada em (2.6).

$$V_{C1}(t) = \left(\frac{I_{IN} - I_0}{C1} \right) t - V_{C1}(0) \quad (2.6)$$

Isolando $I_1(t)$ de (2.4), chega-se em (2.7).

$$I_1(t) = I_{IN} - I_0 - C2 \cdot \frac{dV_{C2}(t)}{dt} \quad (2.7)$$

Substituindo (2.7) em (2.1) tem-se:

$$V_{C2}(t) = -L_K \cdot C2 \cdot \frac{d^2V_{C2}(t)}{dt^2} + \frac{V_{C4}}{n} \quad (2.8)$$

Resolvendo então a equação (2.8) chega-se ao seguinte resultado para a tensão no capacitor C2:

$$V_{C2}(t) = \frac{\left(I_{C2}(0) \cdot L_K + \frac{V_{C4}}{n} \right) \cdot \text{sen}(w_0 \cdot t) + V_{C2}(0) \cdot \sqrt{L_K \cdot C2} \cdot \cos(w_0 \cdot t)}{\sqrt{L_K \cdot C2}} \quad (2.9)$$

Aplicando (2.9) em (2.7) chega-se em:

$$I_1(t) = I_{IN} - I_0 + \frac{V_{C2}(0) \cdot \text{sen}(w_0 \cdot t)}{L_K \cdot \sqrt{\frac{1}{L_K \cdot C2}}} - \frac{\left(\frac{V_{C4}}{n} + L_K \cdot I_{C2} \right) \cdot \cos(w_0 \cdot t)}{L_K} \quad (2.10)$$

• Segunda Etapa:

A Figura (2.10) mostra o circuito simplificado para a segunda etapa de operação. Para simplificar o equacionamento da etapa como um todo, reflete-se o circuito secundário para o lado primário. Desta forma, tem-se um circuito LC submetido a uma fonte de tensão e uma fonte de corrente, circuito este bastante conhecido na literatura [62].

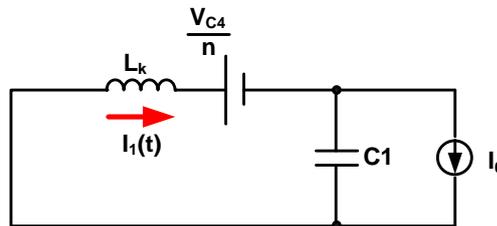


Figura 2.10 – Circuito Equivalente da Segunda Etapa de Operação.

Sejam as equações (2.11) e (2.12) que definem o circuito da Figura 2.10.

$$-\frac{V_{C4}}{n} = V_{Lk}(t) + V_{C1}(t) \quad (2.11)$$

$$I_1(t) = I_{C1}(t) + I_0 \quad (2.12)$$

Com as definições de tensão em um indutor e corrente em um capacitor tem-se (2.13) e (2.14).

$$V_{Lk}(t) = L_K \cdot \frac{dI_1(t)}{dt} = L_K \cdot \frac{d(I_0 + I_{C1}(t))}{dt} = L_K \cdot \frac{dI_{C1}(t)}{dt} \quad (2.13)$$

$$I_{C1}(t) = C1 \cdot \frac{dV_{C1}(t)}{dt} \quad (2.14)$$

Substituindo (2.14) em (2.13) obtém-se (2.15).

$$V_{LK}(t) = L_K \cdot C1 \cdot \frac{d^2V_{C1}(t)}{dt^2} \quad (2.15)$$

Substituindo (2.15) em (2.11) tem-se as equações (2.16) e (2.17).

$$-\frac{V_{C4}}{n} = L_K \cdot C1 \cdot \frac{d^2V_{C1}(t)}{dt^2} + V_{C1}(t) \quad (2.16)$$

$$\frac{d^2V_{C1}(t)}{dt^2} + \frac{V_{C1}(t)}{L_K \cdot C1} = -\frac{V_{C4}}{L_K \cdot C1} \quad (2.17)$$

Com as equações (2.16) e (2.17) obtém-se as soluções dadas por (2.18) e (2.19).

$$V_{C1}(t) = (V_{C1}(0) + \frac{V_{C4}}{n}) \cdot \cos(w_0 \cdot t) + \sqrt{\frac{L_K}{C1}} \cdot (I_{LK}(0) - I_0) \cdot \text{sen}(w_0 \cdot t) - \frac{V_{C4}}{n} \quad (2.18)$$

$$I_1(t) = I_0 - \frac{\left(V_{C1}(0) + \frac{V_{C4}}{n} \right)}{\sqrt{\frac{L_K}{C1}}} \cdot \text{sen}(w_0 \cdot t) + (I_{LK}(0) - I_0) \cdot \cos(w_0 \cdot t) \quad (2.19)$$

Tendo em vista que:

$$I_1(t) = \frac{I_2(t)}{n} \quad (2.20)$$

Tem-se então:

$$I_2(t) = n \cdot I_1(t) \quad (2.21)$$

• **Terceira Etapa:**

O circuito desta etapa é semelhante ao mostrado na etapa anterior, com a diferença que a fonte de tensão que corresponde à tensão refletida pelo secundário é invertida, conforme mostra a figura (2.11).

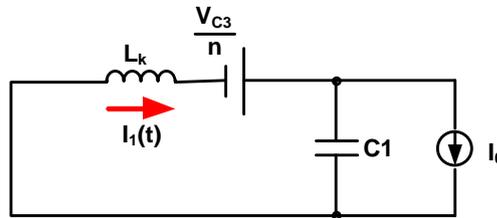


Figura 2.11 – Circuito Equivalente da Terceira Etapa de Operação.

Sejam as equações (2.22) e (2.23) que representam o circuito da Figura 2.9.

$$\frac{V_{C3}}{n} = V_{LK}(t) + V_{C1}(t) \quad (2.22)$$

$$I_1(t) = I_{C1}(t) + I_0 \quad (2.23)$$

Com as definições de tensão em um indutor e corrente em um capacitor tem-se (2.24) e (2.25).

$$V_{LK}(t) = L_K \cdot \frac{dI_1(t)}{dt} = L_K \cdot \frac{d(I_0 + I_{C1}(t))}{dt} = L_K \cdot \frac{dI_{C1}(t)}{dt} \quad (2.24)$$

$$I_{C1}(t) = C1 \cdot \frac{dV_{C1}(t)}{dt} \quad (2.25)$$

Substituindo (2.25) em (2.24) obtém-se (2.26).

$$V_{LK}(t) = L_K \cdot C1 \cdot \frac{d^2V_{C1}(t)}{dt^2} \quad (2.26)$$

Substituindo (2.26) em (2.22) tem-se as equações (2.27) e (2.28).

$$\frac{V_{C3}}{n} = L_K \cdot C1 \cdot \frac{d^2V_{C1}(t)}{dt^2} + V_{C1}(t) \quad (2.27)$$

$$\frac{d^2V_{C1}(t)}{dt^2} + \frac{V_{C1}(t)}{L_K \cdot C1} = \frac{V_{C3}}{L_K \cdot C1} \quad (2.28)$$

Com as equações (2.27) e (2.28) obtém-se as soluções dadas por (2.29) e (2.30).

$$V_{C1}(t) = \left(V_{C1}(0) - \frac{V_{C3}}{n} \right) \cdot \cos(w_0 \cdot t) + \sqrt{\frac{L_K}{C1}} \cdot (I_{LK}(0) - I_0) \cdot \text{sen}(w_0 \cdot t) + \frac{V_{C3}}{n} \quad (2.29)$$

$$I_1(t) = I_0 - \frac{\left(V_{C1}(0) - \frac{V_{C3}}{n} \right)}{\sqrt{\frac{L_K}{C1}}} \cdot \text{sen}(w_0 \cdot t) + (I_{LK}(0) - I_0) \cdot \cos(w_0 \cdot t) \quad (2.30)$$

Tendo em vista que:

$$I_1(t) = \frac{I_2(t)}{n} \quad (2.31)$$

Tem-se então:

$$I_2(t) = n \cdot I_1(t) \quad (2.32)$$

• Quarta Etapa:

O circuito simplificado desta etapa pode ser visto na Figura 2.12 e é semelhante ao mostrado na primeira etapa de operação, sendo diferente somente a polaridade da fonte de tensão que representa a tensão refletida pelo secundário do transformador.

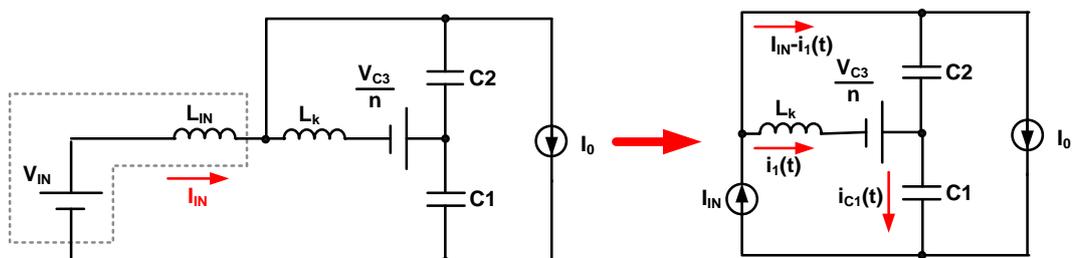


Figura 2.12 – Circuito Equivalente da Quarta Etapa de Operação.

Sejam as equações de (2.33) a (2.36) que representam o circuito da Figura 2.12.

$$V_{C2}(t) = L_K \cdot \frac{dI_1(t)}{dt} - \frac{V_{C3}}{n} \quad (2.33)$$

$$I_{IN} = I_{C1}(t) + I_0 \quad (2.34)$$

$$I_{C1}(t) = C1 \cdot \frac{dV_{C1}(t)}{dt} \quad (2.35)$$

$$I_{C2}(t) = I_{IN} - I_1(t) - I_0 = C2 \cdot \frac{dV_{C2}(t)}{dt} \quad (2.36)$$

Substituindo (2.35) em (2.34), tem-se:

$$I_{IN} - I_0 = C1 \cdot \frac{dV_{C1}(t)}{dt} \quad (2.37)$$

Desta forma chega-se a solução mostrada em (2.38).

$$V_{C1}(t) = \left(\frac{I_{IN} - I_0}{C1} \right) \cdot t - V_{C1}(0) \quad (2.38)$$

Isolando $I_1(t)$ de (2.36), chega-se em (2.39).

$$I_1(t) = I_{IN} - I_0 - C2 \cdot \frac{dV_{C2}(t)}{dt} \quad (2.39)$$

Substituindo (2.39) em (2.33) tem-se:

$$V_{C2}(t) = -L_K \cdot C2 \cdot \frac{d^2V_{C2}(t)}{dt^2} - \frac{V_{C3}}{n} \quad (2.40)$$

Resolvendo então a equação (2.40) chega-se ao seguinte resultado para a tensão no capacitor C2:

$$V_{C2}(t) = \frac{\left(I_{C2}(0) \cdot L_K - \frac{V_{C3}}{n} \right) \cdot \text{sen}(w_0 \cdot t) + V_{C2}(0) \cdot \sqrt{L_K \cdot C2} \cdot \text{cos}(w_0 \cdot t)}{\sqrt{L_K \cdot C2}} \quad (2.41)$$

Aplicando (2.41) em (2.39) chega-se em:

$$I_1(t) = I_{IN} - I_0 + \frac{V_{C2}(0)}{L_K \cdot \sqrt{\frac{1}{L_K \cdot C2}}} \cdot \text{sen}(w_0 \cdot t) + \frac{\left(\frac{V_{C3}}{n} - L_K \cdot I_{C2} \right)}{L_K} \cdot \text{cos}(w_0 \cdot t) \quad (2.42)$$

2.2.4. GANHO ESTÁTICO DO CONVERSOR

O ganho estático do conversor é dado pela razão entre a tensão de saída e a tensão de entrada, conforme mostrado abaixo:

$$G = \frac{V_0}{V_{in}} \quad (2.43)$$

Tem-se que a tensão de saída do conversor em qualquer instante é resultado entre a soma das tensões nos capacitores C1, C2, C3 e C4, conforme mostrado em (2.44).

$$V_0 = V_{C1} + V_{C2} + V_{C3} + V_{C4} \quad (2.44)$$

Tendo em vista que o capacitor C1 encontra-se em paralelo com a bateria, como pode ser visto na própria estrutura do conversor, tem-se então que a tensão sobre o capacitor C1 é a mesma tensão sobre a bateria, ou seja:

$$V_{C1} = V_{IN} \quad (2.45)$$

Sabendo que a tensão média sobre o indutor de entrada L_{IN} durante um período de chaveamento deve ser nula, obtém-se a equação (2.46). Assim, a tensão no capacitor C2 pode ser obtida através da equação (2.47).

$$D \cdot V_{IN} = (1 - D) \cdot V_{C2} \quad (2.46)$$

$$V_{C2} = \frac{D \cdot V_{IN}}{1 - D} \quad (2.47)$$

Para a obtenção das tensões nos capacitores C3 e C4 considerou-se constante todas as tensões dos capacitores. A figura 2.13 mostra o circuito correspondente para cada etapa de operação com a consideração feita.

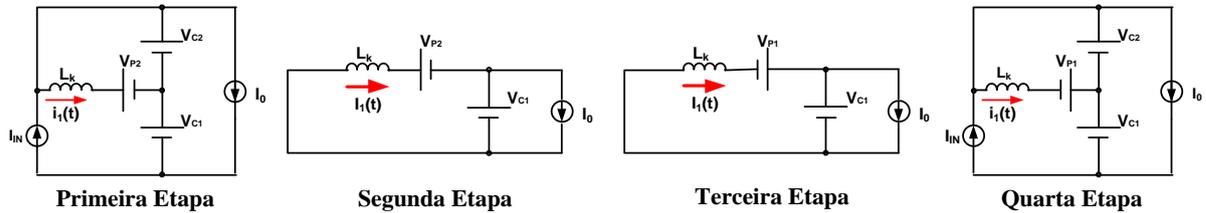


Figura 2.13 – Etapas de Operação com Fontes Constantes.

Onde V_{P1} e V_{P2} correspondem às tensões sobre os capacitores C3 e C4 refletidas ao primário do transformador.

Desta forma o equacionamento para o cálculo dos tempos das etapas de operação, a determinação das condições iniciais de cada etapa e o cálculo do ganho estático deste conversor são facilitados.

Com base na análise de malha das etapas de operação mostradas na figura 2.12, chega-se às seguintes equações das tensões no indutor de dispersão L_K :

$$\begin{cases} V_{LK} = V_{C2} - V_{P2} \rightarrow \text{Primeira Etapa} \\ V_{LK} = -(V_{P2} + V_{C1}) \rightarrow \text{Segunda Etapa} \\ V_{LK} = V_{P1} - V_{C1} \rightarrow \text{Terceira Etapa} \\ V_{LK} = V_{P1} + V_{C2} \rightarrow \text{Quarta Etapa} \end{cases} \quad (2.48)$$

A figura 2.14 mostra o detalhe da forma de onda ideal sobre o indutor de dispersão L_K e do pulso de gatilho do interruptor de potência S1.

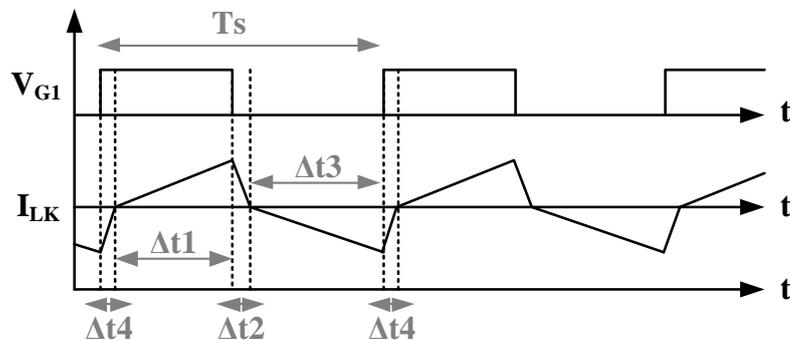


Figura 2.14 – Formas de ondas teóricas da corrente em L_k e gatilho de S1.

Considerando que as variações de corrente nos intervalos Δt_1 e Δt_2 são iguais e em Δt_3 e Δt_4 também, tem-se então:

$$\begin{cases} \Delta I_{t1} = -\Delta I_{t2} \\ \Delta I_{t3} = -\Delta I_{t4} \end{cases} \quad (2.49)$$

Aplicando o conceito da tensão em um indutor e unindo as equações (2.48) e (2.49), podem-se chegar as seguintes equações dos tempos das etapas:

$$\Delta t_1 = \frac{V_{P2} + V_{C1}}{V_{C2} - V_{P2}} \cdot \Delta t_2 \quad (2.50)$$

$$\Delta t_3 = \frac{V_{P1} + V_{C2}}{V_{P1} - V_{C1}} \cdot \Delta t_4 \quad (2.51)$$

$$\Delta t_4 + \Delta t_1 = D \cdot T_s \quad (2.52)$$

$$\Delta t_2 + \Delta t_3 = (D-1) \cdot T_s \quad (2.53)$$

Onde ‘D’ representa a razão cíclica e ‘Ts’ o período de chaveamento.

Resolvendo os sistemas de equações formados por (2.50) à (2.53) chega-se as seguintes soluções para os tempos das etapas levando-se em consideração somente as variáveis dos circuitos da figura 2.12.

$$\Delta t_1 = -\frac{T_s \cdot V_{P1} \cdot (D-1) \cdot (V_{IN} + V_{P2})}{V_{IN} \cdot (V_{P1} + V_{P2})} \quad (2.54)$$

$$\Delta t_2 = \frac{T_s \cdot V_{P1} \cdot (D \cdot V_{IN} - V_{P2} + D \cdot V_{P2})}{V_{IN} \cdot (V_{P1} + V_{P2})} \quad (2.55)$$

$$\Delta t_3 = \frac{T_s \cdot V_{P2} \cdot (V_{P1} + D \cdot V_{IN} - D \cdot V_{P1})}{V_{IN} \cdot (V_{P1} + V_{P2})} \quad (2.56)$$

$$\Delta t_4 = -\frac{T_s \cdot V_{P2} \cdot (V_{IN} - V_{P1}) \cdot (D-1)}{V_{IN} \cdot (V_{P1} + V_{P2})} \quad (2.57)$$

Sabe-se que a tensão de entrada V_{IN} e o período de chaveamento ‘Ts’ são grandezas estipuladas no projeto, desta forma assumem valores conhecidos. Resta, portanto, calcular as equações que corresponderão às tensões V_{P1} e V_{P2} .

Tendo em vista que a corrente média nos diodos D1 e D2 corresponde à corrente de saída, e observando a forma de onda no transformador, chega-se às seguintes equações:

$$\frac{\Delta t_1 + \Delta t_2}{T_s} \cdot \left(\frac{V_{C2} - V_{P2}}{2.L_K} \cdot \Delta t_1 \right) = \frac{I_0}{n} \quad (2.58)$$

$$\frac{\Delta t_3 + \Delta t_4}{T_s} \cdot \left(\frac{V_{IN} - V_{P1}}{2.L_K} \cdot \Delta t_3 \right) = \frac{I_0}{n} \quad (2.59)$$

Substituindo as equações (2.54) à (2.57) em (2.58) e (2.59) chega-se a:

$$\frac{T_s.V_{P1}^2.(V_{IN} + V_{P2}).(D.V_{IN} - V_{P2} + D.V_{P2})}{2.L_K.V_{IN}.V_{P1}^2 + 4.L_K.V_{IN}.V_{P1}.V_{P2} + 2.L_K.V_{IN}.V_{P2}^2} = \frac{I_0}{n} \quad (2.60)$$

$$\frac{T_s.V_{P2}^2.(V_{IN} - V_{P1}).(V_{P1} + D.V_{IN} - D.V_{P1})}{2.L_K.V_{IN}.V_{P1}^2 + 4.L_K.V_{IN}.V_{P1}.V_{P2} + 2.L_K.V_{IN}.V_{P2}^2} = \frac{I_0}{n} \quad (2.61)$$

Desenvolvendo-se essas duas equações, chega-se às expressões que definem as grandezas V_{P1} e V_{P2} em função somente de valores conhecidos, conforme mostram as equações (2.62) e (2.63).

$$V_{P2} = \frac{V_{IN} \cdot \left(n \cdot \sqrt{\frac{-D^3}{n} \cdot (8.\alpha - D.n) + 8.D.\alpha - n.D^2 + 2.D^3.n - 16.D^2.\alpha} \right)}{2.(2.\alpha + 8.\alpha.D^2 - 8.\alpha.D + D^2.n - D^3.n)} \quad (2.62)$$

$$V_{P1} = \frac{V_{IN} \cdot D \cdot V_{P2}}{V_{IN} \cdot D - V_{P2} + 2.D.V_{P2}} \quad (2.63)$$

Onde o termo ‘ α ’ que se encontra na equação (2.62) corresponde à corrente de carga parametrizada, definida por:

$$\alpha = \frac{I_0.L_K}{T_s.V_{IN}} \quad (2.64)$$

Uma vez definidas as equações do sistema e sabendo os parâmetros do conversor, pode-se então saber exatamente os tempos de cada etapa de operação. Desta forma, a partir das equações (2.54) a (2.57) tem-se os seguintes valores para os tempos das etapas.

$$\Delta t_1 = -\frac{T_s \cdot V_{P1} \cdot (D-1) \cdot (V_{IN} + V_{P2})}{V_{IN} \cdot (V_{P1} + V_{P2})} = 7,486 \mu s$$

$$\Delta t_2 = \frac{T_s \cdot V_{P1} \cdot (D \cdot V_{IN} - V_{P2} + D \cdot V_{P2})}{V_{IN} \cdot (V_{P1} + V_{P2})} = 1,027 \mu s$$

$$\Delta t_3 = \frac{T_s \cdot V_{P2} \cdot (V_{P1} + D \cdot V_{IN} - D \cdot V_{P1})}{V_{IN} \cdot (V_{P1} + V_{P2})} = 10,77 \mu s$$

$$\Delta t_4 = -\frac{T_s \cdot V_{P2} \cdot (V_{IN} - V_{P1}) \cdot (D-1)}{V_{IN} \cdot (V_{P1} + V_{P2})} = 713,6 ns$$

Tomando como referência a equação (2.44), esta pode ser reescrita da seguinte forma:

$$V_0 = V_{C1} + V_{C2} + \frac{V_{P1}}{n} + \frac{V_{P2}}{n} \quad (2.65)$$

Uma vez que as equações (2.45), (2.47), (2.62) e (2.63) já foram definidas, tem-se então a seguinte relação:

$$V_0 = V_{IN} + \frac{V_{IN} \cdot D}{1-D} + \frac{V_{IN} \cdot D \cdot \beta}{D - \beta + 2 \cdot D \cdot \beta} + \frac{\beta \cdot V_{IN}}{n} \quad (2.66)$$

Onde ‘ β ’ é dado pela seguinte expressão:

$$\beta = \frac{\left(n \cdot \sqrt{\frac{-D^3}{n} \cdot (8 \cdot \alpha - D \cdot n) + 8 \cdot D \cdot \alpha - n \cdot D^2 + 2 \cdot D^3 \cdot n - 16 \cdot D^2 \cdot \alpha} \right)}{2 \cdot (2 \cdot \alpha + 8 \cdot \alpha \cdot D^2 - 8 \cdot \alpha \cdot D + D^2 \cdot n - D^3 \cdot n)} \quad (2.67)$$

O ganho estático da Topologia I pode então ser expresso fazendo a relação entre a tensão de saída e a tensão de entrada com base na equação (2.66), conforme mostrado a seguir:

$$G = \frac{V_0}{V_{IN}} = \frac{1}{1-D} + \frac{\beta \cdot (2 \cdot D - \beta + 2 \cdot D \cdot \beta)}{n \cdot (D - \beta + 2 \cdot D \cdot \beta)} \quad (2.68)$$

A Figura 2.15 apresenta o gráfico do ganho estático da topologia I em função da razão cíclica do conversor, para diferentes relações de transformações. A linha tracejada mostrada na figura indica o comportamento do ganho estático sem considerar a dispersão magnética. Percebe-se também o alto ganho fornecido pelo conversor, se comparado com o ganho forne-

cido pela estrutura de um conversor *boost* convencional. A equação (2.69) mostra a expressão do ganho estático sem levar em consideração o efeito da dispersão.

$$G = \frac{V_0}{V_{IN}} = \frac{1 + \frac{1}{n}}{1 - D} \quad (2.69)$$

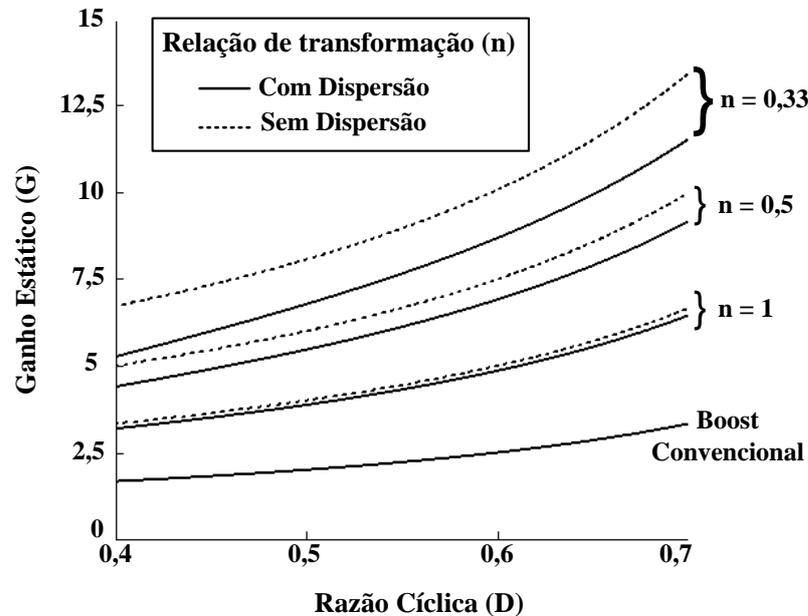


Figura 2.15 – Gráfico do Ganho Estático em função da Razão Cíclica.

A relação de transformação ‘n’ mostrada até então consiste na relação entre a tensão no primário do transformador (V_{PRI}) e a tensão no secundário (V_{SEC}), como mostra a equação a seguir:

$$n_{PRI} \cdot V_{SEC} = n_{SEC} \cdot V_{PRI} \quad (2.70)$$

Desta forma deduz-se que:

$$n = \frac{n_{PRI}}{n_{SEC}} = \frac{V_{PRI}}{V_{SEC}} \quad (2.71)$$

Percebe-se então que na medida em que a relação de transformação diminui, o ganho estático aumenta, porém sem levar em consideração o efeito da dispersão, a diferença no ganho tende a aumentar bruscamente. A figura 2.16 mostra o gráfico do ganho estático em função da corrente de carga parametrizada ‘ α ’ para diferentes valores de razão cíclica e considerando a relação de transformação de 1:3 ($n = 0,33$) (condição de projeto).

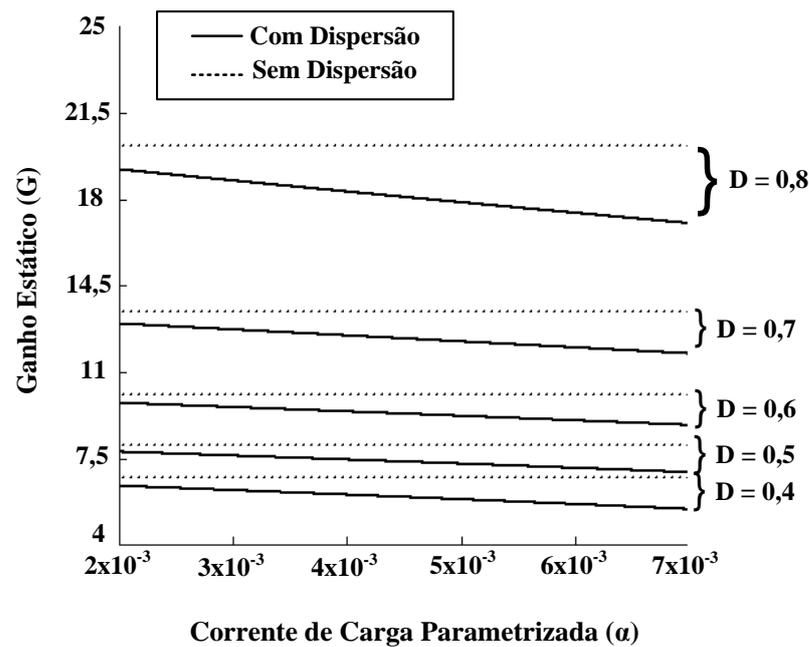


Figura 2.16 – Gráfico do Ganho Estático em função da corrente de carga parametrizada.

2.3. CONDIÇÕES DE COMUTAÇÃO SUAVE

Nesta seção, serão apresentadas as análises para o estudo das condições de comutação suave do conversor da topologia I. Para análise desta condição, é necessário que se faça o equacionamento do conversor levando em consideração as capacitâncias dos interruptores de potência e o tempo morto entre eles.

Toda a análise da condição de comutação se dá no momento em que os dois interruptores de potência encontram-se bloqueados. Desta forma, têm-se na Figura 2.17 os circuitos equivalentes para as análises propostas.

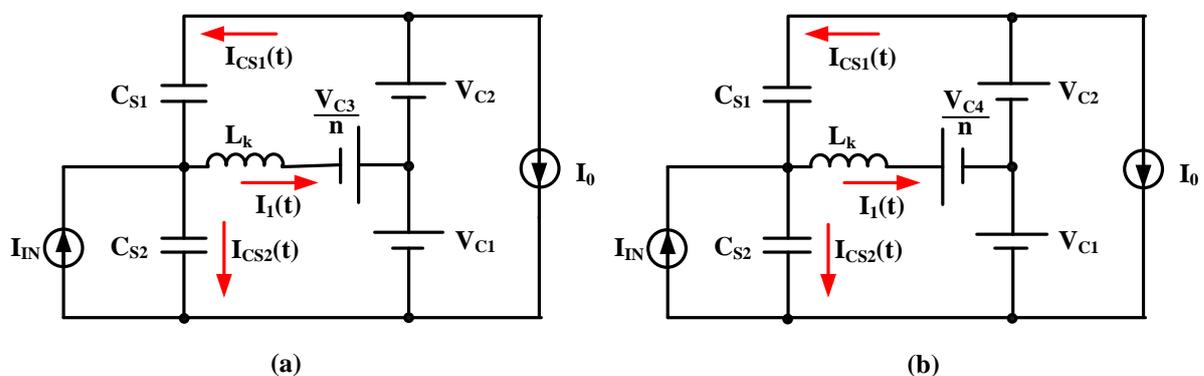


Figura 2.17 – Circuitos Equivalentes para Análises da Comutação Suave para a Topologia I.

A Figura (2.17a) corresponde ao circuito equivalente no momento em que o interruptor de potência S1 é bloqueado, enquanto a Figura (2.17b) corresponde ao circuito equivalente no momento em que o interruptor de potência S2 é comandado a desligar. Desta forma, o equacionamento a seguir irá mostrar a análise completa para a determinação dos tempos mortos mínimos e máximos para ambos os interruptores de potência.

As equações para chave S1 terão como base a Figura (2.17a) enquanto que a chave S2 terá sua análise feita com base na Figura (2.17b).

2.3.1 ANÁLISE DA COMUTAÇÃO SUAVE PARA A CHAVE SUPERIOR S1.

Para o início da análise da comutação suave da chave superior S1, deve-se retirar as equações das malhas formadas pelo circuito da Figura (2.17a). Tais equações podem ser descritas como mostrado em (2.50) a (2.53).

$$I_{CS1}(t) = C_{S1} \frac{dV_{CS1}(t)}{dt} \quad (2.50)$$

$$I_{CS2}(t) = C_{S2} \frac{dV_{CS2}(t)}{dt} \quad (2.51)$$

$$V_{LK}(t) = L_K \frac{dI_1(t)}{dt} \quad (2.52)$$

$$I_1(t) = I_{CS1}(t) + I_{IN} - I_{CS2}(t) \quad (2.53)$$

A tensão sobre os capacitores dos interruptores de potência é resultado da soma das tensões nos capacitores de saída C1 e C2, que tem suas equações mostradas em (2.45) e (2.47) respectivamente. Desta forma, tem-se que:

$$V_{CS1}(t) + V_{CS2}(t) = V_{IN} + \frac{D \cdot V_{IN}}{1-D} = \frac{V_{IN}}{1-D} \quad (2.54)$$

$$V_{C1} = V_{CS2}(t) - V_{LK}(t) + \frac{V_{C3}}{n} \quad (2.55)$$

Isolando ‘ $V_{CS2}(t)$ ’ da equação (2.55) e substituindo (2.52), tem-se a seguinte equação:

$$V_{CS2}(t) = V_{IN} + L_K \frac{dI_1(t)}{dt} - \frac{V_{C3}}{n} \quad (2.56)$$

Substituindo as equações (2.50) e (2.51) em (2.53) e inserindo em (2.56) chega-se à seguinte solução para ‘ $V_{CS2}(t)$ ’.

$$V_{CS2}(t) = V_{IN} - \frac{V_{C3}}{n} + \left(\frac{I_{CS2}(0)}{C_{S2}} \cdot \sqrt{L_K \cdot (C_{S1} + C_{S2})} \right) \cdot \text{sen}(w_0 \cdot t) + \left(\frac{V_{C3}}{n} - V_{IN} + V_{CS2}(0) \right) \cdot \text{cos}(w_0 \cdot t) \quad (2.57)$$

Onde C_{S1} e C_{S2} são as capacitâncias internas das chaves e ‘ w_0 ’ é dado por:

$$w_0 = \frac{1}{\sqrt{L_K \cdot (C_{S1} + C_{S2})}} \quad (2.58)$$

De posse da equação (2.57) e substituindo em (2.54) encontra-se a seguinte solução para ‘ $V_{CS1}(t)$ ’.

$$V_{CS1}(t) = \frac{V_{IN}}{1-D} - V_{IN} + \frac{V_{C3}}{n} - \left(\frac{I_{CS2}(0)}{C_{S2}} \cdot \sqrt{L_K \cdot (C_{S1} + C_{S2})} \right) \cdot \text{sen}(w_0 \cdot t) - \left(\frac{V_{C3}}{n} - V_{IN} + V_{CS2}(0) \right) \cdot \text{cos}(w_0 \cdot t) \quad (2.59)$$

Derivando as equações (2.57) e (2.59) e substituindo em (2.53), chega-se à solução para a corrente que passa pelo indutor ressonante $I_1(t)$.

$$I_1(t) = I_{IN} - (C_{S1} + C_{S2}) \cdot \left(\frac{V_{IN} - \frac{V_{C3}}{n} + V_{CS2}(0)}{\sqrt{L_K \cdot (C_{S1} + C_{S2})}} \right) \cdot \text{sen}(w_0 \cdot t) + \left(\frac{C_{S1}}{C_{S2}} + 1 \right) \cdot I_{CS2}(0) \cdot \text{cos}(w_0 \cdot t) \quad (2.60)$$

Tendo em vista que as tensões nos capacitores internos dos interruptores de potência e a corrente no indutor de dispersão já foram equacionadas, deve-se então inserir as condições iniciais e finais das variáveis, cujos valores são:

- Tensão inicial no capacitor interno da chave S1 $\rightarrow V_{CS1}(0) = 0$
- Tensão inicial no capacitor interno da chave S2 $\rightarrow V_{CS2}(0) = \frac{V_{IN}}{1-D}$
- Corrente inicial no capacitor interno da chave S1 $\rightarrow I_{CS1}(0) = \frac{I_{IN} - I_{\Delta 1}}{2}$
- Corrente inicial no capacitor interno da chave S2 $\rightarrow I_{CS2}(0) = \frac{I_{IN} - I_{\Delta 1}}{2}$

- Tensão final no capacitor interno da chave S1 $\rightarrow V_{CS1}(t) = \frac{V_{IN}}{1-D}$
- Tensão final no capacitor interno da chave S2 $\rightarrow V_{CS2}(t) = 0$

Onde os valores das correntes finais nas etapas são definidos como:

$$I_{\Delta t1} = \frac{V_{C2} - V_{P2}}{L_K} \cdot \Delta t1 \quad (2.61)$$

$$I_{\Delta t2} = I_{\Delta t1}(t) - \left(\frac{V_{P2} + V_{IN}}{L_K} \cdot \Delta t2 \right) \quad (2.62)$$

$$I_{\Delta t3} = - \left(\frac{V_{IN} - V_{P1}}{L_K} \cdot \Delta t3 \right) \quad (2.63)$$

$$I_{\Delta t4} = I_{\Delta t4}(t) + \left(\frac{V_{P1} + V_{C2}}{L_K} \cdot \Delta t4 \right) \quad (2.64)$$

Aplicando as condições iniciais em (2.57) chega-se a seguinte equação:

$$\frac{V_{C3}}{n} - V_{IN} = \sqrt{\left(\frac{I_{IN} - I_{\Delta t1}}{2 \cdot C_{S2}} \cdot \sqrt{L_K \cdot (C_{S1} + C_{S2})} \right)^2 + \left(\frac{V_{C3}}{n} - V_{IN} + \frac{V_{IN}}{1-D} \right)^2} \cdot \text{sen}(w_0 \cdot td_{MIN_S1} + \Phi) \quad (2.65)$$

Onde Φ é dado por:

$$\Phi = \text{tg}^{-1} \left(\frac{\left(\frac{V_{C3}}{n} - V_{IN} + \frac{V_{IN}}{1-D} \right)}{\left(\frac{I_{IN} - I_{\Delta t1}}{2 \cdot C_{S2}} \cdot \sqrt{L_K \cdot (C_{S1} + C_{S2})} \right)} \right) \quad (2.66)$$

Desta forma, isolando o valor de ' td_{MIN_S1} ' de (2.65) tem-se:

$$td_{MIN_S1} = \frac{\Phi + \text{sen}^{-1} \left(\frac{V_{IN} - \frac{V_{C3}}{n}}{\sqrt{\left(\frac{V_{IN} - \frac{V_{C3}}{n} + \frac{V_{IN}}{1-D} \right)^2 + \left(\frac{L_K \cdot (C_{S1} + C_{S2}) \cdot (I_{IN} - I_{\Delta t1})^2}{4 \cdot C_{S2}^2} \right)}} \right)}{w_0} \quad (2.67)$$

Para que a comutação seja suave em S2, esta deve ser comandada a conduzir antes que a corrente em antiparalelo atinja zero. A equação (2.68) mostra a expressão para o cálculo do tempo morto máximos (td_{MAX_S1}) para a chave superior S1.

$$td_{MAX_S1} = \frac{L_K \cdot I_{IN}}{V_{IN} - V_{P1}} + \Delta t_2 \quad (2.68)$$

A seguir são mostradas as condições iniciais e finais para a etapa linear Δt_2 .

- Tensão inicial no capacitor interno da chave S1 $\rightarrow V_{CS1}(0) = \frac{V_{IN}}{1-D}$
- Tensão inicial no capacitor interno da chave S2 $\rightarrow V_{CS2}(0) = 0$
- Corrente inicial no capacitor interno da chave S1 $\rightarrow I_{CS1}(0) = 0$
- Corrente inicial no capacitor interno da chave S2 $\rightarrow I_{CS2}(0) = I_{IN} - I_{\Delta t_1}$
- Tensão final no capacitor interno da chave S1 $\rightarrow V_{CS1}(t) = \frac{V_{IN}}{1-D}$
- Tensão final no capacitor interno da chave S2 $\rightarrow V_{CS2}(t) = 0$

A seguir são mostrados os gráficos dos tempos mortos mínimos e máximos para a comutação do interruptor de potência superior S1 em função da corrente parametrizada ' α ' para diferentes valores de razão cíclica.

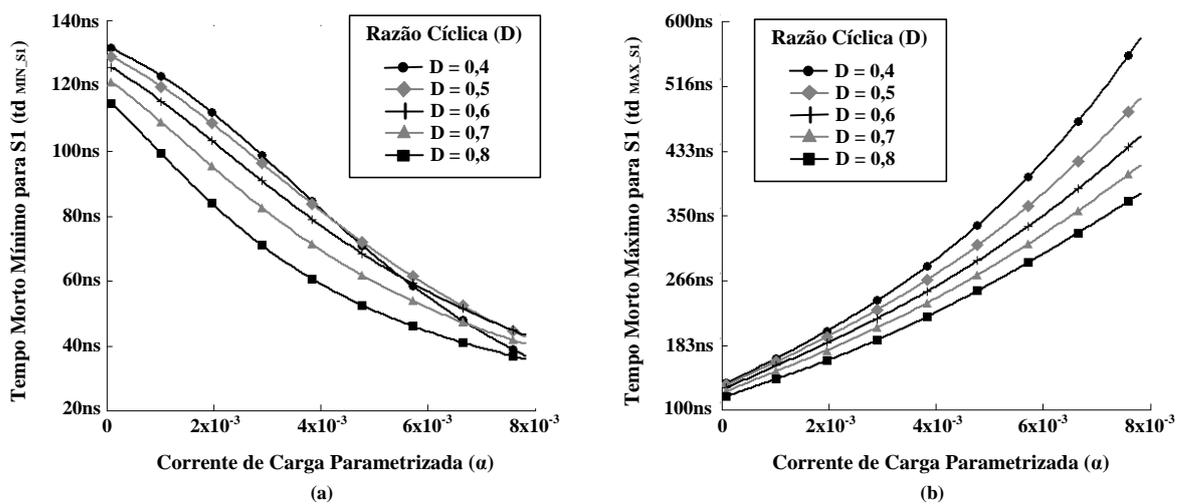


Figura 2.18 – Tempo Morto Mínimo da chave S1 (a) e Tempo Morto Máximo da chave S1(b).

2.3.2 ANÁLISE DA COMUTAÇÃO SUAVE PARA A CHAVE INFERIOR S2.

Tendo em vista que o circuito equivalente analisado para a determinação das condições de comutação suave do interruptor de potência inferior S2 da figura (2.17b) é semelhante ao da figura (2.17a) com exceção da inversão da fonte de tensão correspondente à tensão refletida pelo secundário, tem-se que seu equacionamento é semelhante ao descrito anteriormente, sendo então:

$$V_{CS2}(t) = V_{IN} + \frac{V_{C4}}{n} + \left(\frac{I_{CS2}(0)}{C_{S2}} \cdot \sqrt{L_K \cdot (C_{S1} + C_{S2})} \right) \cdot \text{sen}(w_0 t) + \left(-\frac{V_{C4}}{n} - V_{IN} + V_{CS2}(0) \right) \cdot \text{cos}(w_0 t) \quad (2.69)$$

$$V_{CS1}(t) = \frac{V_{IN}}{1-D} - V_{IN} - \frac{V_{C4}}{n} - \left(\frac{I_{CS2}(0)}{C_{S2}} \cdot \sqrt{L_K \cdot (C_{S1} + C_{S2})} \right) \cdot \text{sen}(w_0 t) - \left(-\frac{V_{C4}}{n} - V_{IN} + V_{CS2}(0) \right) \cdot \text{cos}(w_0 t) \quad (2.70)$$

$$I_1(t) = I_{IN} - (C_{S1} + C_{S2}) \cdot \left(\frac{V_{IN} + \frac{V_{C4}}{n} + V_{CS2}(0)}{\sqrt{L_K \cdot (C_{S1} + C_{S2})}} \right) \cdot \text{sen}(w_0 t) + \left(\frac{C_{S1}}{C_{S2}} + 1 \right) \cdot I_{CS2}(0) \cdot \text{cos}(w_0 t) \quad (2.71)$$

A análise é feita a partir do momento em que o interruptor de potência S2 é bloqueado e S1 é comandado a conduzir. Desta forma, têm-se então as condições iniciais e finais que definem essa etapa.

- Tensão inicial no capacitor interno da chave S1 $\rightarrow V_{CS1}(0) = \frac{V_{IN}}{1-D}$
- Tensão inicial no capacitor interno da chave S2 $\rightarrow V_{CS2}(0) = 0$
- Corrente inicial no capacitor interno da chave S1 $\rightarrow I_{CS1}(0) = \frac{I_{IN} + I_{\Delta 3}}{2}$
- Corrente inicial no capacitor interno da chave S2 $\rightarrow I_{CS2}(0) = \frac{I_{IN} + I_{\Delta 3}}{2}$
- Tensão final no capacitor interno da chave S1 $\rightarrow V_{CS1}(t) = 0$
- Tensão final no capacitor interno da chave S2 $\rightarrow V_{CS2}(t) = \frac{V_{IN}}{1-D}$

Substituindo as condições iniciais em (2.69) tem-se:

$$\frac{V_{IN}}{1-D} - V_{IN} - \frac{V_{C4}}{n} = \sqrt{\left(\frac{I_{IN} - I_{\Delta 3}}{2 \cdot C_{S2}} \cdot \sqrt{L_K \cdot (C_{S1} + C_{S2})} \right)^2 + \left(-\frac{V_{C4}}{n} - V_{IN} \right)^2} \cdot \text{sen}(w_0 t d_{MIN_S2} + \Phi) \quad (2.72)$$

Onde Φ é dado por:

$$\Phi = \operatorname{tg}^{-1} \left(\frac{-\frac{V_{P2}}{n^2} - V_{IN}}{\left(\frac{I_{IN} + I_{\Delta 3}}{2.C_{S2}} \cdot \sqrt{L_K \cdot (C_{S1} + C_{S2})} \right)} \right) \quad (2.73)$$

Desta forma, isolando o valor de ' td_{MIN_S2} ' de (2.72) tem-se:

$$td_{MIN_S2} = - \frac{\Phi + \operatorname{sen}^{-1} \left(\frac{V_{IN} + \frac{V_{P2}}{n^2} + \frac{V_{IN}}{D-1}}{\sqrt{\left(V_{IN} - \frac{V_{P2}}{n^2} \right)^2 + \left(\frac{L_K \cdot (C_{S1} + C_{S2}) \cdot (I_{IN} + I_{\Delta 3})^2}{4.C_{S2}^2} \right)}} \right)}{\omega_0} \quad (2.74)$$

Para que a comutação seja suave em S1, esta deve ser comandada a conduzir antes que a corrente em antiparalelo atinja zero. Como a corrente no diodo em antiparalelo é igual à corrente de entrada somada à corrente no transformador, tem-se que a quarta etapa de operação ocorre plenamente, desta forma deve-se calcular o restante do tempo para que a corrente chegue a zero. A equação (2.75) mostra a expressão para o cálculo do tempo morto máximos (td_{MAX_S2}) para a chave superior S2 e a seguir segue as condições iniciais e finais para esta etapa.

- Tensão inicial no capacitor interno da chave S1 $\rightarrow V_{CS1}(0) = 0$
- Tensão inicial no capacitor interno da chave S2 $\rightarrow V_{CS2}(0) = \frac{V_{IN}}{1-D}$
- Corrente inicial no capacitor interno da chave S1 $\rightarrow I_{CS1}(0) = I_{IN} + I_{\Delta 3}$
- Corrente inicial no capacitor interno da chave S2 $\rightarrow I_{CS2}(0) = 0$
- Tensão final no capacitor interno da chave S1 $\rightarrow V_{CS1}(t) = 0$
- Tensão final no capacitor interno da chave S2 $\rightarrow V_{CS2}(t) = \frac{V_{IN}}{1-D}$

Desta forma tem-se a seguinte equação para a determinação do tempo morto máximo para S2:

$$td_{MAX_S2} = \frac{L_K \cdot I_{IN}}{V_{C2} - V_{P2}} + \Delta t_4 + td_{MIN_S2} = 5,17\mu s \quad (2.75)$$

A seguir são mostrados os gráficos dos tempos mortos mínimos e máximos para a comutação do interruptor de potência inferior S2 em função da corrente parametrizada ' α ' para diferentes valores de razão cíclica.

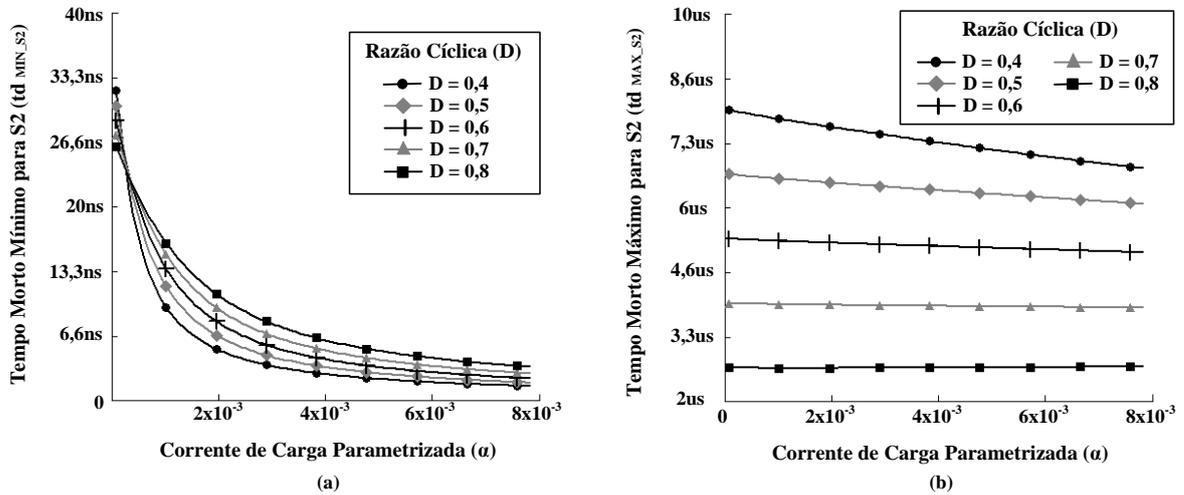


Figura 2.19 – Tempo Morto Mínimo da chave S2 (a) e Tempo Morto Máximo da chave S2(b).

O gráfico da Figura (2.20) mostra a faixa entre os tempos mortos mínimos e máximos de ambos os interruptores de potência.

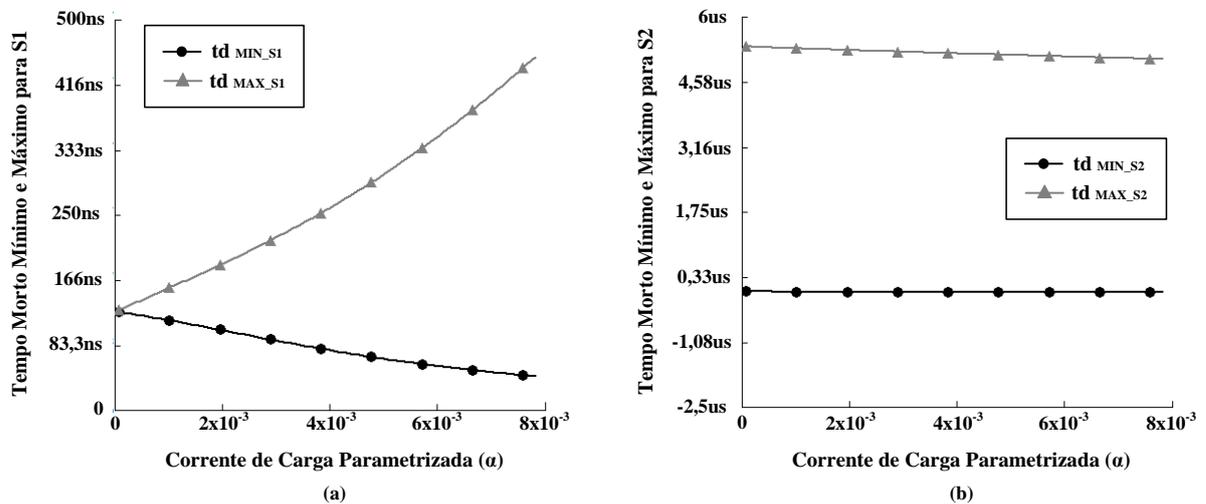


Figura 2.20 – Tempos Mortos Mínimos e Máximos das chaves S1 e S2.

2.4 PROCEDIMENTO DE PROJETO PARA TOPOLOGIA I.

A seguir serão descritos os procedimentos para o dimensionamento correto do conversor da topologia I. Todos os cálculos de projeto e as especificações deste conversor são mostrados a seguir:

- Frequência de Chaveamento → $f_s = 50\text{kHz}$
- Tensão de Entrada → $V_{IN} = 24\text{V}$
- Tensão de Saída → $V_0 = 200\text{V}$
- Razão Cíclica Nominal → $D = 0,59$
- Potência de Saída → $P_0 = 500\text{W}$
- Resistência de Carga → $R_0 = 80\Omega$
- Ondulação da Corrente de Entrada → $\Delta I_{IN} = 10\%$
- Ondulação da Tensão de Saída → $\Delta V_0 = 1\%$

2.4.1 PROJETO DO INDUTOR DE ENTRADA (L_{IN}).

O objetivo principal do núcleo magnético é fornecer um caminho adequado para o fluxo magnético.

Entre os tipos de material utilizados na construção de núcleos destacam-se o ferrite e as lâminas de ferro-silício. Em operações em baixas frequências as lâminas de ferro-silício são mais adequadas, porém, com o aumento da frequência de operação, as perdas por histerese e, conseqüentemente, a elevação de temperatura tornam impraticáveis o seu uso. Os núcleos de ferrite são indicados para operação em frequências mais elevadas, porém apresentam algumas desvantagens em relação às lâminas de ferro silício, tais como baixa densidade de fluxo de saturação e baixa robustez a choques mecânicos.

Para o projeto do indutor de entrada da topologia I, adotaram-se os seguintes valores para as variáveis de entrada:

- Densidade de Corrente nos condutores → $J = 400\text{A/cm}^2$
- Densidade de Fluxo Magnético → $B = 0,3\text{T}$
- Fator de Ocupação da Janela → $K_u = 0,7$
- Permeabilidade Magnética do ar → $\mu_0 = 4.\pi.10^{-7}$

O cálculo do valor da indutância de entrada é dado por:

$$L_{IN} = \frac{V_{IN} \cdot D}{f_s \cdot \Delta I_{IN}} = 120\mu\text{H} \quad (2.76)$$

A corrente de entrada é dada por:

$$I_{IN} = \frac{P_{IN}}{V_{IN}} \cong 21\text{A} \quad (2.77)$$

Para efeito de projeto, considera-se que a corrente de entrada máxima corresponde a 10% a mais que o valor nominal e a corrente mínima 10% menos, ou seja:

$$\begin{cases} I_{IN_MAX} = 1,1 \cdot I_{IN} \cong 23A \\ I_{IN_MIN} = 0,9 \cdot I_{IN} \cong 18,7A \end{cases}$$

Na figura (2.21) pode ser observado o modelo de um núcleo de ferrite do tipo EE. A área da seção transversal do núcleo, denominada A_e , e a área da janela, denominada A_w , são fatores importantes no projeto físico de magnéticos.

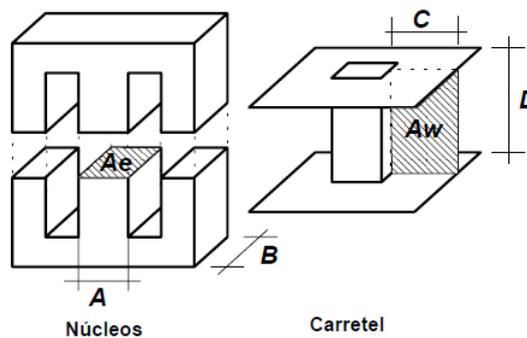


Figura 2.21 – Núcleo e Carretel do tipo EE.

Segundo [63] a equação que define o produto das áreas do núcleo magnético ($A_e A_w$) para a confecção do indutor é dado por:

$$A_e A_w = \frac{L_{IN} \cdot I_{IN_MAX} \cdot I_{IN}}{K_u \cdot J \cdot B} \cong 6,8 \quad (2.78)$$

Com base no valor dado pela expressão (2.78), adotou-se um núcleo comercial de ferrite **NEE 55/28/21** da Thornton, cujos valores de referencia estão listados a seguir:

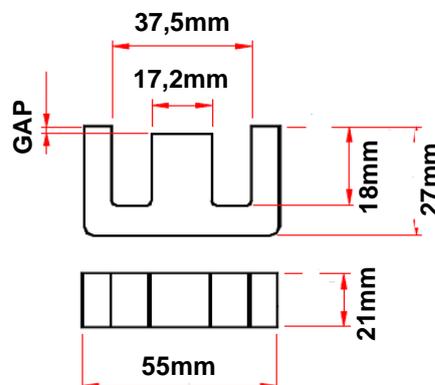


Figura 2.22 – Dimensões do Núcleo NEE 55/28/21.

$$\begin{cases} A_e = 3,6 \text{ cm}^2 \\ A_w = 3,7 \text{ cm}^2 \\ A_e A_w = 13,6 \text{ cm}^4 \\ V_E = 40,5 \text{ cm}^3 \text{ (volume do núcleo)} \end{cases}$$

O número de espiras do indutor de entrada é dado por:

$$N_{L_{IN}} = \frac{L_{IN} \cdot I_{IN_MAX}}{A_e \cdot B} \cdot 10^4 \cong 26 \text{ espiras} \quad (2.79)$$

A seção do condutor a ser utilizado no enrolamento é dada por:

$$S_{L_{IN}} = \frac{I_{IN}}{J} = 0,052 \text{ cm}^2 \quad (2.80)$$

O fio escolhido para a implementação física foi o **AWG 26** que possui as seguintes seções:

$$\begin{cases} S_f = 0,001287 \text{ cm}^2 \text{ (área do fio sem isolamento)} \\ S_{f_isol} = 0,001671 \text{ cm}^2 \text{ (área do fio com isolamento)} \end{cases}$$

Assim, o número de fios em paralelo pode ser calculado por:

$$N_{L_{IN_Paralelo}} = \frac{S_{L_{IN}}}{S_f} \cong 41 \quad (2.81)$$

O fator de ocupação teórico é dado por [13]:

$$K_u = \frac{N_{L_{IN}} \cdot N_{L_{IN_Paralelo}} \cdot S_{f_isol}}{A_w} \cong 0,46 \quad (2.82)$$

Como o fator de ocupação teórico foi menor que o valor estipulado em projeto, conclui-se que o indutor pode ser implementado.

O valor do entreferro é dado por [13]:

$$lg = \frac{\mu_0 \cdot A_e \cdot (N_{L_{IN}})^2}{L_{IN}} \cdot 10^{-2} \cong 0,24 \text{ cm} \quad (2.83)$$

A tabela 2.1 mostra as principais características do indutor de entrada.

Tabela 2.1 – Parâmetros do Indutor de Entrada (L_{IN})

Indutância de Entrada	$L_{IN} = 120 \text{ uH}$
Número de Espiras	$N_{L_{IN}} = 26$
Núcleo	NEE 55/28/21
Fio	AWG 26
Número de fios em paralelo	$N_{L_{IN_PARALELO}} = 41$
Entreferro	$lg = 0,24 \text{ cm}$

2.4.2 PROJETO DO INDUTOR SÉRIE (L_K).

Fazendo uma análise das equações (2.65) e (2.72) percebe-se que a comutação suave de ambos os interruptores de potência S1 e S2 se dá para toda a faixa de carga do conversor independente do valor de L_K . Desta forma, a principal função deste indutor é limitar a corrente de pico nas chaves e diminuir a derivada de corrente dos diodos superiores D1 e D2. O gráfico da Figura (2.23) mostra os valores de pico das correntes das chaves S1 e S2 para diferentes valores de L_K .

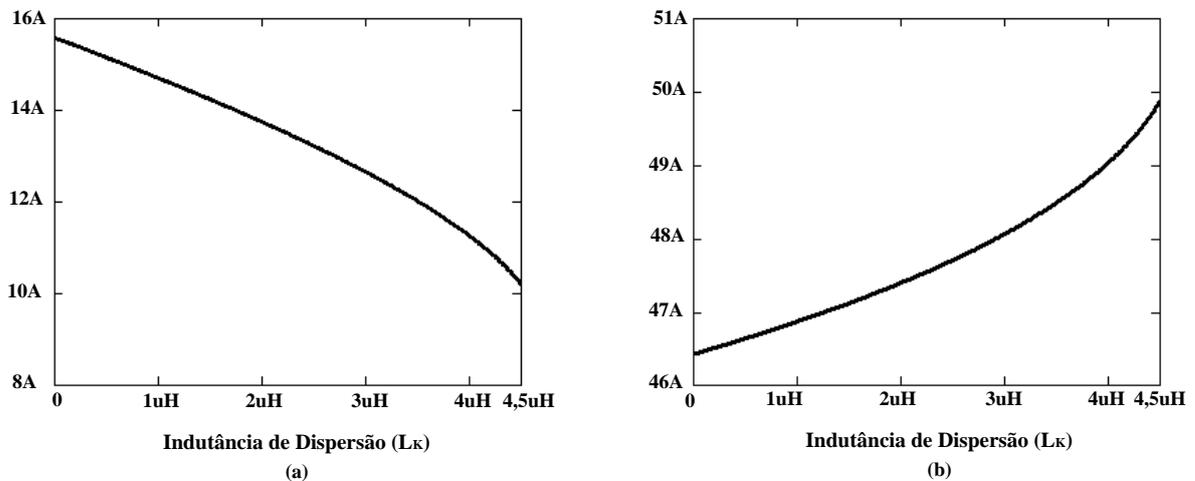


Figura 2.23 – Valores de Pico nas Chaves S1(a) e S2(b) para diferentes valores de L_K .

Conforme pode ser observado, existe uma leve dependência entre as correntes de pico nas chaves e o valor da indutância de dispersão L_K utilizado. O aumento de L_K reduz o pico de corrente na chave S1, porém aumenta o pico de corrente em S2. Uma vez que a variação no pico de corrente nas chaves é pequena, não compensa a colocação do indutor L_K para diminuir as perdas por comutação nos interruptores de potência, entretanto este indutor limita a derivada de corrente nos diodos D1 e D2, o que acarreta um ganho no rendimento.

Tendo sido feita esta análise, optou-se por inserir este indutor no conversor para que se obtivesse um melhor rendimento da estrutura. Desta forma, adotou-se o seguinte valor para o indutor de dispersão L_K :

$$L_K = 1,5\mu H$$

Calculando a corrente de pico e eficaz no indutor chega-se aos seguintes valores:

$$\begin{cases} I_{PK_LK} = 37A \\ I_{EF_LK} = 18A \end{cases}$$

Segundo [63] a equação que define o produto das áreas do núcleo magnético ($A_e A_w$) para a confecção do indutor é dado por:

$$A_e A_w = \frac{L_K \cdot I_{PK-LK} \cdot J_{EF-LK}}{K_u \cdot J \cdot B} \cong 0,4 \quad (2.84)$$

Com base no valor dado pela expressão (2.84), adotou-se um núcleo comercial de ferrite **NEE 30/15/14** da Thornton, cujos valores de referência estão listados a seguir:

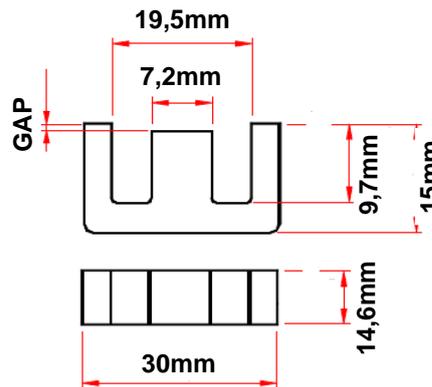


Figura 2.24 – Dimensões do Núcleo NEE 30/15/14.

$$\begin{cases} A_e = 1,2cm^2 \\ A_w = 1,19cm^2 \\ A_e A_w = 1,43cm^4 \\ V_E = 81,7cm^3 \text{ (volume do núcleo)} \end{cases}$$

O número de espiras do indutor de entrada é dado por:

$$N_{L_K} = \frac{L_K \cdot I_{PK-LK}}{A_e \cdot B} \cdot 10^4 \cong 5 \text{ espiras} \quad (2.85)$$

A seção do condutor a ser utilizado no enrolamento é dada por:

$$S_{LK} = \frac{I_{EF-LK}}{J} = 0,046cm^2 \quad (2.86)$$

O fio escolhido para a implementação física foi o **AWG 27** que possui as seguintes seções:

$$\begin{cases} S_f = 0,001021cm^2 \text{ (área do fio sem isolamento)} \\ S_{f_isol} = 0,001344cm^2 \text{ (área do fio com isolamento)} \end{cases}$$

Assim, o número de fios em paralelo pode ser calculado por:

$$N_{L_K_Paralelo} = \frac{S_{L_K}}{S_f} \cong 46 \quad (2.87)$$

O fator de ocupação teórico é dado por [13]:

$$K_u = \frac{N_{L_K} \cdot N_{L_K_Paralelo} \cdot S_{f_isol}}{A_w} \cong 0,24 \quad (2.88)$$

Como o fator de ocupação teórico foi menor que o valor estipulado em projeto, conclui-se que o indutor pode ser implementado.

O valor do entreferro é dado por [13]:

$$l_g = \frac{\mu_0 \cdot A_e \cdot (N_{L_K})^2}{L_K} \cdot 10^{-2} \cong 0,22 \text{ cm} \quad (2.89)$$

A tabela 2.2 mostra as principais características do indutor de dispersão.

Tabela 2.2 – Parâmetros do Indutor de Dispersão (L_K)

Indutância Ressonante	L_K = 1,5 uH
Número de Espiras	N_{LK} = 5
Núcleo	NEE 30/15/14
Fio	AWG 27
Número de fios em paralelo	N_{LK_PARALELO} = 46
Entreferro	l_g = 0,22 cm

2.4.3 PROJETO DO TRANSFORMADOR (T_R).

Para o projeto do transformador levou-se em consideração as seguintes especificações:

- Densidade de Corrente nos condutores → J = 400A/cm²
- Densidade de Fluxo Magnético → B = 0,1T
- Fator de Ocupação da Janela → K_u = 0,4

O número de espiras do lado primário pode ser calculado segundo [63] através da equação (2.90).

$$N_p = \frac{D \cdot V_{IN}}{2 \cdot B \cdot A_e \cdot f \cdot S} \cdot 10^4 \cong 11 \text{ espiras} \quad (2.90)$$

O número de espiras para o lado secundário tem uma relação direta com o primário, desta forma, levando-se em consideração que a relação de transformação entre o primário e o secundário é de (1:3), tem-se que:

$$N_s = n.N_p = 3.N_p \cong 33 \text{ espiras} \quad (2.91)$$

Tendo em vista que o enrolamento primário encontra-se em série com o indutor de dispersão, deduz-se que a corrente eficaz no primário do transformador é a mesma do indutor L_K , desta forma:

$$I_{EF_PRI} = I_{EF_LK} \cong 18A \quad (2.92)$$

Portanto:

$$I_{EF_SEC} = \frac{I_{EF_PRI}}{n} = \frac{I_{EF_PRI}}{3} \cong 6A \quad (2.93)$$

Desta forma, para se determinar o produto das áreas do núcleo magnético ($A_e A_w$) para a confecção do transformador deve se levar em consideração os dois enrolamentos, sendo então calculado por [13]:

$$A_e A_w = \frac{D.V_{IN}.I_{EF_PRI} \cdot 10^4}{2.B.J.K_u.fs} + \frac{n.D.V_{IN}.I_{EF_SEC} \cdot 10^4}{2.B.J.K_u.fs} \cong 2,8 \quad (2.94)$$

Com base no valor dado pela expressão (2.78), adotou-se um núcleo comercial de ferrite **NEE 55/28/21** da Thornton, cujos valores de referência já foram listados anteriormente.

A seção do condutor a ser utilizado no enrolamento é dada por:

$$S_{T_r_PRI} = \frac{I_{EF_PRI}}{J} = 0,045 \text{ cm}^2 \quad (2.95)$$

$$S_{T_r_SEC} = \frac{I_{EF_SEC}}{J} = 0,015 \text{ cm}^2 \quad (2.96)$$

O fio escolhido para a implementação física foi o **AWG 27** que possui as seguintes seções:

$$\begin{cases} S_f = 0,001021 \text{ cm}^2 \text{ (área do fio sem isolamento)} \\ S_{f_isol} = 0,001344 \text{ cm}^2 \text{ (área do fio com isolamento)} \end{cases}$$

Assim, o número de fios em paralelo pode ser calculado por:

$$N_{P_Paralelo} = \frac{S_{T_R-PRI}}{S_f} \cong 45 \quad (2.97)$$

$$N_{S_Paralelo} = \frac{S_{T_R-SEC}}{S_f} \cong 15 \quad (2.98)$$

O fator de ocupação teórico é dado por [13]:

$$K_{u_{Tr}} = \frac{N_{P_Paralelo} \cdot N_P \cdot S_{f_isol}}{A_w} + \frac{N_{S_Paralelo} \cdot N_S \cdot S_{f_isol}}{A_w} \cong 0,34 \quad (2.82)$$

Como o fator de ocupação teórico foi menor que o valor estipulado em projeto, conclui-se que o indutor pode ser implementado.

A tabela 2.3 mostra as principais características do transformador T_R .

Tabela 2.3 – Parâmetros do Transformador (T_R)

Número de Espiras do Primário	$N_P = 11$ espiras
Número de Espiras do Secundário	$N_S = 33$ espiras
Núcleo	NEE 55/28/21
Fio	AWG 27
Número de Fios em Paralelo no Primário	$N_{P_PARALELO} = 45$
Número de Fios em Paralelo no Secundário	$N_{S_PARALELO} = 15$

2.4.4 DIMENSIONAMENTO DOS DIODOS RETIFICADORES D1-D2.

O dimensionamento dos diodos D1 e D2 foram feitos com base nos valores das tensões e correntes médias, eficazes e de pico em cada um. A Figura (2.25) mostra as formas de ondas nos respectivos elementos.

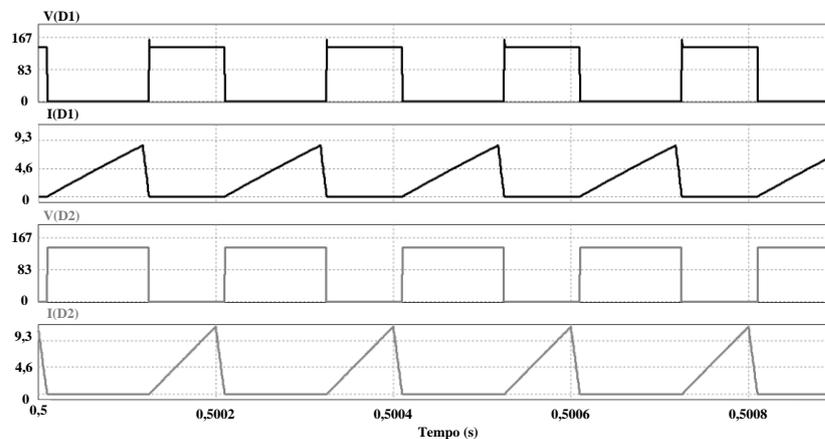


Figura 2.25 – Tensão e Corrente em D1 e D2.

Calculando as correntes médias e eficaz nos diodos retificadores chega-se aos seguintes valores:

$$\begin{cases} I_{EF_D1} = 3,8A \\ I_{MED_D1} = 2,5A \\ I_{EF_D2} = 4,2A \\ I_{MED_D2} = 2,5A \\ I_{PICO_D1} = 8,5A \\ I_{PICO_D2} = 11,6A \end{cases}$$

Conforme pode ser observado na Figura (2.25) a máxima tensão sobre os diodos não ultrapassa 170V. Desta forma, optou-se por utilizar o diodo Schottky **MBR20200** cujas principais características são tensão máxima de 200V e corrente máxima de 10A por perna e 20A por dispositivo. Essas características aliadas ao fato de sua recuperação reversa ser inferior, se comparada à outros diodos, fez com que a eficiência da topologia aumentasse.



Figura 2.26 – Diagrama do Diodo Schottky MBR20200.

2.4.5 DIMENSIONAMENTO DOS INTERRUPTORES DE POTÊNCIA S1-S2.

O dimensionamento dos interruptores de potência S1 e S2 tiveram sua análise parecida com o estudo feito para os diodos retificadores. Através do cálculo das tensões e correntes média e eficaz nos dispositivos chegou-se a uma especificação. A Figura (2.27) mostra o valor e o formato das tensões e correntes em ambos os interruptores.

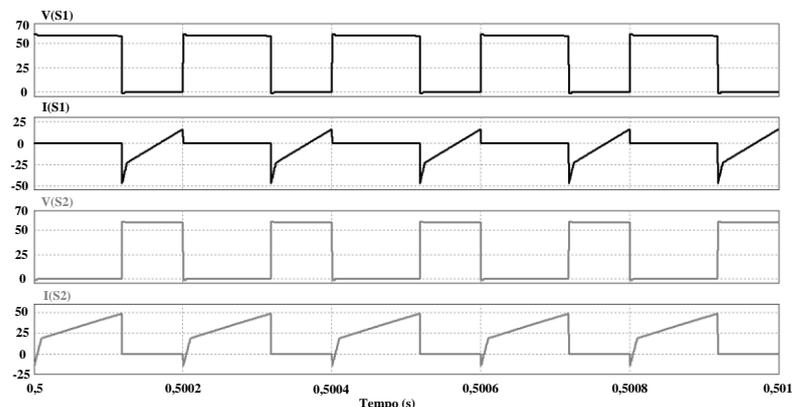


Figura 2.27 – Tensão e Corrente em S1 e S2.

A seguir são mostrados os valores médios e eficazes das correntes dos interruptores de potência S1 e S2. Percebe-se que a tensão em ambas as chaves não ultrapassa 70V.

$$\begin{cases} I_{EF_S1} = 9,8A \\ I_{MED_S1} = 2,4A \\ I_{EF_S2} = 26A \\ I_{MED_S2} = 18,5A \end{cases}$$

Tendo em vista os valores mostrados acima, adotou-se como interruptor de potência o MOSFET **IRF2907**, cujas principais características podem ser vistas na Figura (2.28).

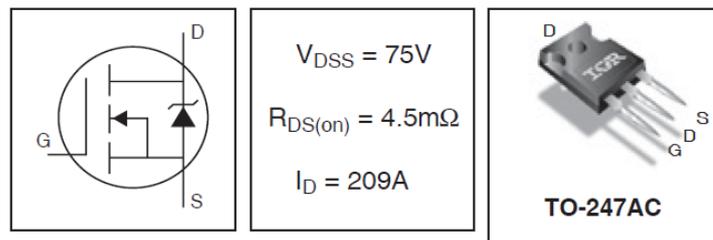


Figura 2.28 – Diagrama do MOSFET IRF2907.

Um importante fator a ser comentado sobre essa chave é o valor de sua capacitância, já que esse dado é de suma importância para o cálculo das condições de comutação do conversor. Desta forma tem-se que:

$$C_{S1} = C_{S2} = 897 \cdot 10^{-12} F$$

2.4.6 DIMENSIONAMENTO DOS CAPACITORES DE SAÍDA C1-C2-C3-C4.

Para o correto dimensionamento dos capacitores de saída deve-se levar em consideração basicamente dois fatores, a tensão sobre o capacitor e sua corrente eficaz. O cálculo das tensões dos capacitores já foi realizado anteriormente, conforme pode ser visto em (2.44), (2.45), (2.47) e (2.65).

$$\begin{cases} V_{C1} = V_{IN} = 24V \\ V_{C2} = \frac{D \cdot V_{IN}}{1 - D} = 34,5V \\ V_{C3} = \frac{V_{P1}}{n} = 61V \\ V_{C4} = \frac{V_{P2}}{n} = 82V \end{cases}$$

A Figura (2.29) mostra o formato e o valor das correntes nos capacitores C1 à C4.

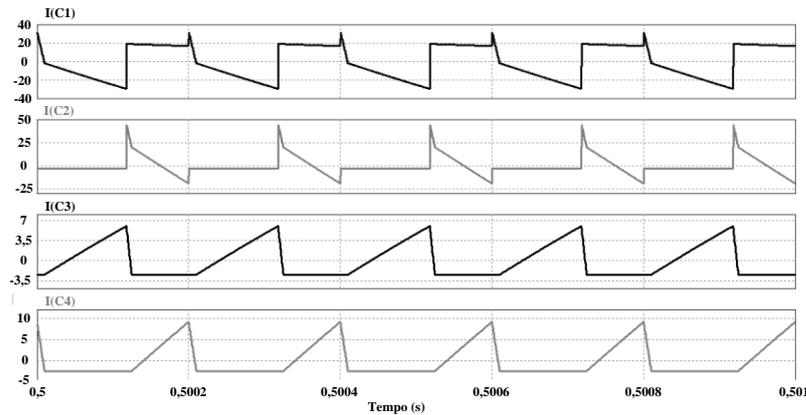


Figura 2.29 – Corrente em C1, C2, C3 e C4.

Os valores correspondentes as correntes eficazes em todos os capacitores de saída são mostrados a seguir:

$$\begin{cases} I_{EF_C1} = 17,8A \\ I_{EF_C2} = 9,5A \\ I_{EF_C3} = 2,8A \\ I_{EF_C4} = 3,6A \end{cases}$$

Admitindo uma variação de 1% da tensão e 10% na corrente que circulará no capacitor, pode-se calcular o valor da capacitância através da equação (2.83).

$$C_X = \frac{D \cdot I_{EF_CX}}{f_s \cdot \Delta V_{CX}} \quad (2.83)$$

Desta forma, substituindo os valores acima mostrados em (2.83) chega-se a um valor de capacitância que satisfaz ao requisito desejado. Desta forma adotou-se um valor de capacitância superior, o que não acarretará problemas ao conversor, uma vez que quanto maior esse valor menor a ondulação de tensão. Desta forma tem-se que:

$$C1 = C2 = C3 = C4 = 680\mu F / 250V$$

2.5 CONSIDERAÇÕES FINAIS.

Neste capítulo foi apresentado o conversor *boost* de alto ganho para a topologia I que será conectado ao banco de baterias e ao painel fotovoltaico. O conversor teve sua topologia, etapas de operação, análise da comutação suave, formas de ondas teóricas e funcionamento analisados.

Esta topologia possui a vantagem de obter um alto ganho com reduzidos esforços de tensão sobre os semicondutores. A sua característica bidirecional faz com que este possa operar como um carregador de bateria e formador de barramento CC através de um conjunto de baterias ou arranjo de painéis fotovoltaicos ou ambos trabalhando em conjunto com ambas as chaves operando em comutação suave.

A análise feita a respeito das condições de operação para comutação suave revelou que o conversor opera com comutação suave em toda sua faixa de carga sendo possível que este dispense o indutor série L_K . Entretanto, optou-se pelo uso deste uma vez que outra função deste indutor é limitar a derivada de corrente nas chaves conseguindo assim um melhor rendimento da estrutura.

Desta forma, o conversor *boost* de alto ganho tornou-se uma solução bastante atrativa para a elevação de tensão de sistemas compostos por baterias e painéis fotovoltaicos, onde ambos podem trabalhar independentemente ou em conjunto de uma forma simples e com uma elevada eficiência.

CAPÍTULO 3

ANÁLISES QUALITATIVA E QUANTITATIVA DO CONVERSOR *BOOST* DE ALTO GANHO PARA A TOPOLOGIA II

3.1. CONSIDERAÇÕES INICIAIS

Este capítulo apresenta as análises qualitativa e quantitativa do conversor da topologia II. Assim como descrito no capítulo anterior, serão analisadas as respectivas etapas de funcionamento, formas de onda teóricas, detalhes de comutação e projeto do conversor.

A topologia II faz uso de células multiplicadoras de tensão, sua estrutura, projeto e equacionamento serão abordados no decorrer deste capítulo.

3.2. ANÁLISE QUALITATIVA DO CONVERSOR *BOOST* DE ALTO GANHO UTILIZANDO CÉLULAS MULTIPLICADORAS DE TENSÃO

A Figura 3.1 apresenta o circuito do conversor *boost* de alto ganho proposto na topologia II, onde se percebe o uso de células multiplicadoras de tensão em cascata, um banco de baterias representado pela sigla ‘ V_{BAT} ’ e um arranjo de painéis fotovoltaicos denominado ‘PV’. Esta estrutura opera com comutação suave em modo ZVS na entrada em condução de ambas as chaves. Assim, como o conversor mostrado anteriormente, este também é capaz de operar em toda a faixa de variação de razão cíclica, sem nenhuma restrição.

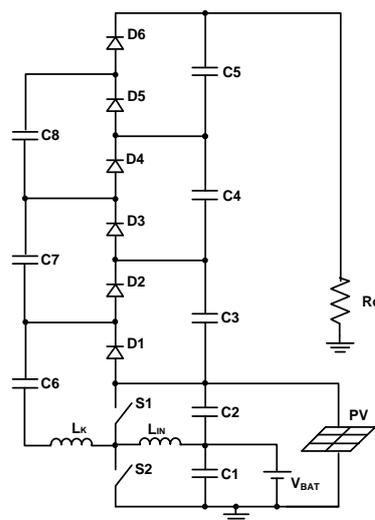


Figura 3.1 – Conversor *boost* de alto ganho (Topologia II).

A topologia estudada neste capítulo teve sua concepção a partir do conceito das células multiplicadoras de tensão [24-27].

O uso destas células permite a obtenção de altos ganhos de tensão uma vez que estas se encontram cascateadas. Quanto maior número de células associadas, maior tensão pode ser obtida com a mesma razão cíclica. Entretanto, a quantidade de células em série resulta em perdas maiores dependendo do arranjo, já que há perdas associadas para cada unidade independente.

Como desvantagem destas estruturas tem-se o elevado número de componentes passivos (diodos e capacitores), perdas associadas a cada elemento e o problema da recuperação reversa dos diodos multiplicadores que, por sua vez, compromete a eficiência do conversor e aumenta a perda por condução nos interruptores ativos.

A célula utilizada para a proposição da topologia II é a mesma abordada em [23][24][25][26]. A Figura 3.2 mostra em detalhe a estrutura desta célula.

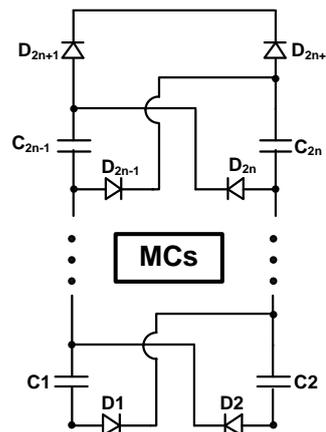


Figura 3.2 – Células Multiplicadoras de tensão (MCs) da Topologia II.

Muitas estruturas utilizando o conversor *boost* integrado foram desenvolvidas ao longo dos anos, dentre elas, a idéia de unir duas estruturas bastante conhecidas na literatura, o conversor *boost* integrado em meia ponte (*Half-Bridge*) e as células multiplicadoras de tensão.

A Figura 3.3 ilustra a proposição da união entre essas duas estruturas e sua evolução até chegar à topologia proposta, contemplando assim o “único estágio de conversão”. A junção do conversor *boost* integrado em meia ponte com o multiplicador de tensão, resulta em um conversor que pode operar com comutação suave em ambos os interruptores de potência, corrente de entrada livre de ondulação, pequenos esforços de tensão nos elementos semicondutores aliado a um alto ganho de tensão.

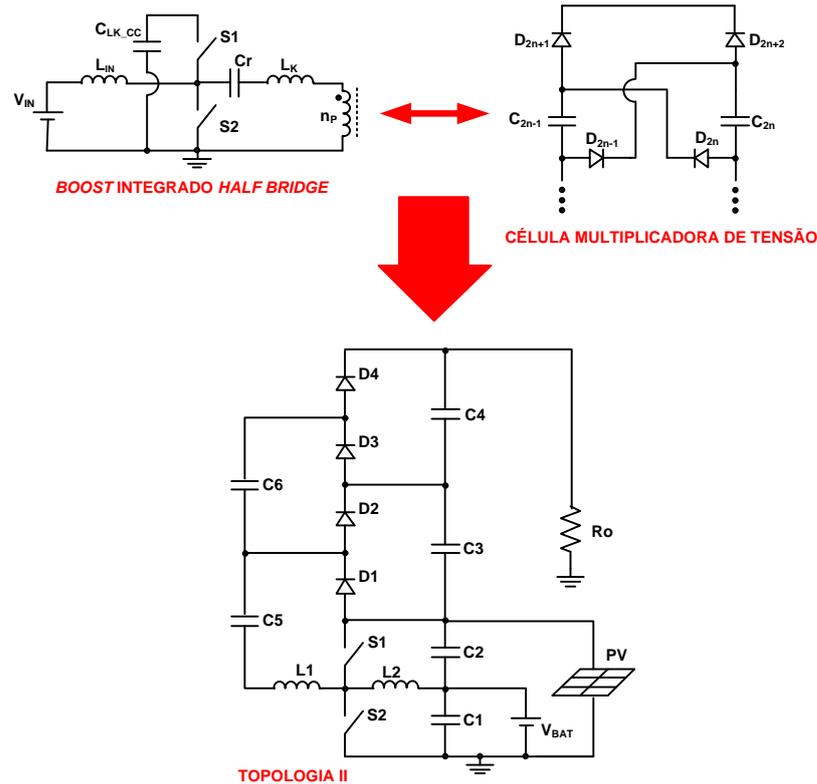


Figura 3.3 – Concepção da Topologia II.

No lado primário, os capacitores ‘ C_{LK_CC} ’ e ‘ Cr ’ são reposicionados para o lado de saída e passam a compor parte dos capacitores de saída, sendo assim renomeados para ‘ $C1$ ’ e ‘ $C2$ ’ respectivamente. A célula multiplicadora é realocada de forma cascadeada, fazendo com que cada arranjo seja inserido por cima do outro de forma a elevar a tensão e conceber assim o alto ganho. Os capacitores ‘ C_{2n} ’ e ‘ C_{2n+1} ’ são então convertidos em ‘ $C3$ ’ e ‘ $C4$ ’. Estes por sua vez são então renomeados à medida que se considere necessário aumentar o número de células.

3.3. PRINCÍPIO DE OPERAÇÃO

O conversor apresenta **oito** etapas de operação, visualizadas nas figuras a seguir. A topologia apresentada é formada pelo indutor de entrada L_{IN} , interruptores de potência controlados $S1$ e $S2$, diodos de transferência e retificadores $D1$, $D2$, $D3$, $D4$, $D5$ e $D6$, indutor de limitação de corrente L_K e capacitores de armazenamento e filtro $C1$, $C2$, $C3$, $C4$ e $C5$.

Para facilitar a análise e a descrição das etapas de operação do conversor são feitas as seguintes considerações:

- Os semicondutores são ideais;
- A frequência de ressonância resultante da associação série de quaisquer capacitores com o indutor L_K ou L_{IN} é baixa suficiente, em relação à frequência de chaveamento, para considerar um comportamento linear da corrente.
- Os componentes indutivos são lineares e ideais;
- A frequência de chaveamento é constante;
- O conversor opera em regime permanente;

Num período de chaveamento o conversor apresenta as seguintes etapas:

Primeira Etapa [$t_0 - t_1$] – (Figura 3.4). Essa etapa tem início com a abertura de S2 e fechamento de S1. A corrente que circula pelo indutor de entrada ' I_{IN} ' decresce linearmente. A corrente que passa pelo interruptor de potência S1 é a somatória da corrente do indutor L_{IN} com a corrente que circula pelo indutor de limitação L_K . Nesta etapa, somente o diodo D1 permanece conduzindo, fazendo com que o capacitor C1 seja carregado pelo indutor de limitação de corrente L_K . Esta etapa termina quando a corrente sobre o diodo D1 chega à zero, que por sua vez ocorre quando o indutor L_K se descarrega totalmente.

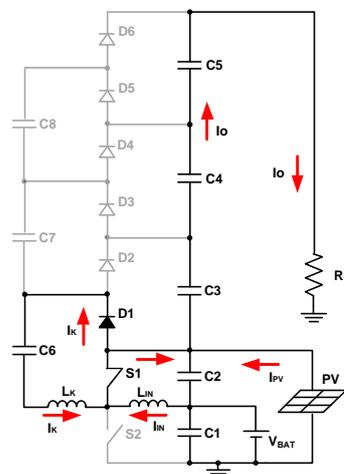


Figura 3.4 – Primeira Etapa de Operação.

Segunda Etapa [$t_1 - t_2$] – (Figura 3.5). Essa etapa de operação tem início quando a corrente em D1 chega a zero e o diodo D6 passa a conduzir, formando a malha composta pelo arranjo série (C3-C4-C5), (C6-C7-C8), indutor L_K e semicondutores S1 e D6. O interruptor de potência S1 permanece fechado e S2 bloqueado. A corrente em L_{IN} continua a decrescer linearmente. A corrente que circula em L_K aumenta linearmente em virtude da associação de capacitores (C6-C7-C8) carregar o ramo composto por (C3-C4-C5). Esta etapa finda quando a

tensão no capacitor C8 se iguala à tensão em C5, polarizando reversamente o diodo D6 e diretamente o diodo D4.

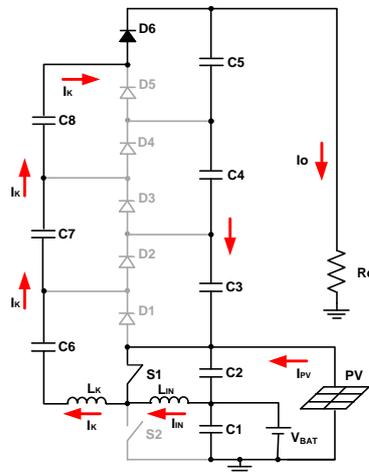


Figura 3.5 – Segunda Etapa de Operação.

Terceira Etapa [$t_2 - t_3$] – (Figura 3.6). Essa etapa de operação tem início quando o diodo D4 é polarizado diretamente, formando a malha composta pelo arranjo série (C3-C4), (C6-C7), indutor L_K e semicondutores S1 e D4. O interruptor de potência S1 permanece fechado e S2 bloqueado. A corrente em L_{IN} continua a decrescer linearmente. A corrente que circula em L_K aumenta linearmente em virtude da associação de capacitores (C6-C7) carregar o ramo composto por (C3-C4). Esta etapa finda quando a tensão no capacitor C7 se iguala à tensão em C4, polarizando reversamente o diodo D4 e diretamente o diodo D2.

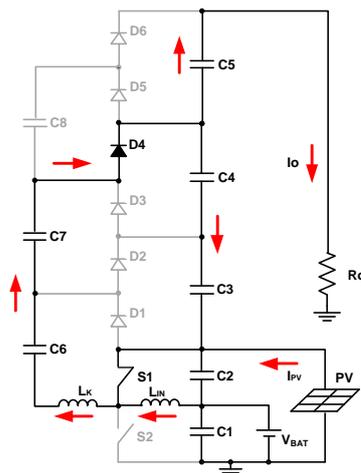


Figura 3.6 – Terceira Etapa de Operação.

Quarta Etapa [$t_3 - t_4$] – (Figura 3.7). Essa etapa de operação tem início quando o diodo D2 é polarizado diretamente, formando a malha composta por C3, C6, indutor L_K e semicondutores S1 e D2. O interruptor de potência S1 permanece fechado e S2 bloqueado. A cor-

rente em L_{IN} continua a decrescer linearmente. A corrente que circula em L_K aumenta linearmente em virtude de C6 carregar C3. Esta etapa finda quando o interruptor de potência S1 é comandado a bloquear.

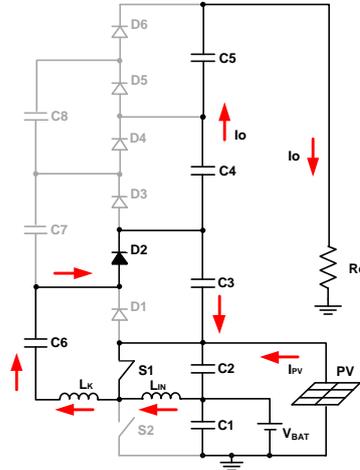


Figura 3.7 – Quarta Etapa de Operação.

Quinta Etapa [$t_4 - t_5$] – (Figura 3.8). Essa etapa de operação tem início quando o interruptor de potência S1 é comandado a bloquear e S2 comandado a conduzir. Nesta etapa a malha composta por C1, C2, C3, C6, D2, S2 e L_K é formada. A corrente nos indutores L_{IN} cresce linearmente e em D2 decresce linearmente em módulo. Esta etapa termina quando a corrente que circula pelo indutor L_K e D2 atinge zero e polariza diretamente o diodo D5.

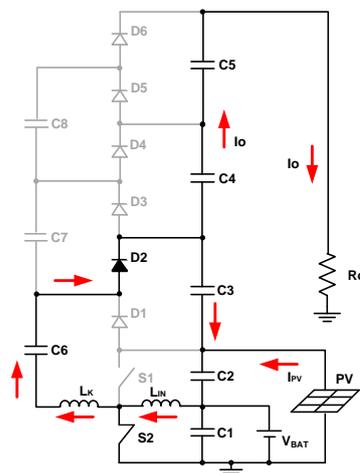


Figura 3.8 – Quinta Etapa de Operação.

Sexta Etapa [$t_5 - t_6$] – (Figura 3.9). Essa etapa de operação tem início quando o diodo D5 passa a conduzir, formando a malha composta pelo arranjo série (C1-C2-C3-C4), (C6-C7-C8), o diodo D5, a chave S2 e o indutor L_K . A corrente nos indutores L_K e L_{IN} crescem linearmente, assim como no diodo D5. O ramo composto pelo arranjo série (C1-C2-C3-C4) tende

a carregar o ramo composto por (C6-C7-C8). Esta etapa finda quando a tensão no capacitor C4 se iguala à tensão em C8, fazendo com que o diodo D3 polarize diretamente e D5 reversamente.

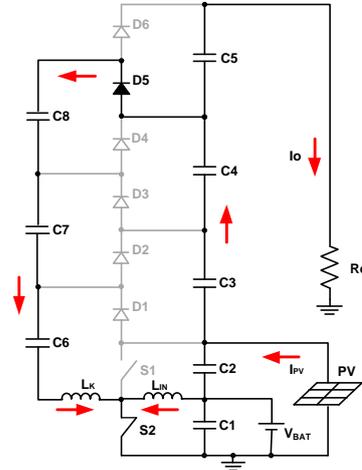


Figura 3.9 – Sexta Etapa de Operação.

Sétima Etapa [$t_6 - t_7$] – (Figura 3.10). Essa etapa de operação tem início quando o diodo D3 passa a conduzir, formando a malha composta pelo arranjo série (C1-C2-C3), (C6-C7), o diodo D3, a chave S2 e o indutor L_K . A corrente nos indutores L_K e L_{IN} crescem linearmente, assim como no diodo D3. O ramo composto pelo arranjo série (C1-C2-C3) tende a carregar o ramo composto por (C6-C7). Esta etapa finda quando a tensão no capacitor C3 se iguala à tensão em C7, fazendo com que o diodo D1 polarize diretamente e D3 reversamente.

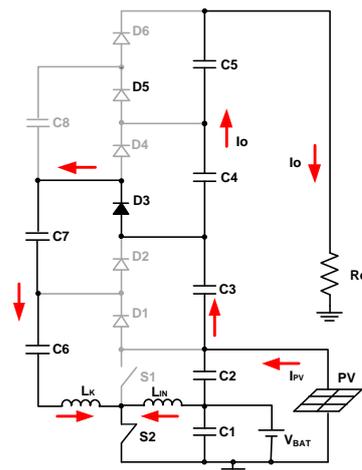


Figura 3.10 – Sétima Etapa de Operação.

Oitava Etapa [$t_7 - t_8$] – (Figura 3.11). Essa etapa de operação tem início quando o diodo D1 passa a conduzir, formando a malha composta pelo arranjo série (C1-C2), C6, o diodo D1, a chave S2 e o indutor L_K . A corrente nos indutores L_K e L_{IN} crescem linearmente, assim

como no diodo D1. O ramo composto pelo arranjo série (C1-C2) tende a carregar o capacitor C6. Esta etapa finda quando o interruptor de potência S2 é comandado a bloquear, reiniciando assim a primeira etapa de operação.

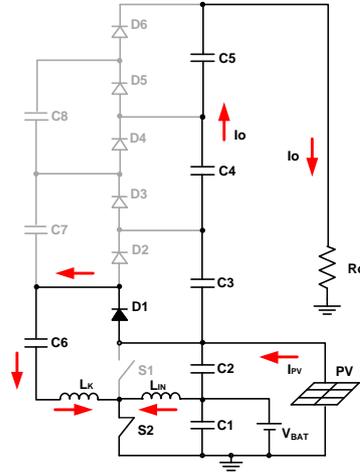


Figura 3.11 – Oitava Etapa de Operação.

3.4. FORMAS DE ONDA TEÓRICAS DO CONVERSOR

A Figura 3.12 apresenta as principais formas de ondas teóricas do conversor operando em modo de condução contínua, onde são apresentadas as formas de onda das tensões e correntes nas chaves S1 e S2, correntes em L_k e L_{IN} , correntes nos diodos D1-D6, tensões nos capacitores C3, C4, C5, C7, C8 e as tensões de gatilho V_{G1} e V_{G2} .

Os intervalos de tempos mostrados no gráfico constatarem de forma clara todas as afirmações feitas anteriormente para cada etapa de operação.

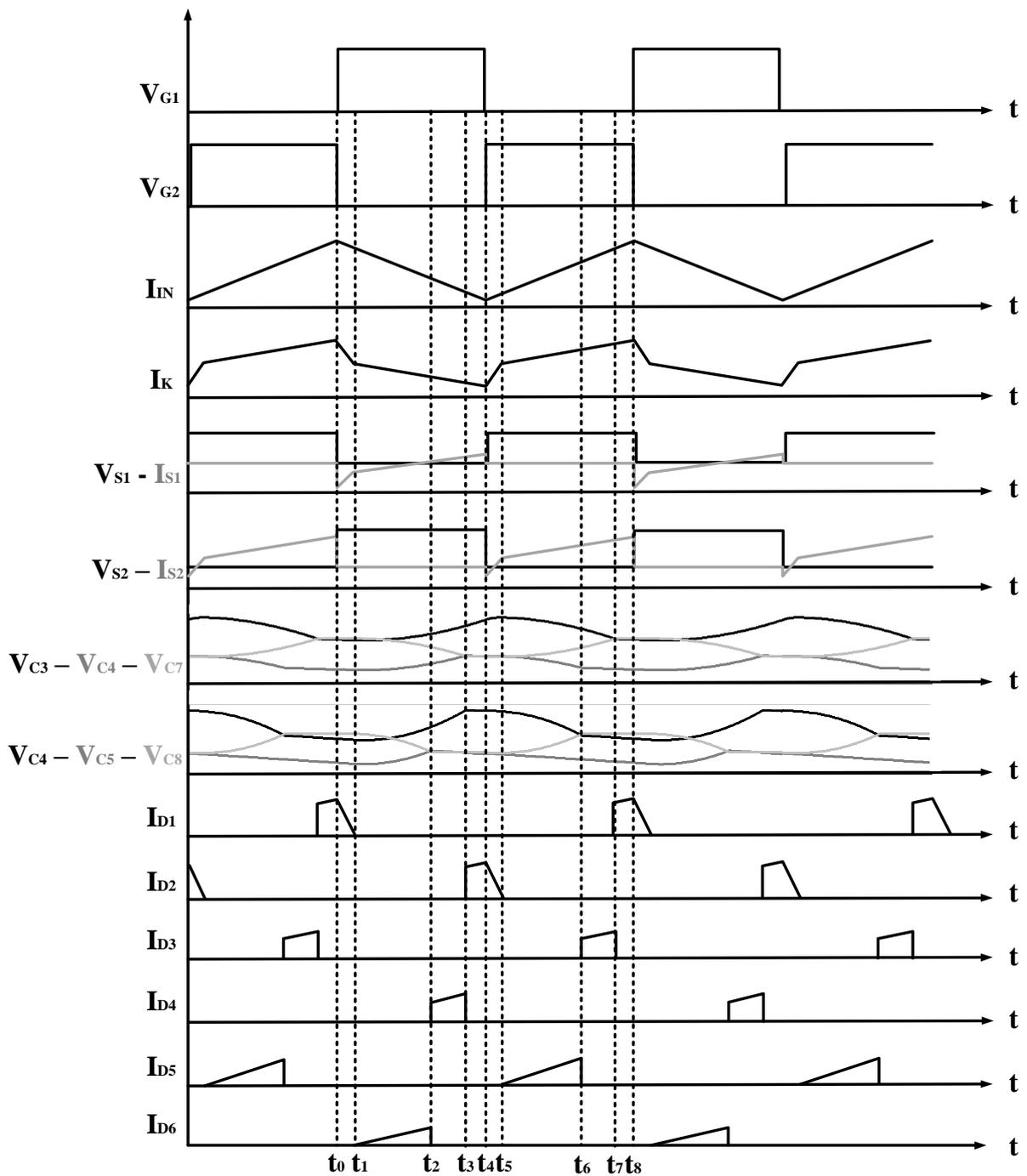


Figura 3.12 – Formas de onda teóricas da Topologia II.

3.4.1. ANÁLISE QUANTITATIVA DAS ETAPAS DE OPERAÇÃO

A seguir serão feitas as análises quantitativas de todas as etapas de operação para o conversor da topologia II. Serão mostrados os circuitos equivalentes simplificados para cada etapa, bem como seu equacionamento característico. Desta forma, visa-se um melhor entendimento para o correto funcionamento do conversor.

• **Primeira Etapa:**

A seguir é mostrado o circuito simplificado da primeira etapa de operação, conforme mostra a Figura 3.13.

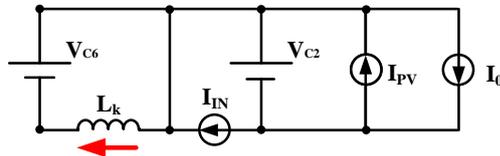


Figura 3.13 – Circuito Equivalente da Primeira Etapa de Operação.

Conforme pode ser observada na Figura 3.13 a tensão sobre o indutor L_K é a mesma tensão sobre o capacitor C_6 , representado pela fonte de tensão constante V_{C_6} . Desta forma, tem-se a equação (3.1).

$$V_{L_k}(t) = \frac{L_K \cdot dI_{L_k}(t)}{dt} \quad (3.1)$$

Aplicando manipulação algébrica em (3.1), chega-se à equação da corrente sobre o indutor de auxílio à comutação L_K , conforme mostrado na equação (3.2).

$$I_{L_k}(t) = \frac{V_{L_k}(t) \cdot t}{L_K} = \frac{V_{C_6} \cdot t}{L_K} \quad (3.2)$$

• **Segunda Etapa:**

A Figura (3.14) mostra o circuito simplificado para a segunda etapa de operação. Por motivo de simplificação das equações, todos os capacitores da estrutura foram considerados como fontes de tensões constantes.

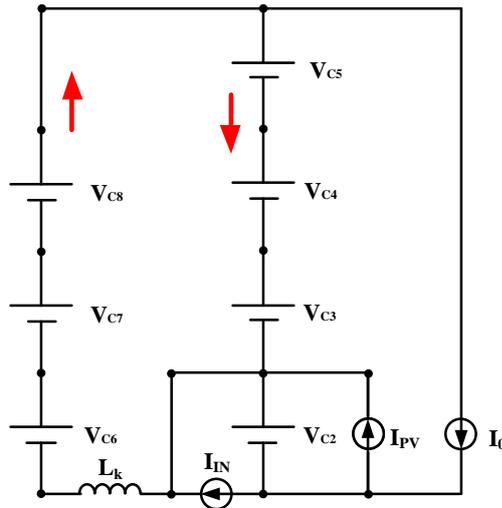


Figura 3.14 – Circuito Equivalente da Segunda Etapa de Operação.

Considerando também que as tensões nos capacitores C3, C4, C5, C7 e C8 são iguais e aplicando a mesma equação (3.1), tem-se então:

$$\begin{cases} V_{C3} = V_{C4} = V_{C5} = V_{C7} = V_{C8} \\ V_{C3} + V_{C4} + V_{C5} + V_{C7} + V_{C8} = V_{(2_ET)} \end{cases}$$

$$I_{Lk}(t) = \frac{V_{Lk}(t).t}{L_K} = \frac{[V_{C6} + V_{(2_ET)}].t}{L_K} \quad (3.3)$$

• **Terceira Etapa:**

A Figura (3.15) mostra o circuito simplificado para a terceira etapa de operação.

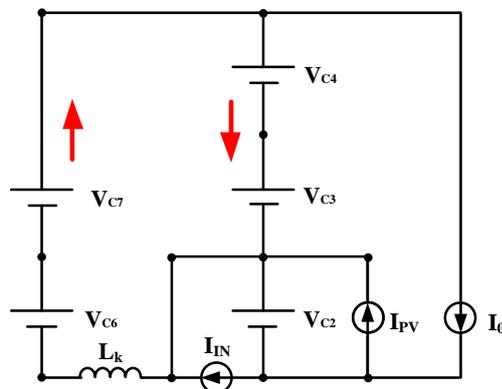


Figura 3.15 – Circuito Equivalente da Terceira Etapa de Operação.

Considerando também que as tensões nos capacitores C3, C4 e C7 são iguais, e aplicando a mesma equação (3.1), tem-se então:

$$\begin{cases} V_{C3} = V_{C4} = V_{C7} \\ V_{C3} + V_{C4} + V_{C7} = V_{(3_ET)} \end{cases}$$

$$I_{Lk}(t) = \frac{V_{Lk}(t)t}{L_K} = \frac{[V_{C6} + V_{(3_ET)}]t}{L_K} \quad (3.4)$$

• **Quarta Etapa:**

A Figura (3.16) mostra o circuito simplificado para a quarta etapa de operação.

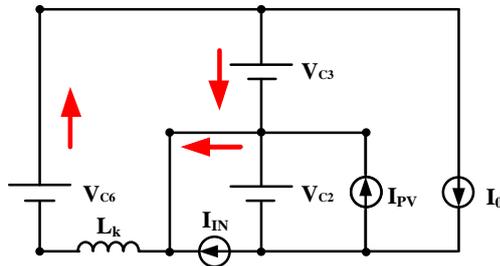


Figura 3.16 – Circuito Equivalente da Quarta Etapa de Operação.

Nesta etapa somente os capacitores C6 e C3 estão atuando, de forma que a malha formada para a determinação da corrente em L_K resulta na equação mostrada em (3.5).

$$I_{Lk}(t) = \frac{V_{Lk}(t)t}{L_K} = \frac{(V_{C6} + V_{C3})t}{L_K} \quad (3.5)$$

• **Quinta Etapa:**

A Figura (3.17) mostra o circuito simplificado para a quinta etapa de operação.

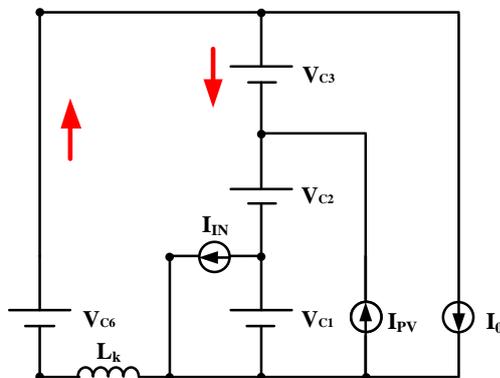


Figura 3.17 – Circuito Equivalente da Quinta Etapa de Operação.

Observando a figura 3.18, percebe-se que a tensão sobre o indutor L_K corresponde à somatória das tensões sobre os capacitores C_6 , C_2 e C_3 , que são diferentes entre si. Desta forma, tem-se que:

$$I_{Lk}(t) = \frac{V_{Lk}(t).t}{L_K} = \frac{(V_{C6} + V_{C2} + V_{C3}).t}{L_K} \quad (3.6)$$

• **Sexta Etapa:**

A Figura (3.18) mostra o circuito simplificado para a sexta etapa de operação.

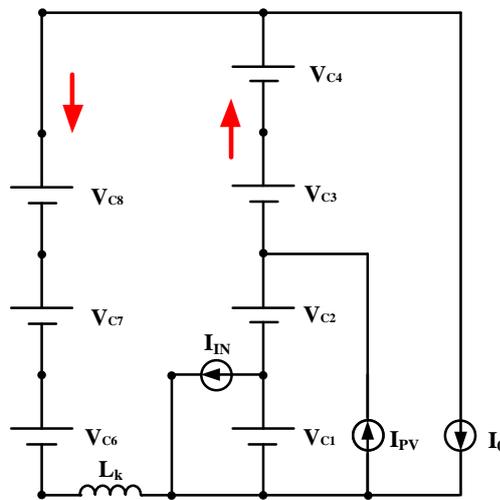


Figura 3.18 – Circuito Equivalente da Sexta Etapa de Operação.

Considerando que as tensões nos capacitores C_3 , C_4 , C_7 e C_8 são iguais, e que em C_2 e C_6 são diferentes, chega-se à seguinte equação:

$$\begin{cases} V_{C3} = V_{C4} = V_{C7} = V_{C8} \\ V_{C3} + V_{C4} + V_{C7} + V_{C8} = V_{(6_ET)} \end{cases}$$

$$I_{Lk}(t) = \frac{V_{Lk}(t).t}{L_K} = \frac{[V_{C6} + V_{C2} + V_{(6_ET)}].t}{L_K} \quad (3.7)$$

• **Sétima Etapa:**

A Figura (3.19) mostra o circuito simplificado para a sétima etapa de operação.

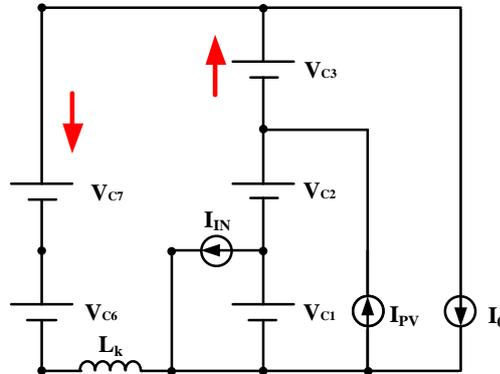


Figura 3.19 – Circuito Equivalente da Sétima Etapa de Operação.

Considerando que as tensões nos capacitores C3 e C7 são iguais e que em C2 e C6 são diferentes, chega-se à seguinte equação:

$$\begin{cases} V_{C3} = V_{C7} \\ V_{C3} + V_{C7} = V_{(7_ET)} \end{cases}$$

$$I_{Lk}(t) = \frac{V_{Lk}(t).t}{L_K} = \frac{[V_{C6} + V_{C2} + V_{(7_ET)}].t}{L_K} \quad (3.8)$$

• **Oitava Etapa:**

A Figura (3.20) mostra o circuito simplificado para a quarta etapa de operação.

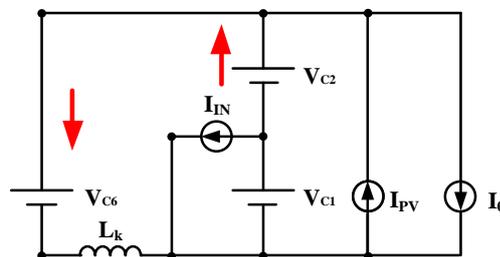


Figura 3.20– Circuito Equivalente da Oitava Etapa de Operação.

Nesta etapa somente os capacitores C6 e C2 estão atuando, de forma que a malha formada para a determinação da corrente em L_K resulta na equação mostrada em (3.9).

$$I_{Lk}(t) = \frac{V_{Lk}(t) \cdot t}{L_K} = \frac{(V_{C6} + V_{C2}) \cdot t}{L_K} \quad (3.9)$$

3.4.2. GANHO ESTÁTICO DO CONVERSOR

O ganho estático do conversor é dado pela razão entre a tensão de saída e a tensão de entrada, conforme já descrito anteriormente no capítulo passado. Tem-se também nesta topologia que a tensão de saída do conversor em qualquer instante é resultado da soma das tensões nos capacitores de saída do conversor que, neste caso, são C1, C2, C3, C4 e C5, conforme mostrado em (3.10).

$$V_0 = V_{C1} + V_{C2} + V_{C3} + V_{C4} + V_{C5} \quad (3.10)$$

Assim como já descrito na topologia I, a tensão sobre o capacitor C1 é a mesma tensão sobre o banco de baterias, desta forma tem-se que:

$$V_{C1} = V_{BAT} \quad (3.11)$$

A tensão sobre o capacitor C2 pode ser descrita da mesma forma que em (2.47). Assim, tem-se que:

$$V_{C2} = \frac{D \cdot V_{BAT}}{1 - D} \quad (3.12)$$

Nesta topologia as tensões sobre os capacitores C3, C4, C5, C7 e C8 são praticamente iguais. Para efeito de simplificação das equações, adotaram-se então as seguintes considerações:

$$\begin{cases} V_{C3} = V_{C4} = V_{C5} = V_{C7} = V_{C8} = V_C \\ V_{C1} + V_{C2} = V_{PV} \end{cases}$$

Desta forma, um conjunto de equações foi desenvolvido visando calcular os tempos das etapas de operação e as tensões nos capacitores restantes, ou seja, V_C e V_{C6} . Tal sistema de equações pode ser obtido através da análise de malha e das formas de ondas teóricas mostradas na figura 3.12.

As equações (3.13) e (3.14) são oriundas da corrente que circula pelo indutor L_K . A Figura 3.21 mostra o detalhe da forma de onda sobre o indutor L_K e do pulso de gatilho do interruptor de potência S1.

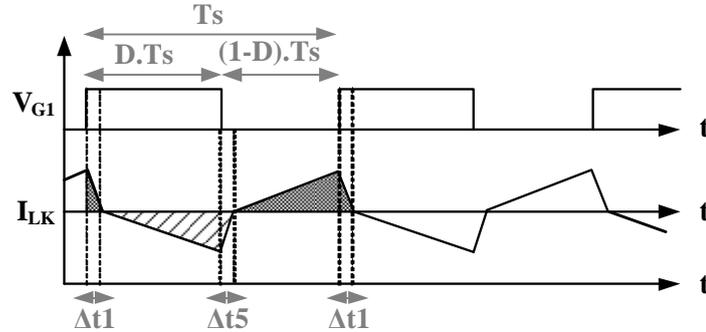


Figura 3.21 – Formas de ondas teóricas da corrente em L_K e gatilho de S1.

Observando a Figura 3.21, podem-se perceber duas áreas distintas, uma positiva e outra negativa. Calculando as duas áreas e aplicando o conceito da corrente média, chegam-se as equações (3.13) e (3.14).

$$(D.Ts - \Delta t_1 + \Delta t_5) \cdot \frac{\Delta t_5 \cdot [V_{C6} - (V_C + V_{PV})]}{2.Ts.L_K} = -3.I_0 \quad (3.13)$$

$$[(1-D).Ts - \Delta t_5 + \Delta t_1] \cdot \frac{\Delta t_1 \cdot V_{C6}}{2.Ts.L_K} = 3.I_0 \quad (3.14)$$

Através da lei da conservação de energia, pode-se chegar à equação (3.15), onde tem-se que a potência de entrada é a mesma na saída.

$$(V_{PV} \cdot I_{PV}) + (V_{BAT} \cdot I_{BAT}) = (3.V_C + V_{PV}) \cdot I_0 \quad (3.15)$$

A equação da tensão média sobre o indutor L_K em um período de chaveamento e em regime permanente é dada por:

$$V_C \cdot \Delta t_1 + (V_{C6} - V_C) \cdot D.Ts + (-V_C) \cdot \Delta t_5 + (V_{C6} - V_C) \cdot (1-D).Ts = 0 \quad (3.16)$$

A fim de completar o sistema de equações para a determinação dos tempos das etapas e das tensões nos capacitores, é necessário que se analise as formas de ondas dos diodos. A Figura 3.22 mostra o formato da corrente nos diodos, onde, dependendo da etapa, o formato da

corrente muda e, conseqüentemente, sua área. Esta figura também auxilia no entendimento das equações características que se sucedem.

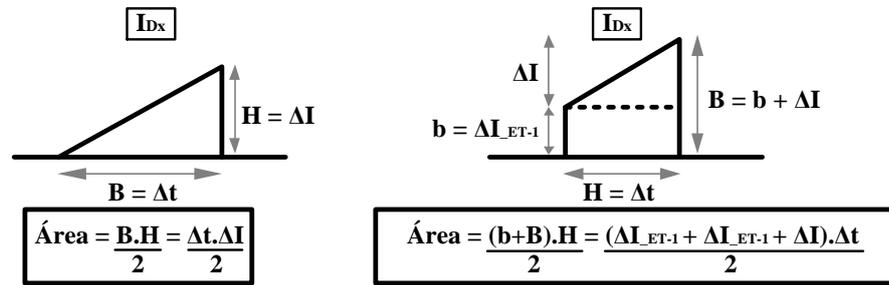


Figura 3.22– Polígonos das Correntes nos Diodos.

Desta forma, deduz-se que:

$$\Delta I_2 = \frac{(V_{C6} - V)_C}{L_K} \cdot \Delta t_2 \quad (3.17)$$

$$\frac{\Delta I_2 \cdot \Delta t_2}{2 \cdot L_K} = I_0 \quad (3.18)$$

$$\Delta I_3 = \frac{(V_{C6} - V_C)}{L_K} \cdot \Delta t_3 \quad (3.19)$$

$$\frac{(\Delta I_2 + \Delta I_3 + \Delta I_2) \cdot \Delta t_2}{2 \cdot T_s} = I_0 \quad (3.20)$$

$$\frac{(\Delta I_3 + \Delta I_3 + \Delta I_4) \cdot \Delta t_4}{2 \cdot T_s} = I_0 \quad (3.21)$$

$$\Delta t_4 = D \cdot T_s - \Delta t_1 - \Delta t_2 - \Delta t_3 \quad (3.22)$$

$$\frac{(\Delta t_6 \cdot \Delta I_6)}{2.Ts} = I_0 \quad (3.23)$$

$$\Delta I_6 = \frac{(V_{PV} - V_{C6})}{L_K} \cdot \Delta t_6 \quad (3.24)$$

$$\frac{(\Delta I_6 + \Delta I_7 + \Delta I_8) \cdot \Delta t_7}{2.Ts} = I_0 \quad (3.25)$$

$$\Delta I_7 = \frac{(V_{PV} - V_{C6})}{L_K} \cdot \Delta t_7 \quad (3.26)$$

$$\Delta t_8 = (1 - D).Ts - \Delta t_5 - \Delta t_6 - \Delta t_7 \quad (3.27)$$

$$\Delta I_8 = \frac{(V_{PV} - V_{C6})}{L_K} \cdot \Delta t_8 \quad (3.28)$$

$$I_{BAT} = - \left(\frac{I_{PV} - 3.I_0 + \frac{\Delta t_5^2 \cdot (V_C - V_{C6} + V_{PV})}{2.L_K.Ts} - \frac{V_{C6} \cdot \Delta t_1 \cdot \Delta t_8}{2.L_K.Ts}}{D} \right) \quad (3.29)$$

Tendo em vista que o sistema de equações formado pelas equações (3.13) à (3.29) é bastante extenso, faz com que a obtenção de uma equação que defina o ganho estático fique muito grande e complexa, porém, utilizando artifícios computacionais, é possível obter um gráfico que contemple esse comportamento. A Figura 3.23 mostra o gráfico do ganho estático do conversor em função da corrente de carga 'Io' para diferentes razões cíclicas.

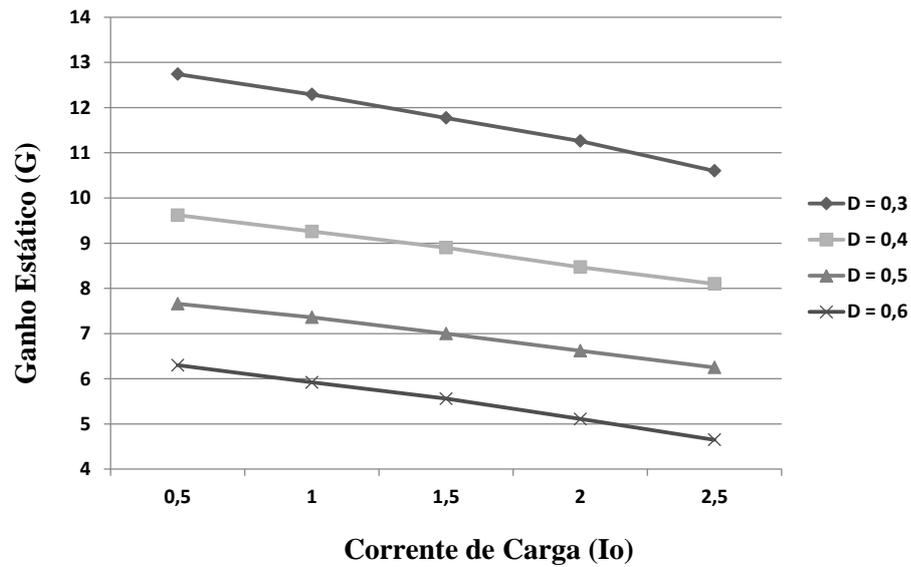


Figura 3.23 – Ganho Estático x Corrente de Carga.

3.5. PROCEDIMENTO DE PROJETO PARA TOPOLOGIA II.

A seguir serão descritos os procedimentos para o dimensionamento correto do conversor da topologia II. Todos os cálculos de projeto e as especificações deste conversor são mostrados a seguir:

- Frequência de Chaveamento → $f_s = 50\text{kHz}$
- Tensão no Banco de Baterias → $V_{IN} = 24\text{V}$
- Tensão de Saída → $V_0 = 200\text{V}$
- Razão Cíclica Nominal (S1) → $D = 0,39$
- Potência de Saída → $P_0 = 500\text{W}$
- Resistencia de Carga → $R_0 = 80\Omega$
- Ondulação da Corrente de Entrada → $\Delta I_{IN} = 20\%$
- Ondulação da Tensão de Saída → $\Delta V_0 = 1\%$

3.5.1. PROJETO DO INDUTOR DE ENTRADA (L_{IN}).

Para o projeto do indutor de entrada, adotaram-se os seguintes valores para as variáveis de entrada:

- Densidade de Corrente nos condutores → $J = 400\text{A/cm}^2$
- Densidade de Fluxo Magnético → $B = 0,3\text{T}$
- Fator de Ocupação da Janela → $K_u = 0,77$
- Permeabilidade Magnética do ar → $\mu_0 = 4.\pi.10^{-7}$

O cálculo do valor da indutância de entrada é dado por:

$$L_{IN} = \frac{V_{IN}.D}{f_s.\Delta I_{IN}} \cong 50\mu\text{H} \quad (3.30)$$

A corrente de entrada é dada por:

$$I_{IN} = \frac{P_{IN}}{V_{IN}} \cong 21\text{A} \quad (3.31)$$

Adotando uma variação da corrente de entrada de 20%, chega-se aos seguintes valores de corrente de pico:

$$\begin{cases} I_{IN_MAX} = 1,2.I_{IN} \cong 25,2\text{A} \\ I_{IN_MIN} = 0,8.I_{IN} \cong 16,8\text{A} \end{cases}$$

Segundo [63] a equação que define o produto das áreas do núcleo magnético ($A_e A_w$) para a confecção do indutor é dado por:

$$A_e A_w = \frac{L_{IN}.I_{IN_MAX}.I_{IN}}{K_u.J.B} \cong 3,15 \quad (3.32)$$

Com base no valor dado pela expressão (3.32), adotou-se um núcleo comercial de ferrite **NEE 42/20/21** da Thornton, cujos valores de referencia estão listados a seguir:

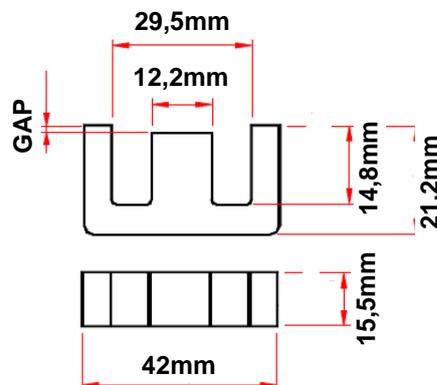


Figura 3.24 – Dimensões do Núcleo NEE 42/20/21.

$$\begin{cases} A_e = 2,4 \text{ cm}^2 \\ A_w = 1,57 \text{ cm}^2 \\ A_e A_w = 3,77 \text{ cm}^4 \\ V_E = 23,3 \text{ cm}^3 (\text{volume do núcleo}) \end{cases}$$

O número de espiras do indutor de entrada é dado por:

$$N_{L_{IN}} = \frac{L_{IN} \cdot I_{IN_MAX}}{A_e \cdot B} \cdot 10^4 \cong 18 \text{ espiras} \quad (3.33)$$

A seção do condutor a ser utilizado no enrolamento é dada por:

$$S_{L_{IN}} = \frac{I_{IN}}{J} = 0,053 \text{ cm}^2 \quad (3.34)$$

O fio escolhido para a implementação física foi o **AWG 26** que possui as seguintes seções:

$$\begin{cases} S_f = 0,001287 \text{ cm}^2 (\text{área do fio sem isolamento}) \\ S_{f_isol} = 0,001671 \text{ cm}^2 (\text{área do fio com isolamento}) \end{cases}$$

Assim, o número de fios em paralelo pode ser calculado por:

$$N_{L_{IN_Paralelo}} = \frac{S_{L_{IN}}}{S_f} \cong 41 \quad (3.35)$$

O fator de ocupação teórico é dado por [13]:

$$K_u = \frac{N_{L_{IN}} \cdot N_{L_{IN_Paralelo}} \cdot S_{f_isol}}{A_w} \cong 0,76 \quad (3.36)$$

Como o fator de ocupação teórico foi menor que o valor estipulado em projeto, conclui-se que o indutor pode ser implementado fisicamente.

O valor do entreferro é dado por [13]:

$$l_g = \frac{\mu_0 \cdot A_e \cdot (N_{L_{IN}})^2}{L_{IN}} \cdot 10^{-2} \cong 0,185 \text{ cm} \quad (3.37)$$

A tabela 3.1 mostra as principais características do indutor de entrada.

Tabela 3.1 – Parâmetros do Indutor de Entrada (L_{IN})

Indutância de Entrada	$L_{IN} = 50 \text{ uH}$
Número de Espiras	$N_{L_{IN}} = 18$
Núcleo	NEE 42/20/21
Fio	AWG 26
Número de fios em paralelo	$N_{L_{IN_PARALELO}} = 41$
Entreferro	$l_g = 0,185 \text{ cm}$

3.5.2. PROJETO DO INDUTOR DE AUXÍLIO À COMUTAÇÃO (L_K).

A principal função deste indutor é limitar a corrente de pico nas chaves e diminuir a derivada de corrente dos diodos da estrutura. O gráfico da Figura (3.25) mostra os valores de pico das correntes das chaves S1 e S2 para diferentes valores de L_K .

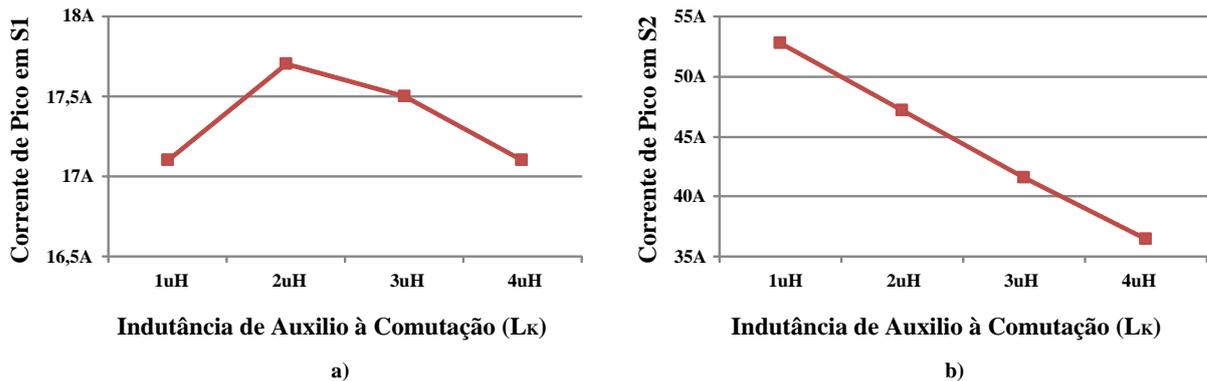


Figura 3.25 – Valores de Pico nas Chaves S1(a) e S2(b) para diferentes valores de L_K .

Conforme pode ser observado, existe uma certa dependência entre as correntes de pico nas chaves e o valor do indutor L_K . Baseando-se no gráfico mostrado procurou-se adotar um valor intermediário para L_K . Como a corrente é maior no interruptor S2, e considerando que ambas as chaves terão a mesma referência, optou-se por adotar o seguinte valor de L_K :

$$L_K = 2\mu H$$

Calculando a corrente de pico e eficaz no indutor chega-se aos seguintes valores:

$$\begin{cases} I_{PK_LK} = 37A \\ I_{EF_LK} = 18A \end{cases}$$

Segundo [63] a equação que define o produto das áreas do núcleo magnético ($A_e A_w$) para a confecção do indutor é dado por:

$$A_e A_w = \frac{L_K \cdot I_{PK_LK} \cdot I_{EF_LK}}{K_u \cdot J \cdot B} \cong 0,5 \quad (3.38)$$

Com base no valor dado pela expressão (3.27), adotou-se um núcleo comercial de ferrite **NEE 30/15/14** da Thornton, cujos valores de referência estão listados a seguir:

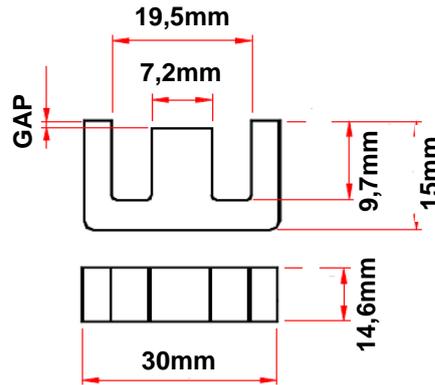


Figura 3.26 – Dimensões do Núcleo NEE 30/15/14.

$$\begin{cases} A_e = 1,2cm^2 \\ A_w = 1,19cm^2 \\ A_e A_w = 1,43cm^4 \\ V_E = 81,7cm^3 (\text{volume do núcleo}) \end{cases}$$

O número de espiras do indutor de entrada é dado por:

$$N_{L_K} = \frac{L_K \cdot I_{PK-LK}}{A_e \cdot B} \cdot 10^4 \cong 7 \text{ espiras} \quad (3.39)$$

A seção do condutor a ser utilizado no enrolamento é dada por:

$$S_{LK} = \frac{I_{EF-LK}}{J} = 0,046cm^2 \quad (3.40)$$

O fio escolhido para a implementação física foi o **AWG 27** que possui as seguintes seções:

$$\begin{cases} S_f = 0,001021cm^2 (\text{área do fio sem isolamento}) \\ S_{f_isol} = 0,001344cm^2 (\text{área do fio com isolamento}) \end{cases}$$

Assim, o número de fios em paralelo pode ser calculado por:

$$N_{L_K_Paralelo} = \frac{S_{L_K}}{S_f} \cong 46 \quad (3.41)$$

O fator de ocupação teórico é dado por [13]:

$$K_u = \frac{N_{L_K} \cdot N_{L_K_Paralelo} \cdot S_{f_isol}}{A_w} \cong 0,32 \quad (3.42)$$

Como o fator de ocupação teórico foi menor que o valor estipulado em projeto, conclui-se que o indutor pode ser implementado fisicamente.

O valor do entreferro é dado por [13]:

$$lg = \frac{\mu_0 \cdot A_e \cdot (N_{L_K})^2}{L_K} \cdot 10^{-2} \cong 0,295 \text{ cm} \quad (3.43)$$

A tabela 3.2 mostra as principais características do indutor de dispersão.

Tabela 3.2 – Parâmetros do Indutor (L_K)

Indutância Ressonante	$L_K = 2 \text{ uH}$
Número de Espiras	$N_{L_K} = 7$
Núcleo	NEE 30/15/14
Fio	AWG 27
Número de fios em paralelo	$N_{L_K_PARALELO} = 46$
Entreferro	$lg = 0,295 \text{ cm}$

3.5.3. DIMENSIONAMENTO DOS DIODOS RETIFICADORES D1-D6.

O dimensionamento dos diodos D1 à D6 foi feito com base nos valores das tensões e correntes médias, eficazes e de pico em cada um deles. A Figura (3.27) mostra as formas de ondas nos respectivos elementos.

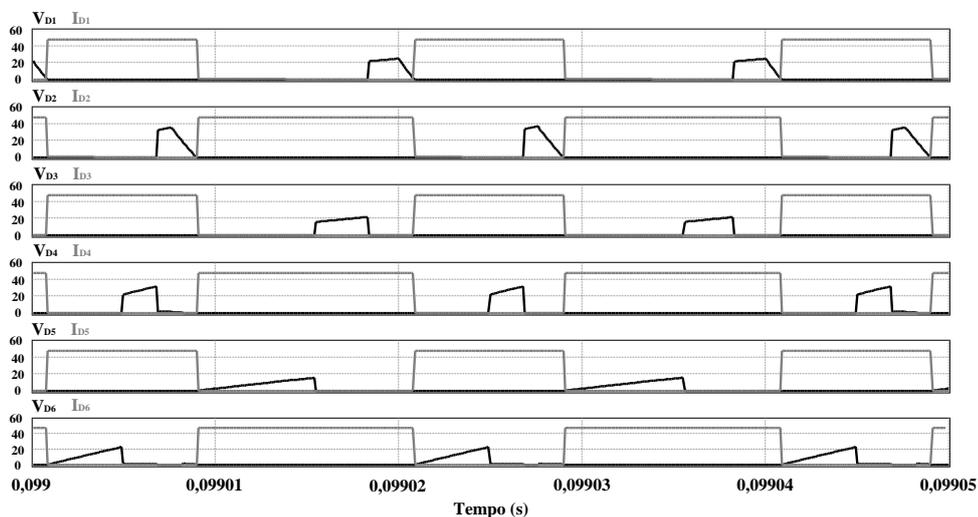


Figura 3.27 – Tensão e Corrente nos Diodos D1 – D6.

Calculando as correntes médias e eficaz nos diodos retificadores chega-se aos seguintes valores:

$$\begin{cases} I_{EF_D1} = 6,8A \\ I_{MED_D1} = 2,2A \end{cases}$$

$$\begin{cases} I_{MED_D2} = 3,0A \\ I_{EF_D3} = 6,2A \end{cases}$$

$$\begin{cases} I_{EF_D3} = 6,2A \\ I_{MED_D3} = 2,1A \end{cases}$$

$$\begin{cases} I_{EF_D4} = 9,1A \\ I_{MED_D4} = 3,1A \end{cases}$$

$$\begin{cases} I_{EF_D5} = 4,7A \\ I_{MED_D5} = 2,1A \end{cases}$$

$$\begin{cases} I_{EF_D6} = 6,7A \\ I_{MED_D6} = 3,1A \end{cases}$$

Conforme pode ser observado na Figura (3.27), a máxima tensão sobre os diodos não ultrapassa 60V. Desta forma, optou-se por utilizar o diodo Schottky **MBR20100** cujas principais características são tensão máxima de 100V e corrente máxima de 10A por perna e 20A por dispositivo. Essas características, aliadas ao fato de sua recuperação reversa ser praticamente zero, melhora a eficiência da topologia.

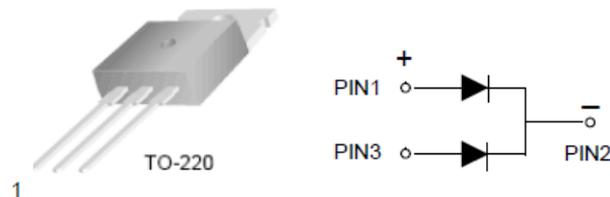


Figura 3.28 – Diagrama do Diodo Schottky MBR20100.

3.5.4. DIMENSIONAMENTO DOS INTERRUPTORES DE POTÊNCIA S1-S2.

O dimensionamento dos interruptores de potência S1 e S2 são análogos ao dimensionamento feito no capítulo anterior. Através do cálculo das tensões e correntes média e eficaz nos dispositivos chegou-se a uma especificação. A Figura (3.29) mostra as formas de ondas das tensões e correntes em ambos os interruptores.

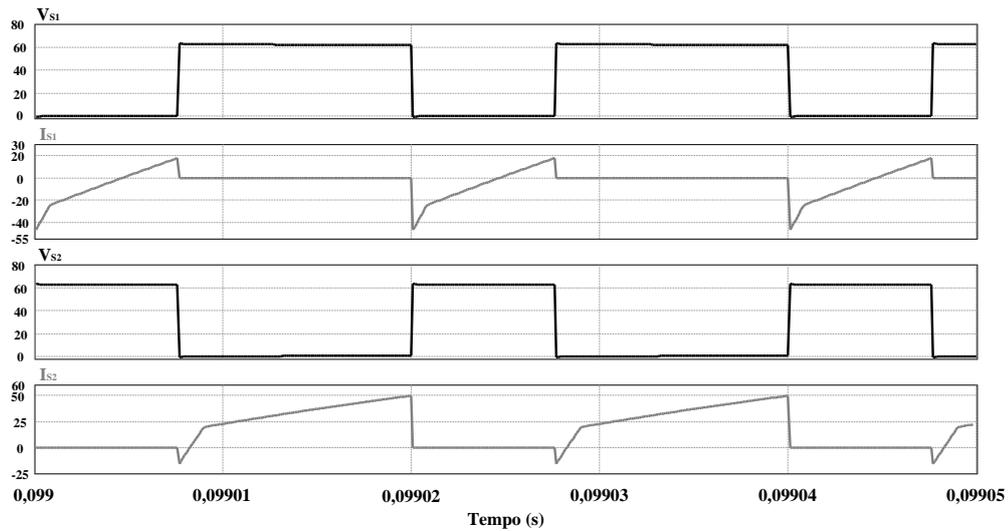


Figura 3.29 – Tensão e Corrente em S1 e S2.

A seguir são mostrados os valores médios e eficazes das correntes dos interruptores de potência S1 e S2. Percebe-se que a tensão em ambas as chaves não ultrapassa 80V.

$$\begin{cases} I_{EF_S1} = 11,5A \\ I_{MED_S1} = 2,8A \\ I_{EF_S2} = 24,7A \\ I_{MED_S2} = 16,3A \end{cases}$$

Tendo em vista os valores mostrados acima, adotou-se como interruptor de potência o MOSFET **IRFP4710**, cujas principais características podem ser vistas na Figura (3.31).

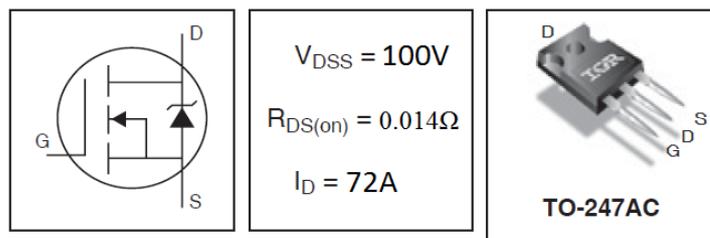


Figura 3.30 – Diagrama do MOSFET IRFP4710.

3.5.5. DIMENSIONAMENTO DOS CAPACITORES DE SAÍDA C1-C8.

Para o correto dimensionamento dos capacitores de saída deve-se levar em consideração basicamente dois fatores, a tensão sobre o capacitor e sua corrente eficaz. O cálculo das tensões dos capacitores já foi realizado anteriormente através do sistema de equações descrito na sessão 3.4.2. Desta forma, tem-se que:

$$\begin{cases} V_{C1} = V_{IN} = 24V \\ V_{C2} = \frac{D \cdot V_{IN}}{1-D} = 38,5V \\ V_{C3} = V_{C4} = V_{C5} = V_{C7} = V_{C8} = 47V \\ V_{C6} = 58,5V \end{cases}$$

Os valores correspondentes as correntes eficazes em todos os capacitores de saída são mostrados a seguir:

$$\begin{cases} I_{EF_C1} = 17,8A \\ I_{EF_C2} = 18,2A \\ I_{EF_C3} = 16,1A \\ I_{EF_C4} = 11,5A \\ I_{EF_C5} = 5,5A \\ I_{EF_C6} = 18A \\ I_{EF_C7} = 13,7A \\ I_{EF_C8} = 8A \end{cases}$$

Admitindo uma variação de 1% da tensão e 10% na corrente que circulará no capacitor, pode-se calcular o valor da capacitância através da equação (3.44).

$$C_X = \frac{D \cdot I_{EF_CX}}{fs \cdot \Delta V_{CX}} \quad (3.44)$$

Desta forma, substituindo os valores acima mostrados em (3.44) chega-se a um valor de capacitância que satisfaz ao requisito desejado. Desta forma adotou-se um valor de capacitância superior, o que não acarretará problemas ao conversor, uma vez que quanto maior esse valor menor a ondulação de tensão. Desta forma tem-se que:

$$C1 = C2 = C3 = C4 = C5 = C6 = C7 = C8 = 100\mu F / 250V$$

3.6. CONSIDERAÇÕES FINAIS.

Neste capítulo foi apresentado o conversor *boost* de alto ganho para a topologia II que será conectado ao banco de baterias e ao painel fotovoltaico. O conversor teve sua topologia, etapas de operação, formas de ondas teóricas e funcionamento analisados.

Esta topologia fez uso de células multiplicadoras de tensão, que permitiram o elevado ganho do conversor. A estrutura proposta permite que níveis de tensões ainda maiores possam ser alcançados elevando somente a quantidade de células multiplicadoras.

A análise feita a respeito das condições de operação para comutação suave revelou que o conversor opera com comutação suave em modo ZVS na entrada em condução de ambas as chaves. O fato de esta estrutura possuir muitos elementos em série, como o próprio número de células, aliado ao problema da recuperação reversa dos diodos acarretam perdas associadas a cada elemento. A eficiência deste conversor foi inferior a do protótipo anterior, sendo justificada pela grande quantidade de componentes associados em série e devido às perdas na resistência série dos capacitores eletrolíticos. Devido à complexidade do equacionamento do circuito que muda com a quantidade de células multiplicadoras, foi feito um gráfico do ganho estático deste conversor por meios de *softwares* matemáticos capaz de auxiliar assim, o projeto deste conversor.

CAPÍTULO 4

ANÁLISES QUALITATIVA E QUANTITATIVA DO CONVERSOR *BOOST* DE ALTO GANHO PARA A TOPOLOGIA III

4.1. CONSIDERAÇÕES INICIAIS

Este capítulo apresenta as análises qualitativa e quantitativa do conversor da topologia III baseado na célula de comutação de três estados e capacitores chaveados.

Será apresentada em detalhes a topologia proposta, as etapas de operação, principais formas de ondas, análise teórica, equacionamento e o estudo da comutação nos interruptores de potência.

A partir destas análises é possível determinar o correto dimensionamento e projeto dos componentes de potência deste conversor.

4.2. ANÁLISE QUALITATIVA DO CONVERSOR *BOOST* DE ALTO GANHO UTILIZANDO CÉLULAS DE COMUTAÇÃO SUAVE

A Figura 4.1 apresenta o circuito do conversor *boost* de alto ganho proposto como topologia III, onde se percebe o uso da célula de comutação de três estados e capacitores chaveados em conjunto com o banco de baterias e o painel fotovoltaico acoplado. Esta estrutura opera com comutação suave em todos os interruptores de potência. Assim como os conversores mostrados anteriormente, esta topologia também é capaz de operar em toda a faixa de variação de razão cíclica, sem nenhuma restrição.

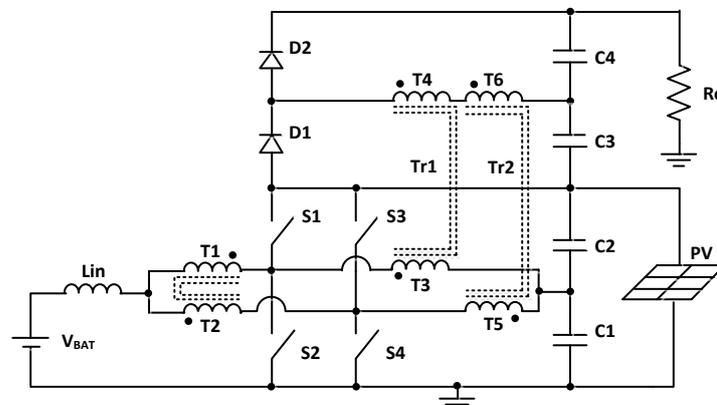


Figura 4.1 – Conversor *boost* de alto ganho (Topologia III).

A topologia estudada neste capítulo teve sua concepção a partir da topologia I, da célula de comutação de três estados proposta por [7] e pelo conversor *full bridge*. Existem diversos trabalhos que utilizam esta célula, conforme já foram citados anteriormente em [5-7][25][26]. A Figura 4.2 mostra em detalhe a estrutura da célula utilizada

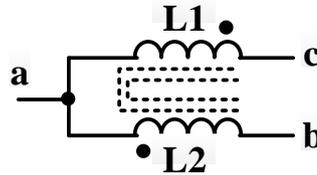


Figura 4.2 – Células de Comutação de Três Estados da Topologia III.

Na busca por novas configurações topológicas a fim de que se obtenha um aumento de potência e alto rendimento com redução do peso e volume, apresenta-se o conversor *boost* usando a técnica de células de comutação PWM, neste caso, a célula de comutação de três estados proposta por [7]. Essa célula de comutação é obtida através do conversor *push-pull* clássico apresentado na Figura 4.3.

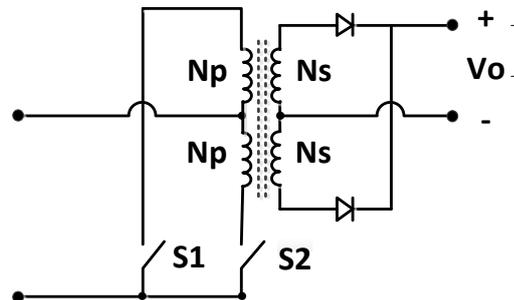


Figura 4.3 – Conversor Push-Pull clássico.

Fazendo com que o lado secundário do transformador seja refletido ao primário, obtém-se a célula de comutação de três estados conforme pode ser visto na figura 4.4.

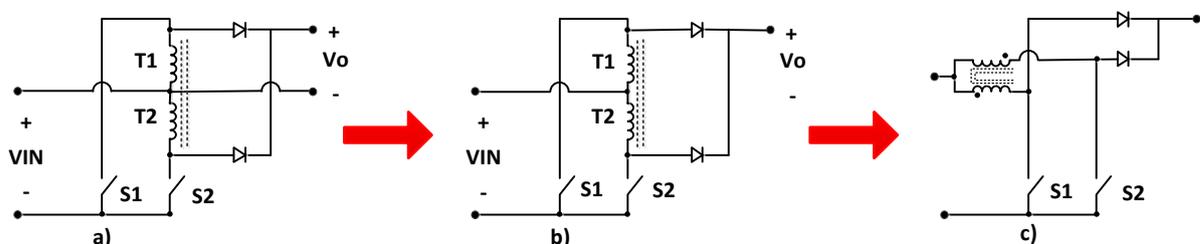


Figura 4.4 – Obtenção da Célula de Comutação de Três Estados.

A Figura 4.5 ilustra a ideia da união entre três estruturas e sua evolução até chegar na topologia III. A junção do conversor *boost* da topologia I, com a célula de comutação de três estados e o conversor *full bridge*, resulta em uma nova topologia que pode operar com comu-

tação suave em todos os semicondutores ativos, com a corrente de entrada livre de ondulação, pequenos esforços de tensão e corrente nos elementos semicondutores aliado a um alto ganho de tensão.

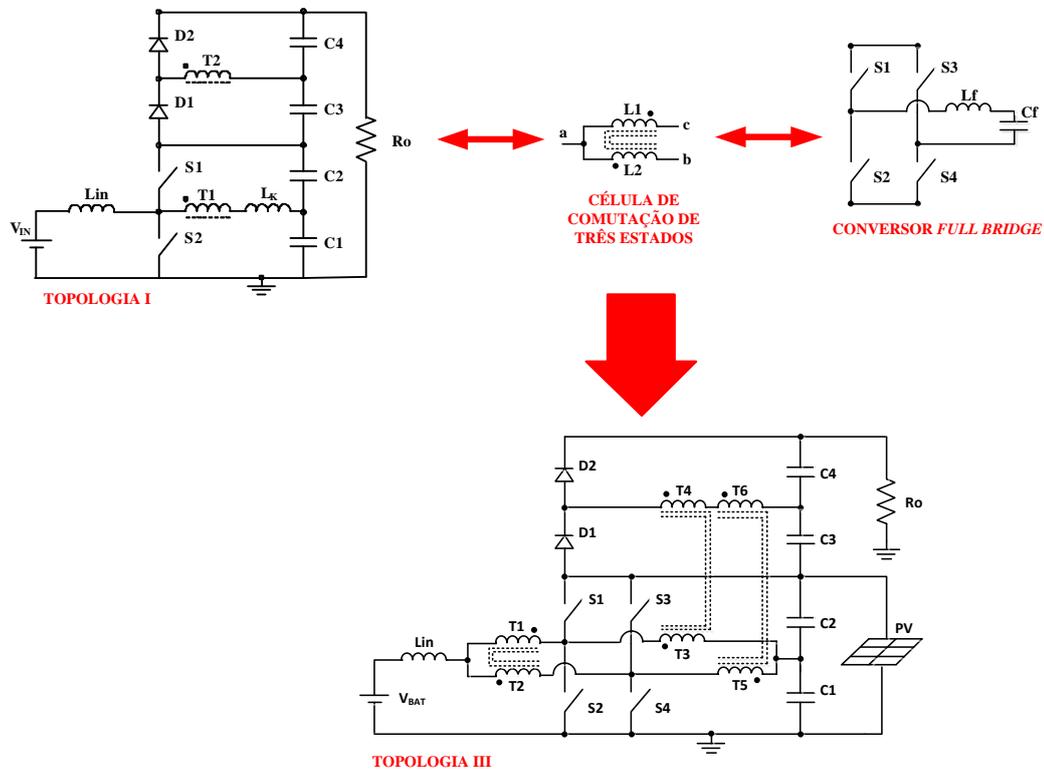


Figura 4.5 – Concepção da Topologia III.

Tendo em vista o circuito proposto na Topologia I, insere-se a célula de comutação de três estados juntamente com o indutor de entrada L_{IN} , isso fará com que as correntes que circularão nos interruptores de potência sejam diminuídas à metade, reduzindo assim os esforços nestes elementos. Duas outras chaves são inseridas no circuito para que seja possível o acoplamento da célula e para a obtenção da comutação suave.

4.3. PRINCÍPIO DE OPERAÇÃO

O conversor apresentado neste capítulo apresenta duas regiões de operação, que trabalham de forma semelhante. Serão descritas apenas as etapas para uma razão cíclica maior que 50% aplicada das chaves inferiores S2 e S4, sendo posteriormente analisadas quantitativamente ambas as regiões de operação. O conversor apresenta então **seis** etapas de operação. A

topologia apresentada é formada pelo indutor de entrada L_{IN} , interruptores de potência controlados S1-S4, diodos retificadores D1 e D2, célula de comutação de três estados T1 e T2, dois transformadores (T3-T4) e (T5-T6) e capacitores de saída C1, C2, C3 e C4.

Para facilitar a análise e a descrição das etapas de operação do conversor são feitas as seguintes considerações:

- Os semicondutores são ideais;
- Os componentes indutivos são lineares e ideais;
- A frequência de chaveamento é constante;
- O conversor opera em regime permanente;

Num período de chaveamento o conversor apresenta as seguintes etapas:

Primeira Etapa [$t_0 - t_1$] – (Figura 4.6). Essa etapa tem início com a abertura de S1, o que provoca a circulação de uma corrente pelo diodo em antiparalelo da chave S2, permitindo o fechamento ZVS da mesma. Neste momento o interruptor de potência S3 já se encontrava bloqueado e S4 conduzindo. A corrente que circula pelo indutor de entrada ‘ I_{IN} ’ cresce linearmente e se divide igualmente entre os enrolamentos da célula de comutação de três estados, de forma a diminuir os esforços de corrente nos semicondutores ativos da estrutura. O diodo D2 continua conduzindo formando a malha composta pelos secundários T4 e T6 e o capacitor C4. A corrente no enrolamento primário T3 passa a decrescer linearmente e a corrente em T5 passa a crescer linearmente. Esta etapa termina quando a corrente sobre o primário do transformador T3 e T5 for igual a zero. Neste momento a corrente sobre o interruptor de potência S2 é igual à corrente em S4.

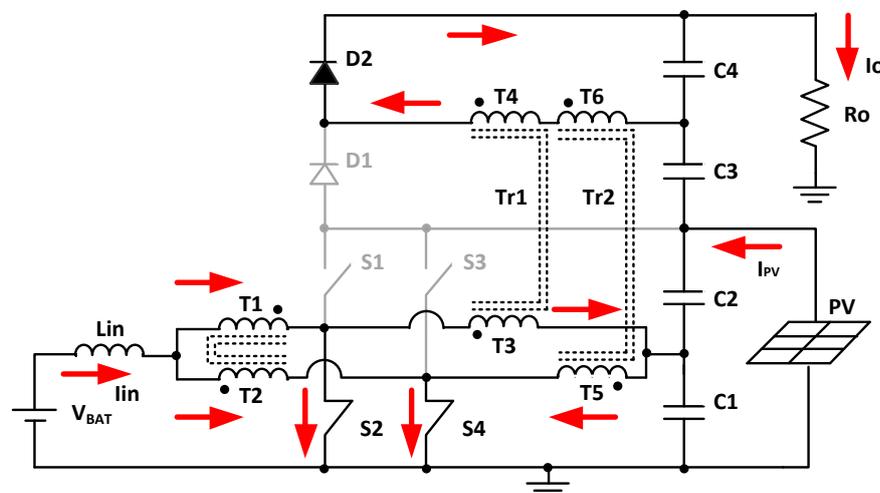


Figura 4.6 – Primeira Etapa de Operação.

Segunda Etapa [$t_1 - t_2$] – (Figura 4.7). Essa etapa tem início quando a corrente sobre os enrolamentos primários T3 e T5 chega à zero. Neste instante, os interruptores de potência S2 e S4 já se encontram conduzindo e S1 e S3 bloqueados. A corrente que circula pelo indutor de entrada ‘ I_{IN} ’ ainda se encontra crescendo linearmente e se divide igualmente entre os enrolamentos da célula de comutação de três estados, de forma a diminuir os esforços de corrente nos semicondutores ativos da estrutura. Nesta etapa, todos os diodos retificadores encontram-se polarizados reversamente. A corrente nos enrolamentos primários T3 e T5 ainda permanecem nulas durante toda a etapa. Esta etapa termina quando o interruptor de potência S4 é bloqueado.

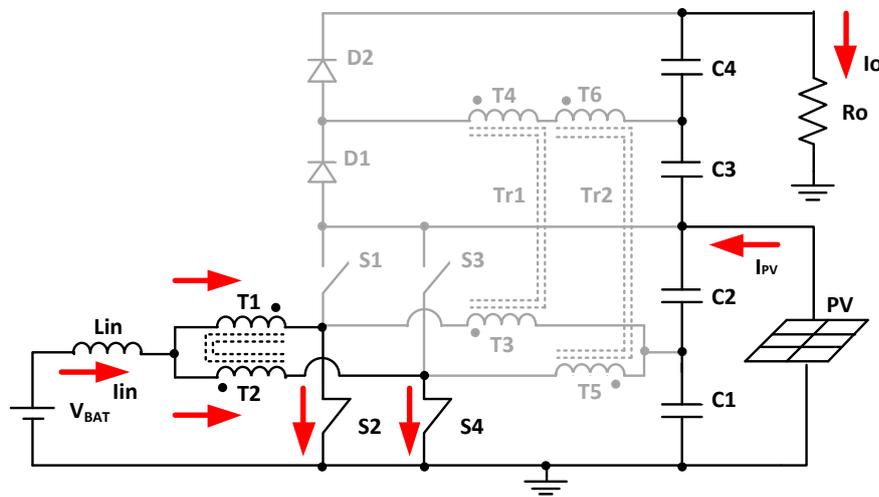


Figura 4.7 – Segunda Etapa de Operação.

Terceira Etapa [$t_2 - t_3$] – (Figura 4.8). Essa etapa tem início quando o interruptor de potência S4 é comandado a bloquear, causando a circulação de uma corrente pelo diodo em antiparalelo da chave S3, permitindo sua entrada em condução em modo ZVS. Neste instante, o interruptor de potência S2 já se encontra conduzindo. A corrente que circula pelo indutor de entrada ‘ I_{IN} ’ passa então a decrescer linearmente, enquanto que a corrente em T1 permanece crescendo linearmente e decrescendo linearmente em T2. A corrente que passa pela chave S3 cresce linearmente e inverte o sentido. O diodo retificador D1 é então polarizado diretamente, formando a malha composta pelos enrolamentos secundários T4 e T6 e pelo capacitor C3. A corrente no enrolamento primário T3 passa a decrescer linearmente enquanto que a corrente em T5 passa a crescer linearmente. Esta etapa termina quando o interruptor de potência S3 é comandado a conduzir.

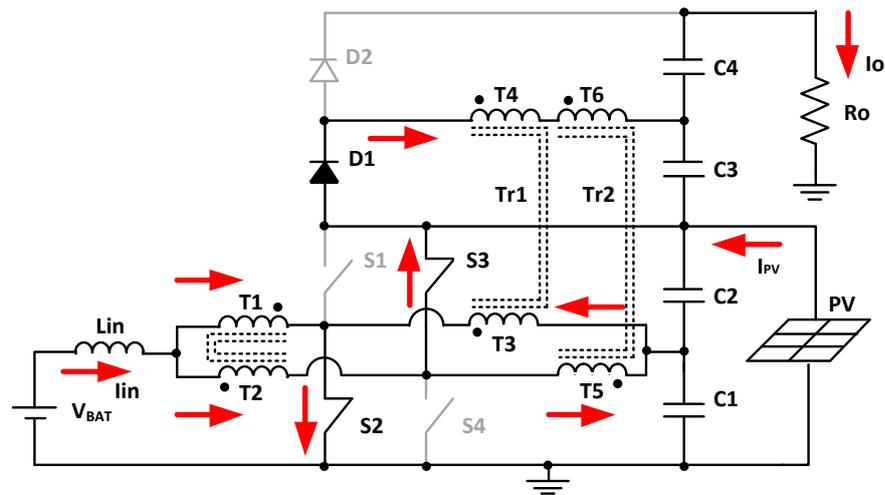


Figura 4.8 – Terceira Etapa de Operação.

Quarta Etapa [$t_3 - t_4$] – (Figura 4.9). Essa etapa tem início quando o interruptor de potência S3 é comandado a bloquear. Neste instante, o interruptor de potência S2 ainda se encontra conduzindo. A corrente que circula pelo indutor de entrada ‘ I_{IN} ’ passa então a crescer linearmente, assim como as correntes nos enrolamentos da célula de comutação T1 e T2. A corrente que passa pela chave S3 cresce linearmente e inverte de sentido. O diodo retificador D1 continua polarizado diretamente, formando a malha composta pelos enrolamentos secundários T4 e T6 e pelo capacitor C3. A corrente no enrolamento primário T3 passa a crescer linearmente enquanto que a corrente em T5 passa a decrescer linearmente. Esta etapa termina quando a corrente sobre o primário do transformador T3 e T5 for igual à zero. Neste momento a corrente sobre o interruptor de potência S2 é igual à corrente em S4.

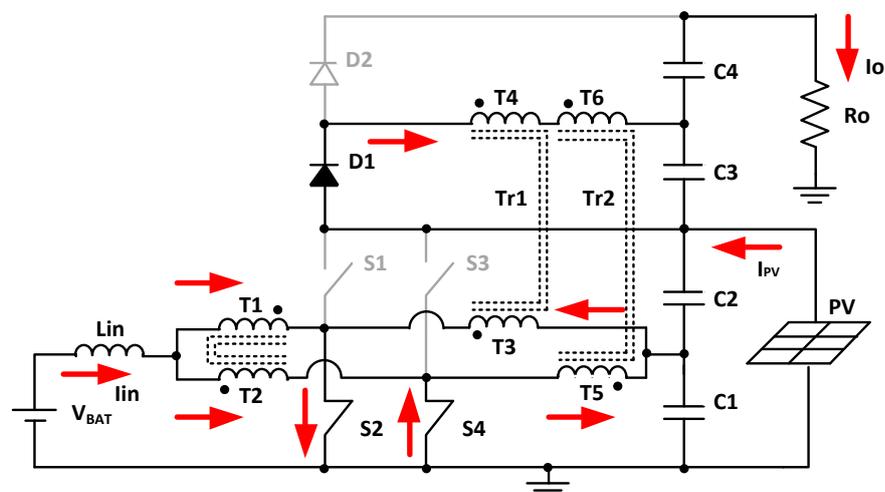


Figura 4.9 – Quarta Etapa de Operação.

Quinta Etapa [$t_4 - t_5$] – (Figura 4.10). Esta etapa é semelhante à segunda etapa de operação. Ela tem início quando a corrente sobre os enrolamentos primários T3 e T5 chega a zero. Neste instante, os interruptores de potência S2 e S4 já se encontram conduzindo e S1 e S3 bloqueados. A corrente que circula pelo indutor de entrada ‘ I_{IN} ’ ainda se encontra crescendo linearmente e se divide igualmente entre os enrolamentos da célula de comutação de três estados. Nesta etapa, todos os diodos retificadores encontram-se polarizados reversamente, de forma que não há circulação de corrente pelos seus respectivos ramos. A corrente nos enrolamentos primários T3 e T5 ainda permanecem nulas durante toda a etapa. Esta etapa termina quando o interruptor de potência S2 é bloqueado.

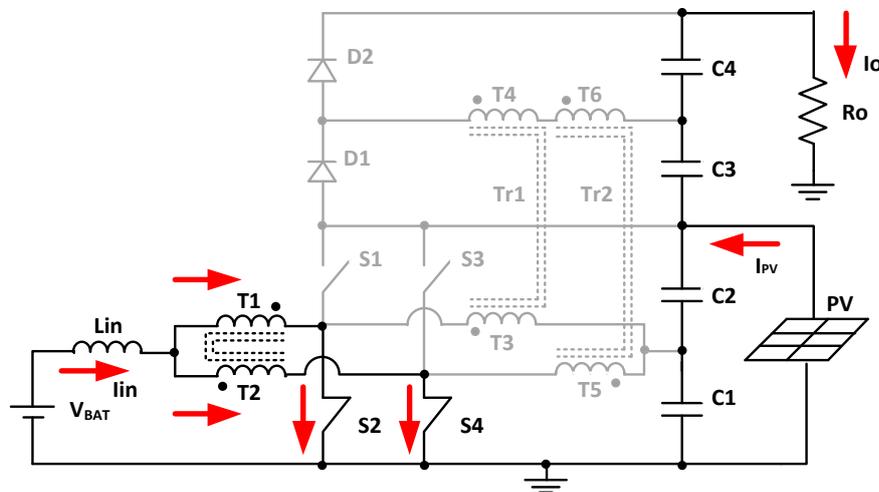


Figura 4.10 – Quinta Etapa de Operação.

Sexta Etapa [$t_5 - t_6$] – (Figura 4.11). Essa etapa tem início com a abertura de S2, o que provoca a circulação de uma corrente pelo diodo em antiparalelo da chave S1, o que permite o fechamento ZVS da mesma. Neste momento o interruptor de potência S3 já se encontrava bloqueado e S4 conduzindo. A corrente que circula pelo indutor de entrada ‘ I_{IN} ’ decresce linearmente. O diodo D2 passa a conduzir, formando a malha composta pelos secundários T4 e T6 e o capacitor C4. A corrente no enrolamento primário T3 passa a crescer linearmente e a corrente em T5 passa a decrescer linearmente. Esta etapa termina quando a corrente sobre o primário do transformador T3 e T5 for igual a zero. Neste momento a corrente sobre o interruptor de potência S2 é igual à corrente em S4. Após esta etapa, tem-se início um novo ciclo de chaveamento, reiniciando assim as etapas de operação.

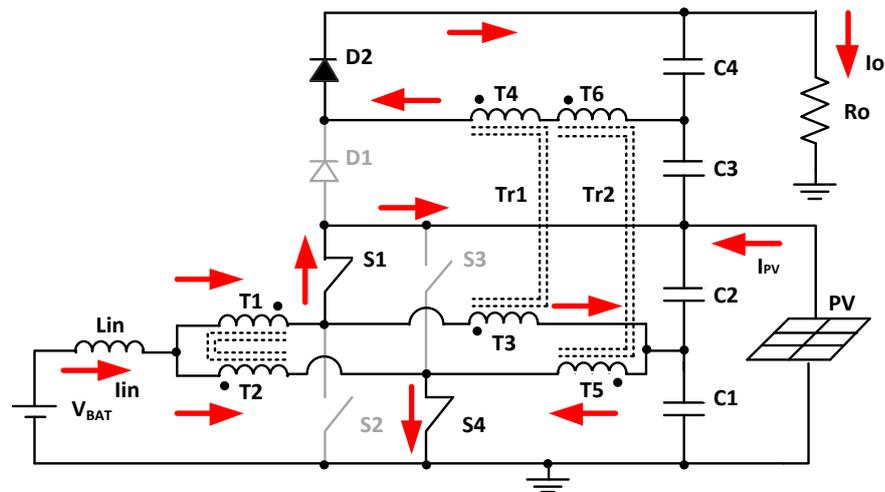


Figura 4.11– Sexta Etapa de Operação.

4.4. FORMAS DE ONDA TEÓRICAS DO CONVERSOR

A Figura 4.12 apresenta as principais formas de ondas teóricas do conversor operando em modo de condução contínua, onde são apresentadas as formas de onda das tensões e correntes nas chaves S1, S2, S3 e S4, correntes em T₁, T₂, T₃, T₅ e L_{IN} e as tensões de gatilho V_{G1}, V_{G2}, V_{G3}, V_{G4}.

Os intervalos de tempos mostrados no gráfico releam de forma clara todas as afirmações feitas anteriormente para cada etapa de operação.

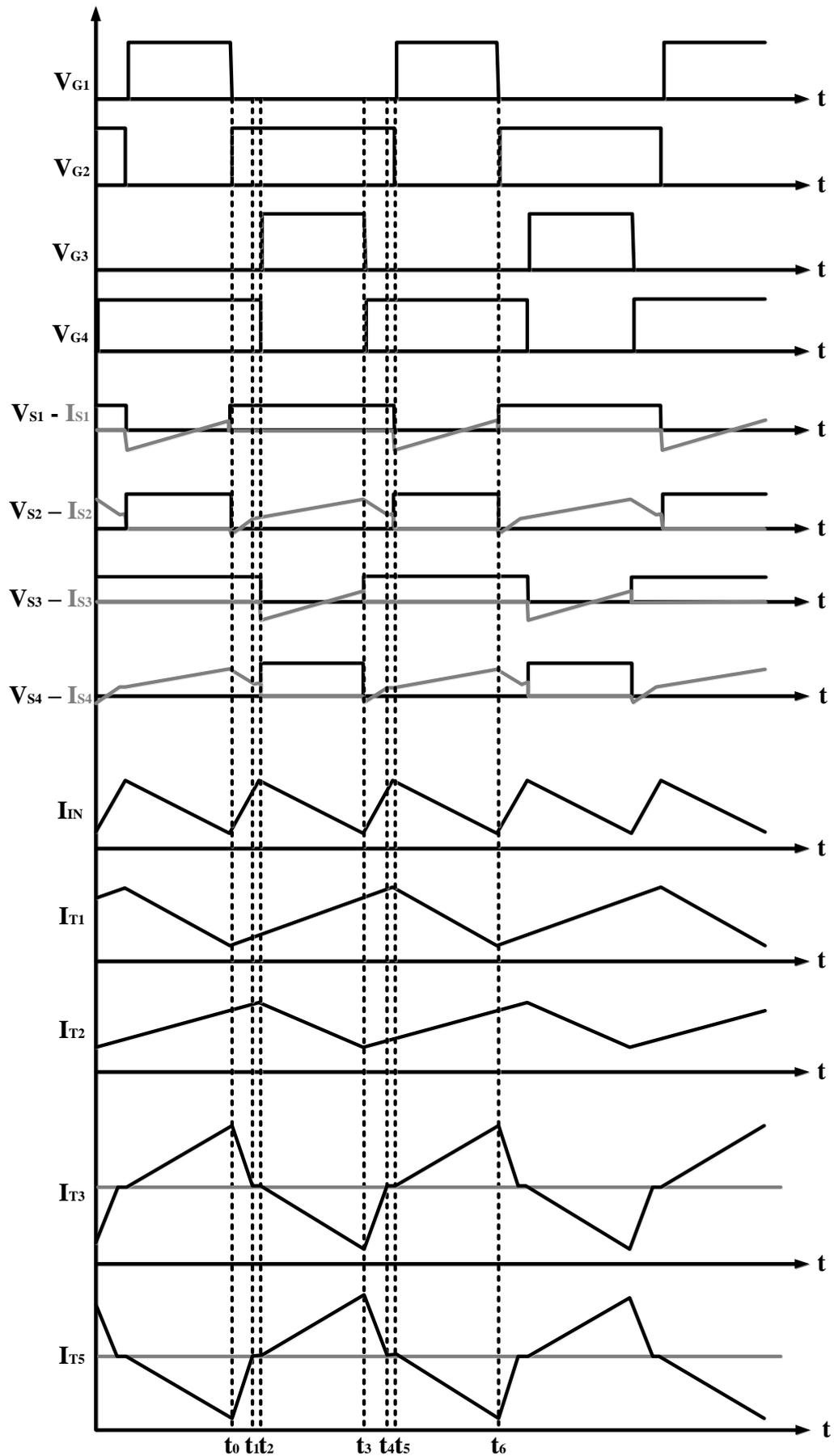


Figura 4.12 – Formas de onda teóricas da Topologia III.

4.5. ANÁLISE QUANTITATIVA DAS ETAPAS DE OPERAÇÃO PARA ‘D > 50%’

A seguir serão feitas as análises quantitativas das etapas de operação para o conversor da topologia III com razão cíclica maior que 50%. Serão mostrados os circuitos equivalentes simplificados para cada etapa, bem como seu equacionamento característico.

Conforme pode ser observada na Figura 4.12, os gatilhos de cada braço do inversor trabalham de forma complementar. A razão cíclica é aplicada nas chaves inferiores de cada braço (S2 e S4), que por sua vez estão defasadas em 180°. Outro fator importante a ser observado é a existência de duas regiões de operação com diferentes etapas de operação: $D > 50\%$, que implica na superposição da condução das chaves inferiores e $D < 50\%$ que implica na superposição das chaves superiores.

• Primeira Etapa:

A seguir é mostrado o circuito simplificado da primeira etapa de operação.

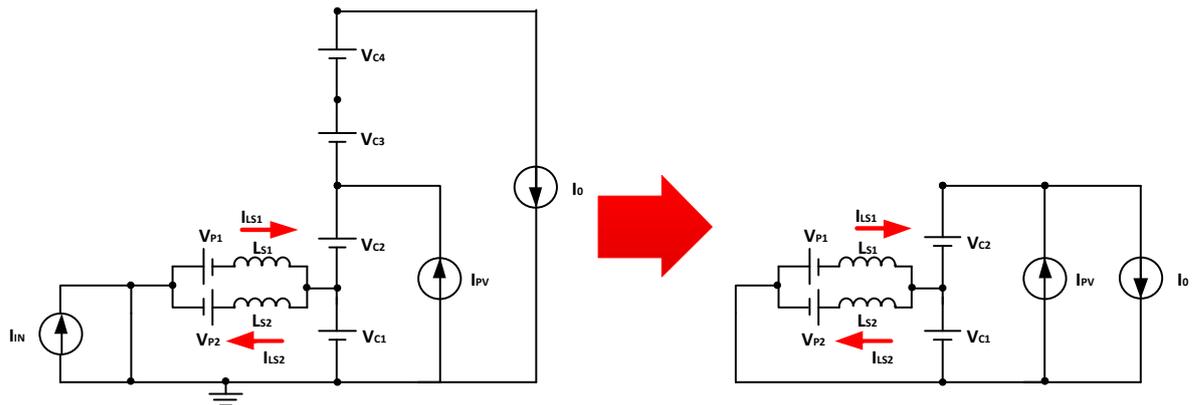


Figura 4.13 – Circuito Equivalente da Primeira Etapa de Operação.

Conforme pode ser observada na Figura 4.13 as setas indicam o sentido da corrente nos indutores de dispersão dos transformadores Tr1 e Tr2 para essa etapa de operação. As fontes de tensão V_{P1} e V_{P2} representam a tensão dos transformadores refletidos ao lado primário. Através do circuito equivalente e da análise das malhas, podem-se adquirir as equações que definem essa etapa.

$$V_{C1} + V_{LS1} + V_{P1} = 0 \quad (4.1)$$

$$V_{C1} - V_{LS2} - V_{P2} = 0 \quad (4.2)$$

Isolando-se os valores de V_{LS1} e V_{LS2} das equações (4.1) e (4.2) e considerando que as indutâncias de dispersão L_{S1} e L_{S2} são iguais, chegam-se às seguintes expressões para as correntes nestes elementos:

$$L_{S1} = L_{S2} = L_S$$

$$I_{LS1}(t) = I(0) - \left(\frac{V_{C1} + V_{P1}}{L_S} \right) \cdot t \quad (4.3)$$

$$I_{LS2}(t) = -I(0) + \left(\frac{V_{C1} - V_{P2}}{L_S} \right) \cdot t \quad (4.4)$$

$$(V_{P1} + V_{P2}) \cdot n = V_{C4} \quad (4.5)$$

Onde 'I(0)' é a condição inicial da etapa, 'n' é a relação de transformação, 'V_{C1} e V_{C4}' são as tensões nos capacitores C1 e C4 respectivamente e 't' é o tempo de duração da etapa.

Das análises das equações (4.3), (4.4) e (4.5) chega-se às seguintes expressões para a tensão em L_S e das tensões refletidas V_{P1} e V_{P2} .

$$V_{LS} = -\frac{V_{C4}}{2 \cdot n} \quad (4.6)$$

$$V_{P1} = -V_{C1} + \frac{V_{C4}}{2 \cdot n} \quad (4.7)$$

$$V_{P2} = \frac{V_{C4}}{2 \cdot n} + V_{C1} \quad (4.8)$$

• **Segunda Etapa:**

Nesta etapa, os dois interruptores de potência inferiores encontram-se conduzindo, de forma a fazer com que não tenha corrente circulando pelos enrolamentos primários dos transformadores. Como na etapa anterior a corrente chega a zero, isto resulta na não circulação de corrente em L_{S1} e L_{S2} durante esta operação.

$$I_{LS1}(t) = 0 \quad (4.9)$$

$$I_{LS2}(t) = 0 \quad (4.10)$$

$$V_{P1} = 0 \quad (4.9)$$

$$V_{P2} = 0 \quad (4.10)$$

A análise da **quinta** etapa de operação é semelhante à segunda, resultando nos mesmos valores para as corrente e tensões nos elementos da segunda etapa.

• Terceira Etapa:

A figura 4.14 mostra o circuito equivalente para a terceira etapa de operação.

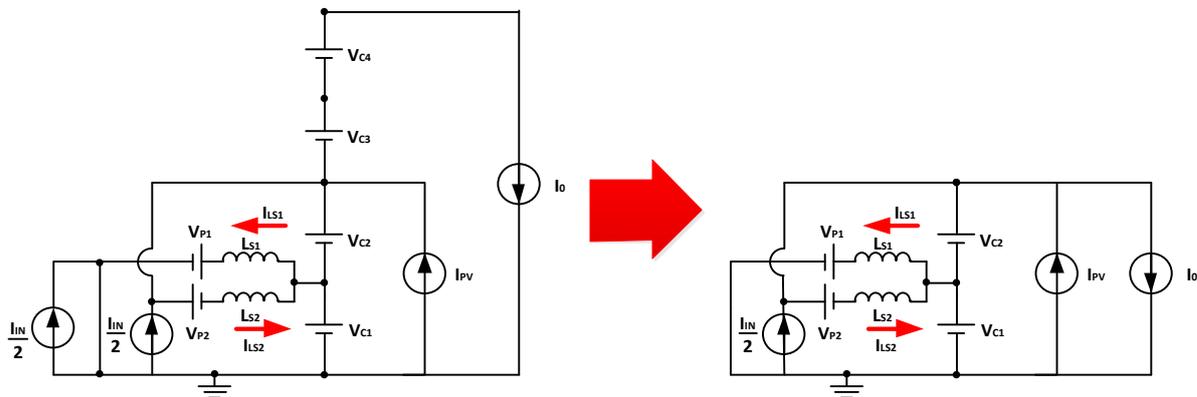


Figura 4.14 – Circuito Equivalente da Terceira Etapa de Operação.

Nesta etapa, os interruptores de potência S1 e S4 encontram-se bloqueados, enquanto que S2 e S3 estão conduzindo. Nesta configuração, a corrente de entrada tende a se dividir igualmente nas chaves devido ao efeito da célula de comutação de três estados. Nota-se que o sentido das correntes nos indutores de dispersão se inverte em relação à primeira etapa. Desta forma, analisando o circuito equivalente, chegam-se às seguintes expressões:

$$V_{C1} - V_{LS1} - V_{P1} = 0 \quad (4.11)$$

$$V_{C2} - V_{LS2} - V_{P2} = 0 \quad (4.12)$$

Fazendo a mesma analogia da primeira etapa de operação, chegam-se às equações para a corrente em L_{S1} e L_{S2} .

$$I_{LS1}(t) = \left(\frac{V_{C1} - V_{P1}}{L_S} \right) \cdot t \quad (4.13)$$

$$I_{LS2}(t) = \left(\frac{V_{C2} - V_{P2}}{L_S} \right) \cdot t \quad (4.14)$$

Nesta etapa, o diodo D1 conduz diferente da primeira etapa de operação, onde quem se encontra conduzindo é o diodo D2. Desta forma, a relação mostrada na equação (4.5) é semelhante à equação mostrada a seguir em (4.15).

$$(V_{P1} + V_{P2}) \cdot n = V_{C3} \quad (4.15)$$

Com base nas equações (4.13), (4.14) e (4.15), chega-se em (4.16), (4.17) e (4.18).

$$V_{LS} = \frac{1}{2} \cdot \left(V_{C1} + V_{C2} - \frac{V_{C3}}{n} \right) \quad (4.16)$$

$$V_{P1} = \frac{1}{2} \cdot \left(V_{C1} - V_{C2} + \frac{V_{C3}}{n} \right) \quad (4.17)$$

$$V_{P2} = \frac{1}{2} \cdot \left(V_{C2} - V_{C1} + \frac{V_{C3}}{n} \right) \quad (4.18)$$

• **Quarta Etapa:**

A figura 4.15 mostra o circuito equivalente para a quarta etapa de operação.

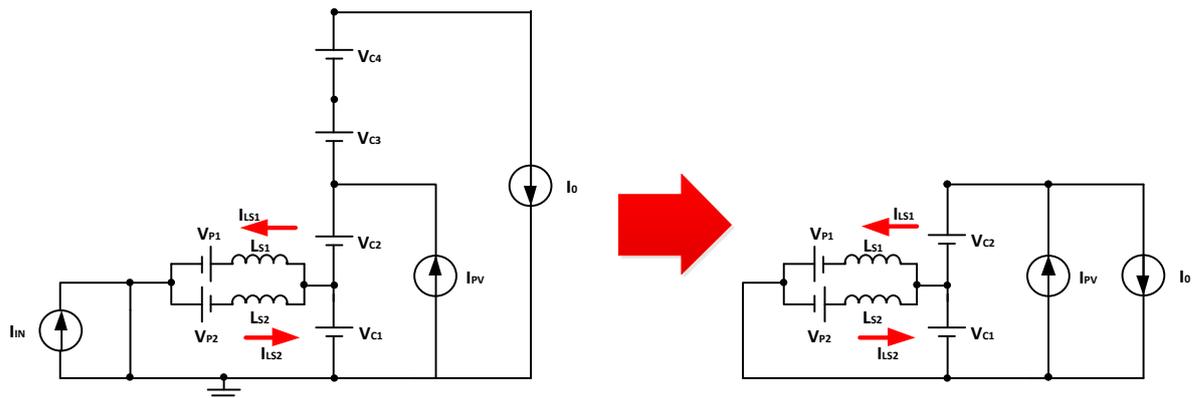


Figura 4.15 – Circuito Equivalente da Quarta Etapa de Operação.

Nesta etapa, os interruptores de potência S2 e S4 encontram-se conduzindo e o diodo D1 está polarizado diretamente. Os sentidos das correntes permanecem os mesmos da etapa anterior, entretanto, a fonte de corrente da entrada não se encontra mais ativa. A análise do circuito da etapa faz com que se chegue às seguintes expressões:

$$V_{C1} - V_{LS1} - V_{P1} = 0 \quad (4.19)$$

$$V_{C1} + V_{LS2} + V_{P2} = 0 \quad (4.20)$$

Desenvolvendo-se as equações (4.19) e (4.20) chega-se às seguintes expressões para as correntes nos indutores de dispersão:

$$I_{LS1}(t) = -I(0) + \left(\frac{V_{C1} - V_{P1}}{L_S} \right) \cdot t \quad (4.21)$$

$$I_{LS2}(t) = I(0) - \left(\frac{-V_{P2} - V_{C1}}{L_S} \right) \cdot t \quad (4.22)$$

$$(V_{P1} + V_{P2}) \cdot n = V_{C3} \quad (4.23)$$

Onde 'I(0)' é a condição inicial da etapa que, por sua vez, corresponde ao valor da corrente na etapa anterior. Nesta etapa, a mesma consideração feita na equação (4.15) se aplica nesta situação, conforme pode ser visto em (4.23). Sendo assim, analisando as equações descritas logo acima, chegam-se às seguintes expressões para as tensões V_{LS} , V_{P1} e V_{P2} .

$$V_{LS} = \frac{V_{C3}}{2 \cdot n} \quad (4.24)$$

$$V_{P1} = V_{C1} + \frac{V_{C3}}{n} \quad (4.25)$$

$$V_{P2} = -V_{C1} + \frac{V_{C3}}{n} \quad (4.26)$$

• Sexta Etapa:

A figura 4.16 mostra o circuito equivalente para a sexta etapa de operação.

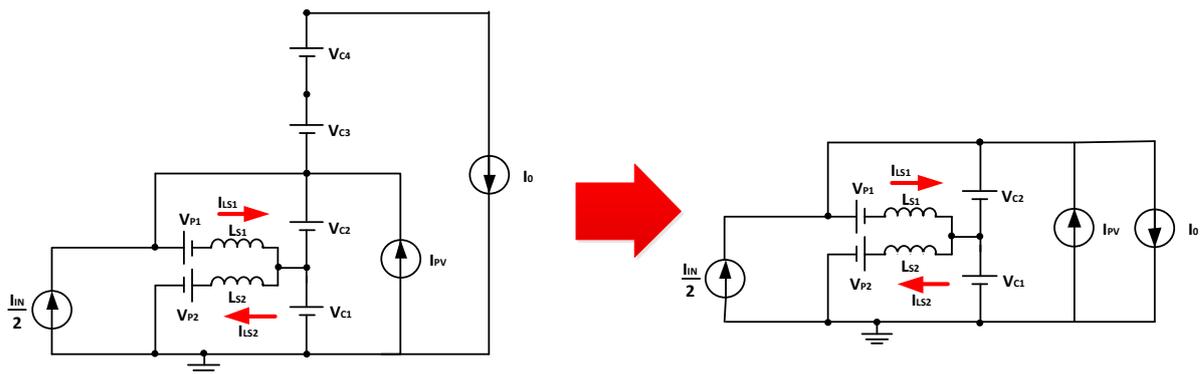


Figura 4.16 – Circuito Equivalente da Sexta Etapa de Operação.

Nesta etapa, os interruptores de potência S1 e S4 encontram-se conduzindo e o diodo D2 está polarizado diretamente. Os sentidos das correntes se invertem novamente. A análise do circuito da etapa resulta nas seguintes equações:

$$V_{C2} - V_{LS1} - V_{P1} = 0 \quad (4.27)$$

$$V_{C1} - V_{LS2} - V_{P2} = 0 \quad (4.28)$$

$$(V_{P1} + V_{P2}) \cdot n = V_{C4} \quad (4.29)$$

Desenvolvendo-se as equações (4.27) e (4.28) chega-se às seguintes expressões para as correntes nos indutores de dispersão:

$$I_{LS1}(t) = \left(\frac{V_{C2} - V_{P1}}{L_S} \right) \cdot t \quad (4.30)$$

$$I_{LS2}(t) = \left(\frac{V_{C1} - V_{P2}}{L_S} \right) \cdot t \quad (4.31)$$

Das análises das equações (4.27), (4.28) e (4.29) chega-se às seguintes expressões para a tensão em L_S e das tensões refletidas V_{P1} e V_{P2} .

$$V_{LS} = \frac{1}{2} \cdot \left(\frac{V_{C4}}{n} - V_{C1} - V_{C2} \right) \quad (4.32)$$

$$V_{P1} = \frac{1}{2} \cdot \left(\frac{V_{C4}}{n} - V_{C1} + V_{C2} \right) \quad (4.33)$$

$$V_{P2} = \frac{1}{2} \cdot \left(\frac{V_{C4}}{n} - V_{C2} + V_{C1} \right) \quad (4.34)$$

4.6. GANHO ESTÁTICO DO CONVERSOR PARA ‘D > 50%’

O ganho estático do conversor é dado pela razão entre a tensão de saída e a tensão de entrada. A equação que define o valor da tensão de saída deste conversor em qualquer instante de tempo é dada pelo somatório das tensões nos capacitores de saída $C1$, $C2$, $C3$ e $C4$.

$$V_0 = V_{C1} + V_{C2} + V_{C3} + V_{C4} \quad (4.35)$$

Assim como já descrito na topologia I e II, a tensão sobre o capacitor $C1$ é a mesma tensão sobre o banco de baterias, desta forma tem-se que:

$$V_{C1} = V_{BAT} \quad (4.36)$$

Assim também, a tensão sobre o capacitor C2 pode ser descrita da mesma forma que em (2.47).

$$V_{C2} = \frac{D \cdot V_{BAT}}{1 - D} \quad (4.37)$$

Nesta topologia as tensões sobre os capacitores C3 e C4 são as mesmas e, para se chegar a uma equação que defina esta tensão, deve-se primeiro equacionar os tempos das etapas. Para tal, observando as formas de ondas da Figura 4.12 tem-se que os tempos da terceira e sexta etapas são dados por:

$$\Delta_{t3} = (1 - D) \cdot T_s \quad (4.38)$$

$$\Delta_{t6} = (1 - D) \cdot T_s \quad (4.39)$$

O tempo de duração da primeira etapa de operação é proveniente da equação da tensão em L_s , conforme já foi visto em (4.6). O valor da dispersão é um dado conhecido e a variação da corrente corresponde ao valor de pico durante a etapa, ou seja, o valor da corrente na sexta etapa. Desta forma tem-se:

$$\Delta_{t1} = \frac{L_s \cdot [\Delta_{t6}]}{V_{LS_1et}} = \frac{L_s \cdot \left[\left(\frac{V_{C2} - V_{P1_6et}}{L_s} \right) \cdot (1 - D) \cdot T_s \right]}{\left(\frac{V_{C4}}{2 \cdot n} \right)} = \frac{L_s \cdot \left[\frac{V_{C2} - \left(\frac{1}{2} \cdot \left(\frac{V_{C4}}{n} - V_{C1} + V_{C2} \right) \right)}{L_s} \right] \cdot (1 - D) \cdot T_s}{\left(\frac{V_{C4}}{2 \cdot n} \right)} \quad (4.40)$$

Simplificando (4.40) tem-se:

$$\Delta_{t1} = \frac{[(1 - D) \cdot T_s \cdot (n \cdot V_{C1} - V_{C4} + n \cdot V_{C2})]}{V_{C4}} \quad (4.41)$$

O tempo de duração da segunda etapa é dado por:

$$\Delta_{t2} = \frac{T_s}{2} - (1 - D) \cdot T_s - \Delta_{t1} \quad (4.42)$$

Substituindo (4.41) em (4.42) e simplificando, tem-se:

$$\Delta_{t2} = - \frac{[Ts.(2.V_{C1}.n.(1-D) - V_{C4} + 2.V_{C2}.n.(1-D)]}{2.V_{C4}} \quad (4.43)$$

Os tempos da quarta e quinta etapas são análogos aos da primeira e segunda, respectivamente, desta forma, tem-se que:

$$\Delta_{t4} = \Delta_{t1} = \frac{[(1-D).Ts.(n.V_{C1} - V_{C4} + n.V_{C2})]}{V_{C4}} \quad (4.44)$$

$$\Delta_{t5} = \Delta_{t2} = - \frac{[Ts.(2.V_{C1}.n.(1-D) - V_{C4} + 2.V_{C2}.n.(1-D)]}{2.V_{C4}} \quad (4.44)$$

A seguir é mostrado o sistema de equações que definem todos os tempos de duração das seis etapas de operação e seus respectivos valores para a potência nominal.

$$\left\{ \begin{array}{l} \Delta_{t1} = \Delta_{t4} = \frac{[(1-D).Ts.(n.V_{C1} - V_{C4} + n.V_{C2})]}{V_{C4}} \\ \Delta_{t2} = \Delta_{t5} = - \frac{[Ts.(2.V_{C1}.n.(1-D) - V_{C4} + 2.V_{C2}.n.(1-D)]}{2.V_{C4}} \\ \Delta_{t3} = \Delta_{t6} = (1-D).Ts \end{array} \right.$$

Tomando como base a equação das potências, chega-se na seguinte expressão:

$$V_{BAT}.I_{IN} + V_{PV}.I_{PV} = (V_{PV} + V_{C3} + V_{C4}).I_0 \quad (4.45)$$

Sabendo que:

$$V_{C3} = V_{C4}$$

Pode-se reescrever a equação (4.45) como:

$$V_{BAT}.I_{IN} + V_{PV}.I_{PV} = (V_{PV} + 2.V_{C4}).I_0 \quad (4.46)$$

Isolando o valor de V_{C4} tem-se:

$$V_{C4} = \frac{V_{BAT}.I_{IN} + V_{PV}.I_{PV} - I_0.V_{PV}}{2.I_0} \quad (4.47)$$

Sabendo que:

$$V_{PV} = V_{C1} + V_{C2} \quad (4.48)$$

Substituindo (4.36) e (4.37) em (4.48) e simplificando, chega-se à seguinte equação:

$$V_{PV} = \frac{V_{BAT}}{(1-D)} \quad (4.49)$$

Fazendo uma análise das correntes médias no circuito e observando a forma de onda da corrente nas chaves, chega-se à seguinte equação para a corrente de entrada:

$$I_{IN} = \frac{[I_0 \cdot (1 + 2n) - I_{PV}] - 2\beta}{(1-D)} \quad (4.50)$$

Onde β é dado por:

$$\beta = \frac{\Delta_{t1} \cdot \left[\frac{V_{C2} - V_{P1-6et}}{L_S} \right] \cdot (1-D) \cdot Ts}{2Ts} \quad (4.51)$$

Substituindo (4.51) em (4.50) e simplificando, chega-se a:

$$I_{IN} = \frac{[I_0 \cdot (1 + 2n) - I_{PV}] - 2 \cdot \left[\frac{(1-D)^2 \cdot Ts \cdot (n \cdot V_{C1} - V_{C4} + n \cdot V_{C2})^2}{4 \cdot L_S \cdot V_{C4} \cdot n} \right]}{(1-D)} \quad (4.52)$$

De posse das equações (4.52) e (4.49), pode-se finalmente obter a equação da tensão no capacitor de saída C4, que é a mesma para C3.

$$V_{C4} = \frac{n \cdot Ts \cdot V_{BAT}^2}{(1-D) \cdot Ts \cdot V_{BAT} + 4 \cdot I_0 \cdot L_S \cdot n} \quad (4.53)$$

A seguir é mostrado o sistema que determina as equações das tensões para todos os capacitores de saída da estrutura e seus respectivos valores para a potência nominal.

$$\begin{cases} V_{C1} = V_{BAT} = 24V \\ V_{C2} = \frac{D \cdot V_{BAT}}{1-D} = 42V \\ V_{C3} = V_{C4} = \frac{n \cdot Ts \cdot V_{BAT}^2}{(1-D) \cdot Ts \cdot V_{BAT} + 4 \cdot I_0 \cdot L_S \cdot n} = 67V \end{cases}$$

Substituindo as equações (4.36), (4.37) e (4.53) em (4.35) e calculando a razão entre a tensão de saída V_0 e a tensão de entrada V_{BAT} , chega-se à equação do ganho estático 'G', que é definida por:

$$G = \frac{V_0}{V_{BAT}} = \frac{1}{(1-D)} + \frac{2.n}{[(1-D) + \alpha]} \quad (4.54)$$

Sendo ‘ α ’ é a corrente de carga parametrizada, definida por:

$$\alpha = \frac{4.n.I_0.L_S}{V_{BAT}.T_S} \quad (4.55)$$

4.7. ANÁLISE QUANTITATIVA DAS ETAPAS DE OPERAÇÃO PARA ‘D < 50%’

A seguir serão feitas as análises quantitativas das etapas de operação para o conversor da topologia III com razão cíclica menor que 50%. Serão mostrados os circuitos equivalentes simplificados para cada etapa, bem como seu equacionamento característico.

• Primeira Etapa:

A seguir é mostrado o circuito simplificado da primeira etapa de operação para razão cíclica menor que 50%.

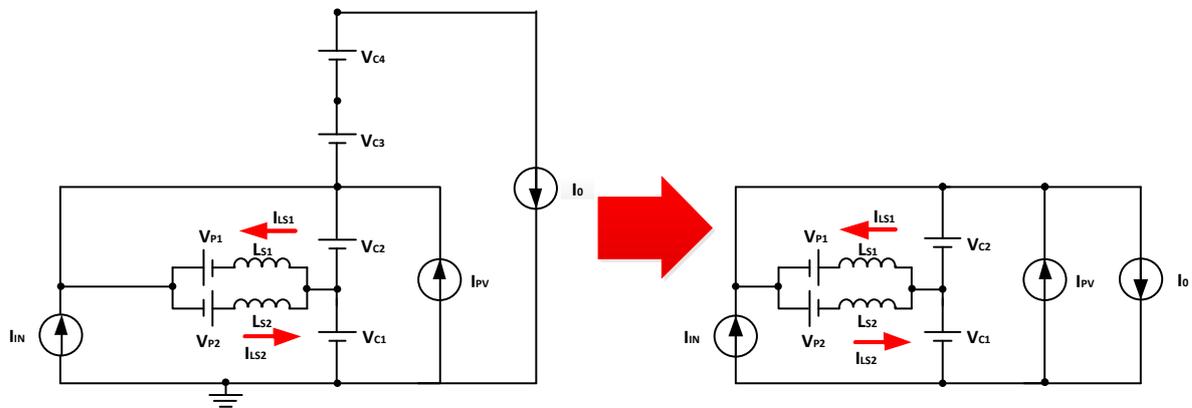


Figura 4.17 – Circuito Equivalente da Primeira Etapa de Operação ($D < 50\%$).

Com base na Figura 4.17, e fazendo a mesma análise do item anterior, se chega às seguintes equações:

$$V_{C2} + V_{LS1} + V_{P1} = 0 \quad (4.56)$$

$$V_{P2} + V_{LS2} = -V_{P1} - V_{LS1} \quad (4.57)$$

$$(V_{P1} + V_{P2}).n = V_{C3} \quad (4.58)$$

Isolando-se os valores de V_{LS1} e V_{LS2} das equações (4.56) e (4.57) e substituindo em (4.58) chega-se a:

$$L_{S1} = L_{S2} = L_S$$

$$I_{LS1}(t) = \left(\frac{-V_{C2} - V_{P1}}{L_S} \right) t - I(0) \quad (4.59)$$

$$I_{LS2}(t) = - \left(\frac{V_{C2} - V_{P2}}{L_S} \right) t + I(0) \quad (4.60)$$

Das análises das equações (4.56), (4.57) e (4.58) chega-se às seguintes expressões para a tensão em L_S e das tensões refletidas V_{P1} e V_{P2} .

$$V_{LS} = - \frac{V_{C3}}{2.n} \quad (4.61)$$

$$V_{P1} = -V_{C2} + \frac{V_{C3}}{2.n} \quad (4.62)$$

$$V_{P2} = V_{C2} + \frac{V_{C3}}{2.n} \quad (4.63)$$

• Segunda Etapa:

Nesta etapa, os dois interruptores de potência superiores encontram-se conduzindo, de forma a fazer com que não tenha corrente circulando pelos enrolamentos primários dos transformadores. Como na etapa anterior a corrente chega a zero, esta resulta na não circulação de corrente em L_{S1} e L_{S2} . Desta forma tem-se que:

$$I_{LS1}(t) = 0 \quad (4.64)$$

$$I_{LS2}(t) = 0 \quad (4.65)$$

$$V_{P1} = 0 \quad (4.66)$$

$$V_{P2} = 0 \quad (4.67)$$

A análise da quinta etapa de operação é semelhante à segunda, resultando nos mesmos valores para as corrente e tensões nos elementos da segunda etapa.

• **Terceira Etapa:**

A figura 4.18 mostra o circuito equivalente para a terceira etapa de operação.

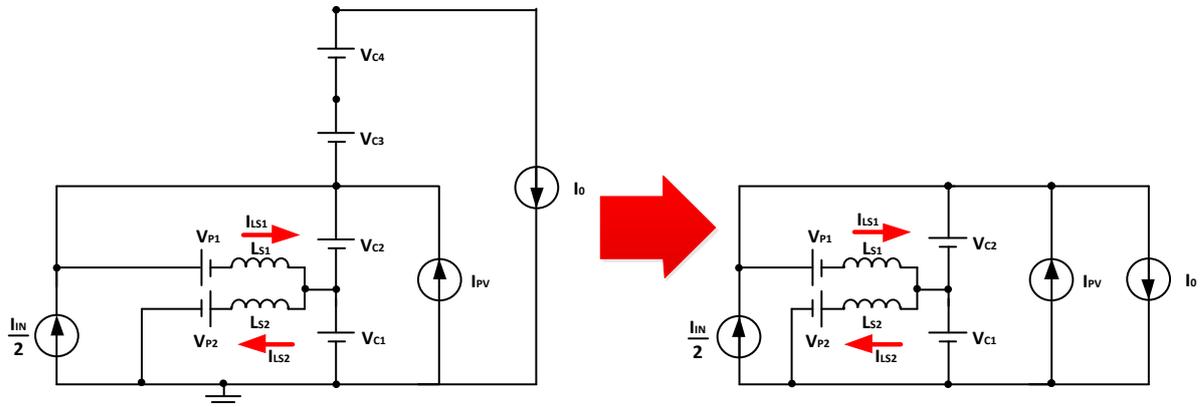


Figura 4.18 – Circuito Equivalente da Terceira Etapa de Operação ($D < 50\%$).

Nesta etapa, os interruptores de potência S2 e S3 encontram-se bloqueados, enquanto que S1 e S4 estão conduzindo. Nesta configuração, a corrente de entrada tende a se dividir igualmente nas chaves devido ao efeito da célula de comutação de três estados. Nota-se que o sentido das correntes nos indutores de dispersão se inverte em relação à primeira etapa. Desta forma, analisando o circuito equivalente, chegam-se às seguintes expressões:

$$V_{C1} - V_{LS2} - V_{P2} = 0 \quad (4.68)$$

$$V_{C2} - V_{LS1} - V_{P1} = 0 \quad (4.69)$$

Fazendo a mesma analogia da primeira etapa de operação, chegam-se às equações para a corrente em L_{S1} e L_{S2} .

$$I_{LS1}(t) = \left(\frac{V_{C2} - V_{P1}}{L_S} \right) t \quad (4.70)$$

$$I_{LS2}(t) = \left(\frac{V_{C1} - V_{P2}}{L_S} \right) t \quad (4.71)$$

Nesta etapa, o diodo D2 conduz, diferente da primeira etapa de operação, onde quem se encontra polarizado diretamente é o diodo D1. Desta forma, a relação mostrada na equação (4.5) é semelhante à equação mostrada a seguir em (4.72).

$$(V_{P1} + V_{P2}) \cdot n = V_{C4} \quad (4.72)$$

Com base nas equações (4.70), (4.71) e (4.72), chega-se em (4.73), (4.74) e (4.75).

$$V_{LS} = \frac{1}{2} \cdot \left(-\frac{V_{C4}}{n} + V_{C1} + V_{C2} \right) \quad (4.73)$$

$$V_{P1} = \frac{1}{2} \cdot \left(V_{C2} - V_{C1} + \frac{V_{C4}}{n} \right) \quad (4.74)$$

$$V_{P2} = \frac{1}{2} \cdot \left(V_{C1} - V_{C2} + \frac{V_{C4}}{n} \right) \quad (4.75)$$

• **Quarta Etapa:**

A figura 4.19 mostra o circuito equivalente para a quarta etapa de operação.

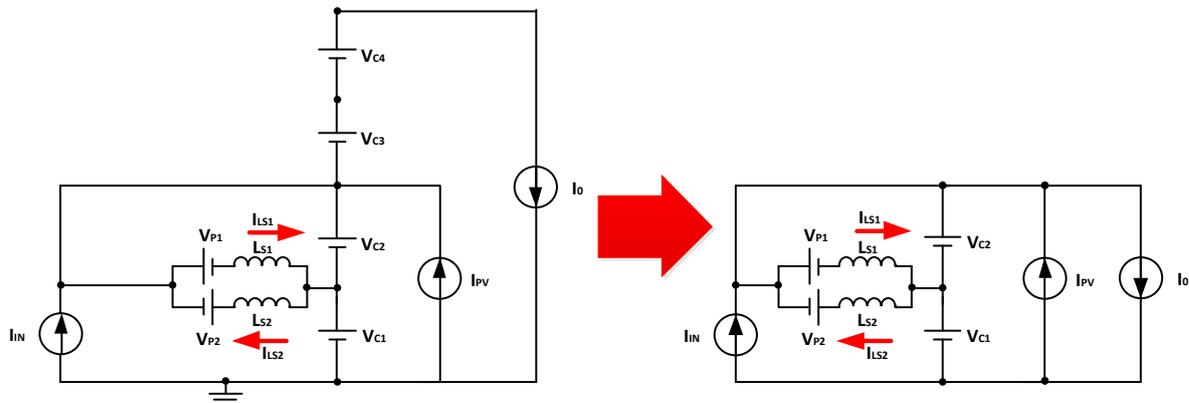


Figura 4.19 – Circuito Equivalente da Quarta Etapa de Operação ($D < 50\%$).

Nesta etapa, os interruptores de potência S1 e S3 encontram-se conduzindo e o diodo D2 está polarizado diretamente. Os sentidos das correntes permanecem os mesmos da etapa anterior. A análise do circuito da etapa faz com que se chegue às seguintes expressões:

$$V_{C1} - V_{LS2} - V_{P2} = 0 \quad (4.76)$$

$$V_{P1} + V_{LS1} = -V_{P2} - V_{LS2} \quad (4.77)$$

Desenvolvendo-se as equações (4.76) e (4.77) chega-se às seguintes expressões para as correntes nos indutores de dispersão:

$$I_{LS1}(t) = -I(0) + \left(\frac{V_{C2} - V_{P1}}{L_S} \right) \cdot t \quad (4.78)$$

$$I_{LS2}(t) = I(0) - \left(\frac{-V_{P2} - V_{C2}}{L_S} \right) \cdot t \quad (4.79)$$

$$(V_{P1} + V_{P2}).n = V_{C4} \quad (4.80)$$

Onde 'I(0)' é a condição inicial da etapa que, por sua vez, corresponde ao valor da corrente de pico na etapa anterior. Analisando as equações descritas logo acima, chegam-se às seguintes expressões para as tensões V_{LS} , V_{P1} e V_{P2} .

$$V_{LS} = -\frac{V_{C4}}{2.n} \quad (4.81)$$

$$V_{P1} = V_{C2} + \frac{V_{C4}}{2.n} \quad (4.82)$$

$$V_{P2} = -V_{C2} + \frac{V_{C4}}{2.n} \quad (4.83)$$

• **Sexta Etapa:**

A figura 4.20 mostra o circuito equivalente para a sexta etapa de operação.

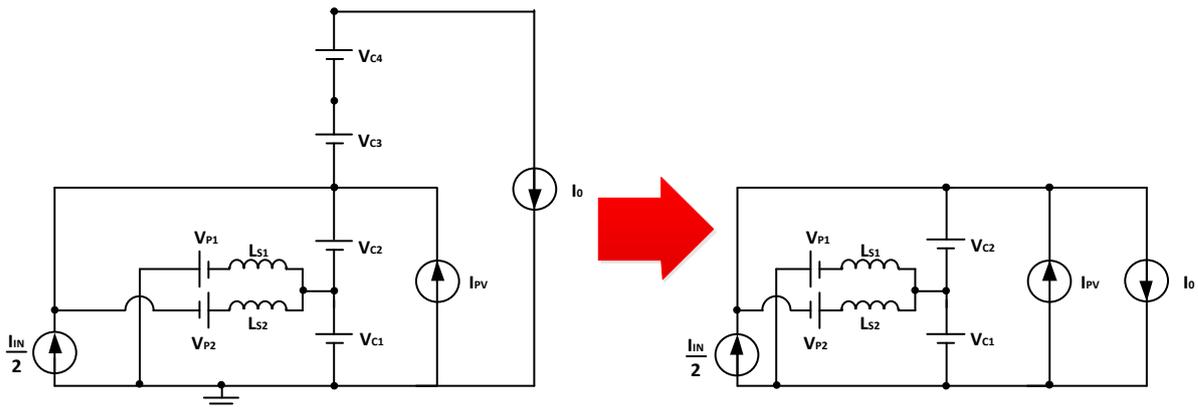


Figura 4.20 – Circuito Equivalente da Sexta Etapa de Operação ($D < 50\%$).

Nesta etapa, os interruptores de potência S2 e S3 encontram-se conduzindo e o diodo D1 está polarizado diretamente. Os sentidos das correntes se invertem novamente. A análise do circuito da etapa resulta nas seguintes equações:

$$V_{C2} - V_{LS2} - V_{P2} = 0 \quad (4.84)$$

$$V_{C1} - V_{LS1} - V_{P1} = 0 \quad (4.85)$$

$$(V_{P1} + V_{P2}).n = V_{C3} \quad (4.86)$$

Desenvolvendo as equações (4.84) e (4.85) chegam-se às seguintes expressões para as correntes nos indutores de dispersão:

$$I_{LS1}(t) = \left(\frac{V_{C2} - V_{P1}}{L_S} \right) t \quad (4.87)$$

$$I_{LS2}(t) = \left(\frac{V_{C1} - V_{P2}}{L_S} \right) t \quad (4.88)$$

Das análises das equações (4.84), (4.85) e (4.86) chega-se às seguintes expressões para a tensão em L_S e das tensões refletidas V_{P1} e V_{P2} .

$$V_{LS} = \frac{1}{2} \cdot \left(-\frac{V_{C3}}{n} + V_{C1} + V_{C2} \right) \quad (4.89)$$

$$V_{P1} = \frac{1}{2} \cdot \left(\frac{V_{C3}}{n} + V_{C1} + V_{C2} \right) \quad (4.90)$$

$$V_{P2} = \frac{1}{2} \cdot \left(\frac{V_{C3}}{n} + V_{C2} - V_{C1} \right) \quad (4.91)$$

4.8. GANHO ESTÁTICO DO CONVERSOR PARA 'D < 50%'

Assim como já descrito anteriormente, as tensões sobre os capacitores $C1$ e $C2$ são as mesmas mostradas em (4.36) e (4.37).

As tensões sobre os capacitores $C3$ e $C4$ continuam sendo iguais para essa região de operação. Os tempos das terceira e sexta etapas de operação podem ser obtidos diretamente da Figura (4.12), sendo então descritos como:

$$\Delta_{t3} = D.Ts \quad (4.92)$$

$$\Delta_{t6} = D.Ts \quad (4.93)$$

O tempo de duração da primeira etapa de operação é proveniente da equação da tensão em L_S , conforme já foi visto em (4.6). A equação (4.94) mostra o desenvolvimento desta expressão.

$$\Delta_{t1} = \frac{L_S \cdot [\Delta_{-6et}]}{V_{LS_1et}} = \frac{L_S \cdot \left[\left(\frac{V_{C1} - V_{P1_6et}}{L_S} \right) \cdot D \cdot Ts \right]}{\left(\frac{V_{C3}}{2 \cdot n} \right)} = \frac{L_S \cdot \left[\frac{V_{C1} - \left(\frac{1}{2} \cdot \left(\frac{V_{C3} + V_{C1} - V_{C2}}{n} \right) \right)}{L_S} \right] \cdot D \cdot Ts}{\left(\frac{V_{C3}}{2 \cdot n} \right)} \quad (4.94)$$

Simplificando (4.94) tem-se:

$$\Delta_{t1} = \frac{[D \cdot Ts \cdot (n \cdot V_{C1} - V_{C3} + n \cdot V_{C2})]}{V_{C3}} \quad (4.95)$$

O tempo de duração da segunda etapa é dado por:

$$\Delta_{t2} = \frac{Ts}{2} - D \cdot Ts - \Delta_{t1} \quad (4.96)$$

Substituindo (4.95) em (4.96) e simplificando, tem-se:

$$\Delta_{t2} = - \frac{[Ts \cdot (2 \cdot V_{C1} \cdot n \cdot D - V_{C3} + 2 \cdot V_{C2} \cdot n \cdot D)]}{2 \cdot V_{C3}} \quad (4.97)$$

Os tempos da quarta e quinta etapas são análogos aos da primeira e segunda, respectivamente, desta forma, tem-se que:

$$\Delta_{t4} = \Delta_{t1} = \frac{[D \cdot Ts \cdot (n \cdot V_{C1} - V_{C3} + n \cdot V_{C2})]}{V_{C3}} \quad (4.98)$$

$$\Delta_{t5} = \Delta_{t2} = - \frac{[Ts \cdot (2 \cdot V_{C1} \cdot n \cdot D - V_{C3} + 2 \cdot V_{C2} \cdot n \cdot D)]}{2 \cdot V_{C3}} \quad (4.99)$$

Tomando como base a equação das potências, chega-se na seguinte expressão:

$$V_{BAT} \cdot I_{IN} + V_{PV} \cdot I_{PV} = (V_{PV} + V_{C3} + V_{C4}) \cdot I_0 \quad (4.100)$$

Sabendo que:

$$V_{C3} = V_{C4}$$

Pode-se reescrever a equação (4.100) como:

$$V_{BAT} \cdot I_{IN} + V_{PV} \cdot I_{PV} = (V_{PV} + 2 \cdot V_{C4}) \cdot I_0 \quad (4.101)$$

Isolando o valor de V_{C4} tem-se:

$$V_{C4} = \frac{V_{BAT} \cdot I_{IN} + V_{PV} \cdot I_{PV} - I_0 \cdot V_{PV}}{2 \cdot I_0} \quad (4.102)$$

Sabendo que:

$$V_{PV} = V_{C1} + V_{C2} \quad (4.103)$$

Substituindo (4.36) e (4.37) em (4.103) e simplificando, chega-se à seguinte equação:

$$V_{PV} = \frac{V_{BAT}}{(1-D)} \quad (4.104)$$

Fazendo uma análise das correntes médias no circuito e observando a forma de onda da corrente nas chaves, chega-se à seguinte equação para a corrente de entrada:

$$I_{IN} = \frac{[I_0 \cdot (1 + 2 \cdot n) - I_{PV}] - 2 \cdot \beta}{(1-D)} \quad (4.105)$$

Onde β é dado por:

$$\beta = \frac{\Delta_{t1} \cdot \left[\frac{V_{C1} - V_{P1-6et}}{L_S} \right] \cdot D \cdot T_s}{2 \cdot T_s} \quad (4.106)$$

Substituindo (4.106) em (4.105) e simplificando, chega-se a:

$$I_{IN} = \frac{[I_0 \cdot (1 + 2 \cdot n) - I_{PV}] - \left[\frac{D^2 \cdot T_s \cdot (n \cdot V_{C1} - V_{C3} + n \cdot V_{C2})^2}{2 \cdot L_S \cdot V_{C3} \cdot n} \right]}{(1-D)} \quad (4.107)$$

De posse das equações (4.102) e (4.107) pode-se, finalmente, obter a equação da tensão no capacitor de saída C4, que é a mesma para C3.

$$V_{C4} = \frac{\left[2 \cdot I_0 \cdot n - \frac{D^2 \cdot T_s \cdot [V_{C3} \cdot (D-1) + n \cdot V_{C1}]^2}{2 \cdot L_S \cdot V_{C3} \cdot n \cdot (D-1)^2} \right] \cdot V_{C1}}{2 \cdot I_0 \cdot (1-D)} \quad (4.108)$$

A seguir é mostrado o sistema que determina as equações das tensões para todos os capacitores de saída da estrutura.

$$\left\{ \begin{array}{l} V_{C1} = V_{BAT} \\ V_{C2} = \frac{D \cdot V_{BAT}}{1-D} \\ V_{C3} = V_{C4} = \frac{\left[2 \cdot I_0 \cdot n - \frac{D^2 \cdot T_s \cdot [V_{C3} \cdot (D-1) + n \cdot V_{C1}]^2}{2 \cdot L_s \cdot V_{C3} \cdot n \cdot (D-1)^2} \right] \cdot V_{C1}}{2 \cdot I_0 \cdot (1-D)} \end{array} \right.$$

Substituindo as equações (4.36), (4.37) e (4.108) em (4.35) e calculando a razão entre a tensão de saída V_0 e a tensão de entrada V_{BAT} , chega-se à equação do ganho estático 'G', que é definida por:

$$G = \frac{V_0}{V_{BAT}} = \frac{1}{(1-D)} \cdot \left[\frac{2 \cdot n \cdot D^2}{D^2 + \alpha \cdot (1-D)} + 1 \right] \quad (4.109)$$

Onde ' α ' é a corrente de carga parametrizada, definida por:

$$\alpha = \frac{4 \cdot n \cdot I_0 \cdot L_s}{V_{BAT} \cdot T_s} \quad (4.110)$$

A seguir é mostrado o gráfico que ilustra o comportamento do ganho estático do conversor em função da razão cíclica para diferentes relações de transformação e em função da corrente de carga parametrizada (α) para diferentes razões cíclicas.

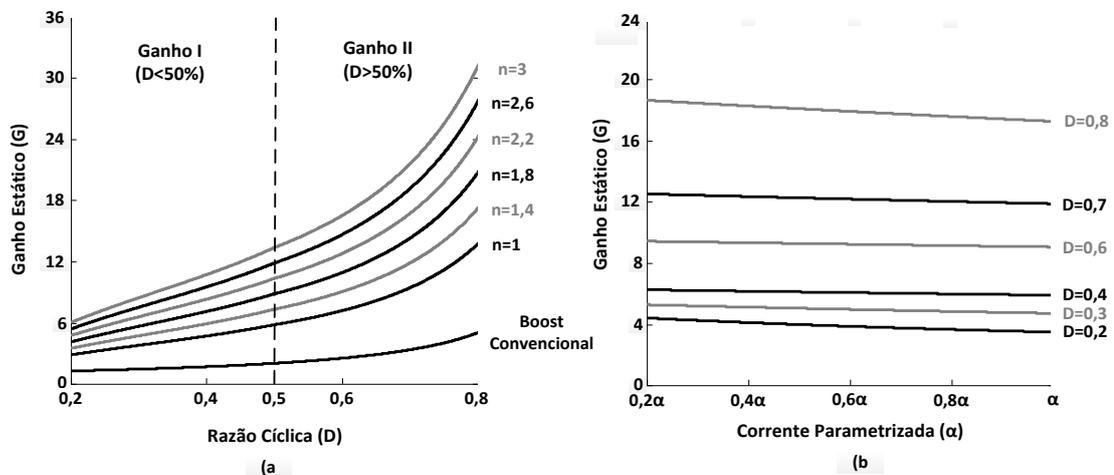


Figura 4.21 – a) Gráfico do Ganho Estático x Razão Cíclica Para as Duas Regiões de Operação
b) Ganho Estático x Corrente de Carga Parametrizada.

4.9. CONDIÇÃO DE COMUTAÇÃO SUAVE

Nesta seção, serão apresentadas as análises para o estudo das condições de comutação suave do conversor da topologia III. A Figura 4.22 mostra o circuito equivalente para a análise da condição de comutação. Para os cálculos dos tempos mínimos e máximos dos interruptores de potência superiores e inferiores, deve-se levar em consideração o efeito da dispersão do transformador e as capacitâncias das chaves no circuito equivalente.

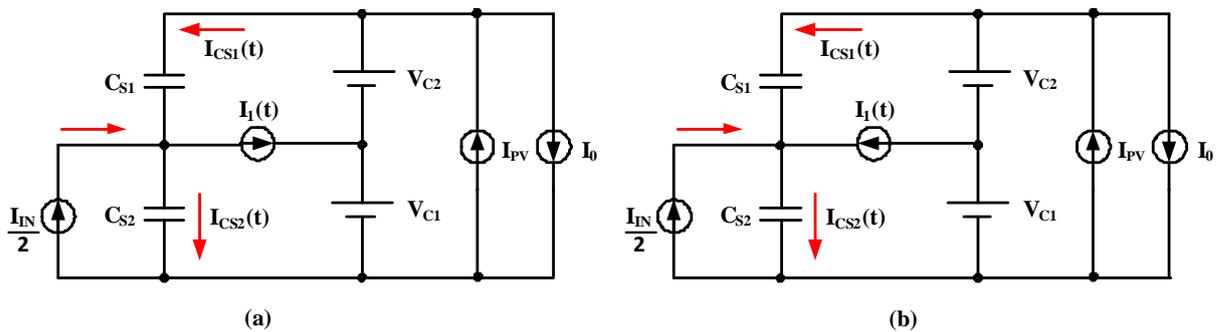


Figura 4.22 – Circuitos Equivalentes para Análises da Comutação Suave da Topologia III.

A Figura (4.22a) corresponde ao circuito equivalente no momento em que o interruptor de potência S1 é bloqueado, enquanto a Figura (4.22b) corresponde ao circuito equivalente no momento em que o interruptor de potência S2 é comandado a desligar. Desta forma, o equacionamento a seguir irá mostrar a análise completa para a determinação dos tempos mortos mínimos e máximos para ambos os interruptores de potência.

4.9.1. ANÁLISE DA COMUTAÇÃO SUAVE PARA AS CHAVES INFERIORES.

A análise da comutação para os interruptores de potência inferiores se dá mais especificamente em um estágio que ocorre entre a sexta e a primeira etapa de operação. Desta forma, deve-se levar em consideração os valores da corrente de pico na sexta etapa e o valor de V_{P1} da primeira etapa de operação. Analisando o circuito mostrado na Figura (4.22a) tem-se que:

$$I_{CS1}(t) = C_{S1} \frac{dV_{CS1}(t)}{dt} \quad (4.111)$$

$$I_{CS2}(t) = C_{S2} \frac{dV_{CS2}(t)}{dt} \quad (4.112)$$

$$I_{CS1}(t) + \frac{I_{IN}}{2} = I_{CS2}(t) + I_1(t) \quad (4.113)$$

$$V_{CS1}(t) + V_{CS2}(t) = V_{PV} \quad (4.114)$$

$$C_{S1} = C_{S2} = C_S = 430 \mu F$$

Substituindo (4.111) e (4.112) em (4.113) e isolando $V_{CS2}(t)$ chega-se à seguinte equação:

$$V_{CS2}(t) = \frac{1}{2.C_S} \cdot \left(\frac{I_{IN}}{2} \cdot t - \left[\frac{\alpha.D.T_s}{2.L_S.(D+\alpha)} \right] \cdot t + \frac{1}{2} \cdot \left[\frac{D.V_{PV}}{2.L_S.(D+\alpha)} \right] \cdot t^2 \right) + V_{PV} \quad (4.115)$$

A condição inicial desta etapa se dá quando a tensão na chave S2 é zero ($V_{CS2}(t) = 0$). Desta forma, aplicando a condição inicial na equação (4.115) e isolando o valor de 't', chega-se à equação que define o tempo morto mínimo para as chaves inferiores S2 e S4.

$$td_{MIN_S_{INF}} = - \frac{\frac{I_{IN}}{2} - \left[\frac{\alpha.D.T_s}{2.L_S.(D+\alpha)} \right] + \sqrt{\left(\frac{I_{IN}}{2} \right)^2 - 2 \cdot \frac{I_{IN}}{2} \cdot \left[\frac{\alpha.D.T_s}{2.L_S.(D+\alpha)} \right] + \left[\frac{\alpha.D.T_s}{2.L_S.(D+\alpha)} \right]^2 - 4.C_S.V_{PV} \cdot \left(\frac{D.V_{PV}}{2.L_S.(D+\alpha)} \right)}}{\frac{D.V_{PV}}{2.L_S.(D+\alpha)}} \quad (4.116)$$

A determinação do tempo de comutação suave máximo está diretamente ligada ao tempo em que a corrente na primeira etapa de operação leva para atingir zero. Desta forma, analisando as equações para a primeira etapa de operação, chega-se à seguinte equação para o tempo máximo:

$$td_{MAX_S_{INF}} = T_s \cdot \alpha - \frac{I_{IN} \cdot L_S \cdot (D+\alpha)}{D.V_{PV}} \quad (4.117)$$

A seguir são mostrados os gráficos dos tempos mortos mínimos e máximos para a comutação dos interruptores de potência inferiores S2 e S4 em função da corrente parametrizada ‘ α ’ para diferentes valores de razão cíclica.

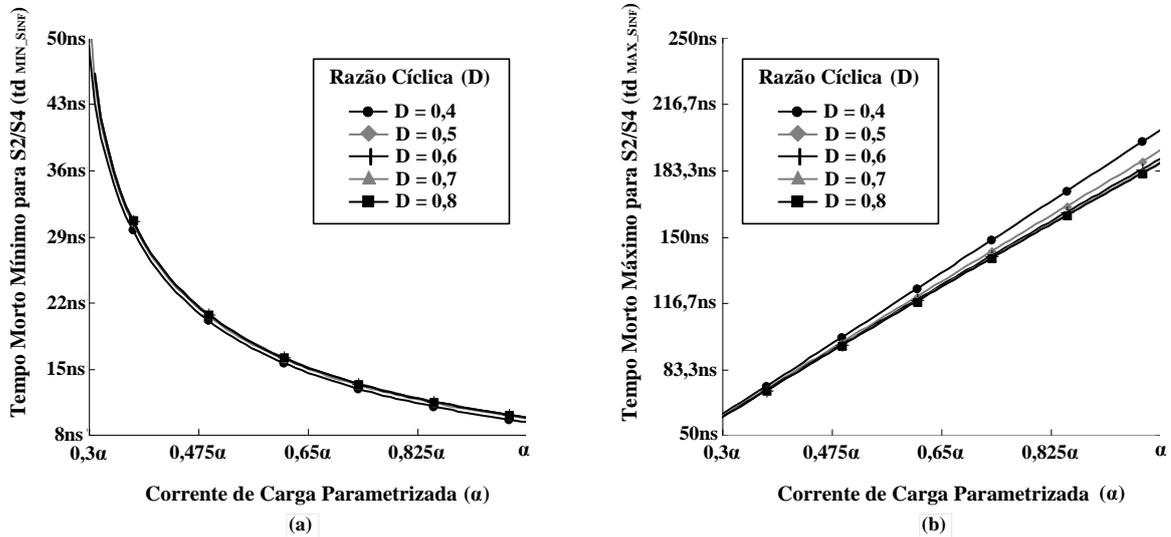


Figura 4.23 – (a) Tempo Morto Mínimo das chaves inferiores (b) Tempo Morto Máximo das chaves inferiores.

Conforme pode ser observado em ambos os gráficos mostrados na Figura (4.23), a variação da razão cíclica interfere muito pouco em relação à duração dos tempos de comutação.

4.9.2. ANÁLISE DA COMUTAÇÃO SUAVE PARA AS CHAVES SUPERIORES.

A análise da comutação para os interruptores de potência superiores é bem semelhante à análise feita anteriormente. Durante este período, a corrente inicial nas chaves superiores é nula. Conforme pode ser observado na Figura (4.22b), o sentido da corrente no transformador $I_1(t)$ se inverte. O sistema de equações é semelhante ao anterior, com exceção da equação (4.113) que é reescrita a seguir:

$$I_{CS1}(t) + \frac{I_{IN}}{2} = I_{CS2}(t) - I_1(t) \quad (4.118)$$

Desta forma, a equação que define a tensão sobre o capacitor Cs2 pode ser descrita como:

$$V_{CS2}(t) = \frac{1}{2.C_S} \cdot \left(\frac{I_{IN}}{2} \cdot t \right) \quad (4.119)$$

Para esta análise, a condição inicial necessária para a comutação se dá quando a tensão sobre o capacitor $Cs2$ é igual à tensão V_{PV} ($V_{Cs2}(t) = V_{PV}$). Desta forma, isolando o valor de 't' da equação (4.119) e aplicando a condição inicial da etapa, chega-se à equação para a determinação do tempo morto mínimo para que haja comutação suave.

$$td_{MIN_S_{SUP}} = \frac{8.Cs.V_{PV}}{I_{IN}} \quad (4.120)$$

O tempo morto máximo para a comutação das chaves superiores ocorre quando a corrente que circula pelos interruptores de potência S1 ou S3 chega a zero. Sendo, então, necessário analisar a equação da corrente durante esta etapa, que é dada por:

$$-\frac{I_{IN}}{2} + \left(\frac{V_{IN} - \frac{1}{2} \cdot \left(\frac{V_{c4}}{n} - V_{c2} + V_{c1} \right)}{L_S} \right) t = 0 \quad (4.121)$$

Isolando o valor de 't' e desenvolvendo a equação, chega-se à seguinte expressão:

$$td_{MAX_S_{SUP}} = \frac{\left[Ts.V_{IN} \cdot (D-1) \cdot (\alpha - D + 1) \right] \cdot \left[\frac{Ts.V_{IN} \cdot \alpha - 4.I_{PV} \cdot L_S \cdot n + 2.Ts.V_{IN} \cdot n \cdot \alpha}{4.n \cdot (D-1)} + \frac{Ts.V_{IN} \cdot \alpha^2}{2.D \cdot (D + \alpha)} \right]}{V_{IN}^2 \cdot Ts \cdot \alpha} \quad (4.122)$$

A seguir são mostrados os gráficos dos tempos mortos mínimos e máximos para a comutação dos interruptores de potência superiores S1 e S3 em função da corrente parametrizada 'α' para diferentes valores de razão cíclica.

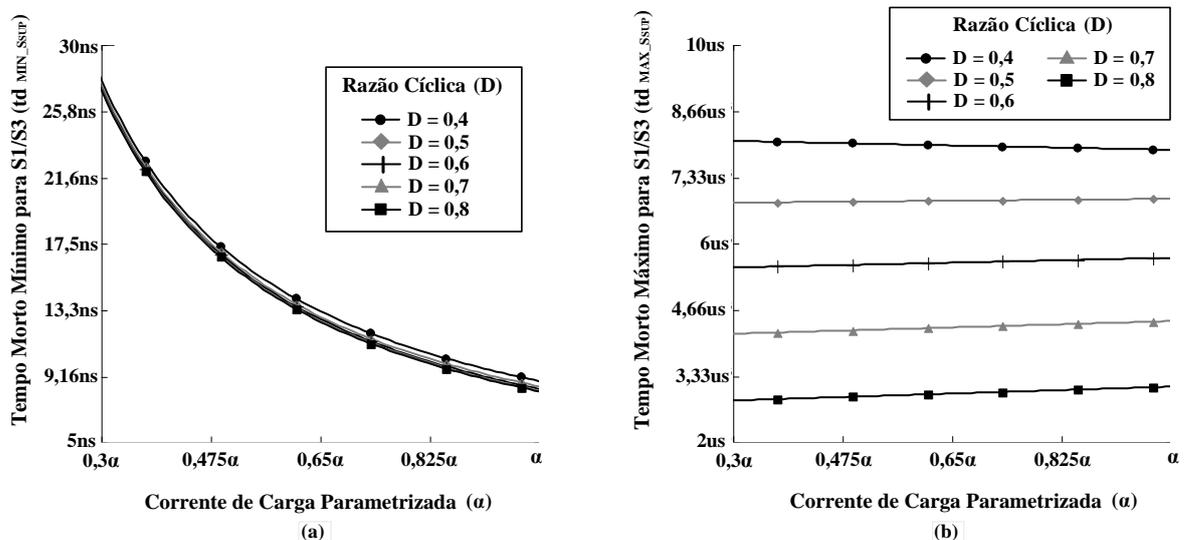


Figura 4.24 –(a) Tempo Morto Mínimo das chaves superiores (b) Tempo Morto Máximo das chaves superiores.

O gráfico da Figura (4.25) mostra a faixa entre os tempos mortos mínimos e máximos de ambos os interruptores de potência variando-se a carga e mantendo a condição da razão cíclica nominal.

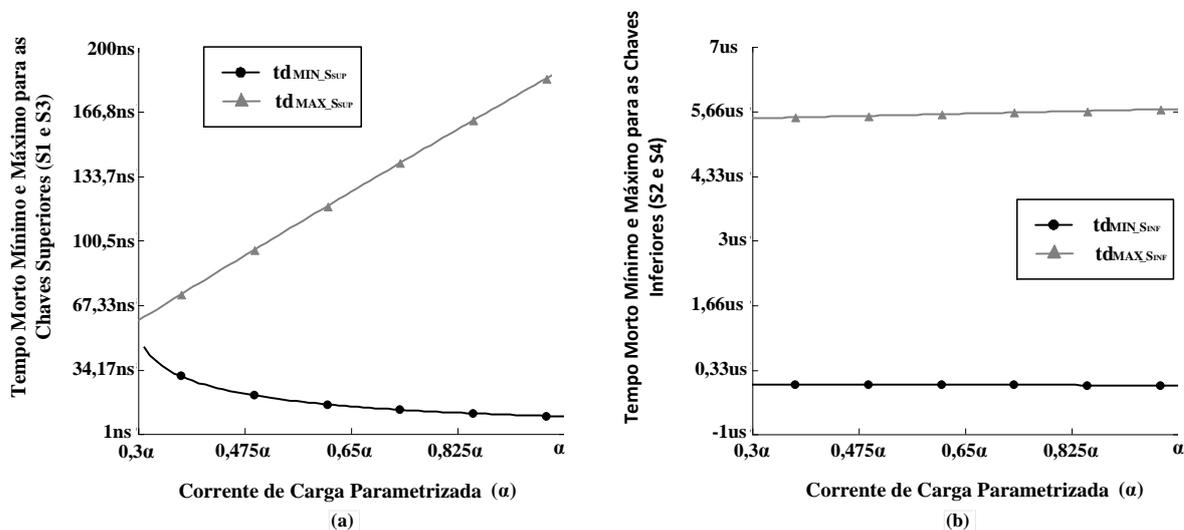


Figura 4.25 – Tempos Mortos Mínimos e Máximos das chaves Superiores e Inferiores.

4.10. PROCEDIMENTO DE PROJETO PARA TOPOLOGIA III.

A seguir serão descritos os procedimentos para o dimensionamento correto do conversor da topologia III. Todos os cálculos de projeto e as especificações deste conversor são mostrados a seguir:

- Frequência de Chaveamento $\rightarrow f_s = 50\text{kHz}$
- Tensão de Entrada $\rightarrow V_{IN} = 24\text{V}$
- Tensão de Saída $\rightarrow V_0 = 200\text{V}$
- Razão Cíclica Nominal $\rightarrow D = 0,6$
- Potência de Saída $\rightarrow P_0 = 500\text{W}$
- Resistencia de Carga $\rightarrow R_0 = 80\Omega$
- Ondulação da Corrente de Entrada $\rightarrow \Delta I_{IN} = 7\%$
- Ondulação da Tensão de Saída $\rightarrow \Delta V_0 = 1\%$

4.10.1. PROJETO DO INDUTOR DE ENTRADA (L_{IN}).

Para o projeto do indutor de entrada da topologia III, adotaram-se os seguintes valores para as variáveis de entrada:

- Densidade de Corrente nos condutores → $J = 400\text{A}/\text{cm}^2$
- Densidade de Fluxo Magnético → $B = 0,3\text{T}$
- Fator de Ocupação da Janela → $K_u = 0,7$
- Permeabilidade Magnética do ar → $\mu_0 = 4.\pi.10^{-7}$

O cálculo do valor da indutância de entrada é dado por:

$$L_{IN} = \frac{V_{IN} \cdot D}{f_s \cdot \Delta I_{IN}} \cong 100\mu\text{H} \quad (4.123)$$

A corrente de entrada é dada por:

$$I_{IN} = \frac{P_{IN}}{V_{IN}} \cong 21\text{A} \quad (4.124)$$

Para efeito de projeto, considera-se que a corrente de entrada máxima corresponde a 10% a mais que o valor nominal e a corrente mínima 10% menos, ou seja:

$$\begin{cases} I_{IN_MAX} = 1,1 \cdot I_{IN} \cong 23\text{A} \\ I_{IN_MIN} = 0,9 \cdot I_{IN} \cong 18,7\text{A} \end{cases}$$

Segundo [63] a equação que define o produto das áreas do núcleo magnético ($A_e A_w$) para a confecção do indutor é dado por:

$$A_e A_w = \frac{L_{IN} \cdot I_{IN_MAX} \cdot I_{IN}}{K_u \cdot J \cdot B} \cong 5,7 \quad (4.125)$$

Com base no valor dado pela expressão (4.125), adotou-se um núcleo comercial de ferrite **NEE 55/28/21** da Thornton, cujos valores de referência estão listados a seguir:

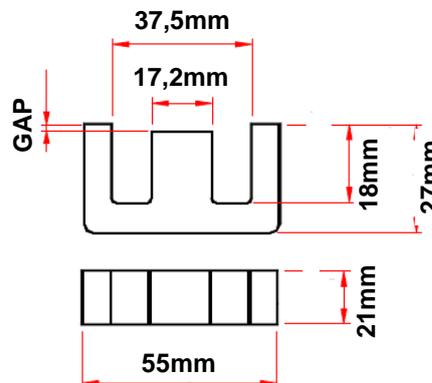


Figura 4.26 – Dimensões do Núcleo NEE 55/28/21.

$$\begin{cases} A_e = 3,6cm^2 \\ A_w = 3,7cm^2 \\ A_e A_w = 13,6cm^4 \\ V_E = 40,5cm^3 (\text{volume do núcleo}) \end{cases}$$

O número de espiras do indutor de entrada é dado por:

$$N_{L_{IN}} = \frac{L_{IN} \cdot I_{IN_MAX}}{A_e \cdot B} \cdot 10^4 \cong 22 \text{ espiras} \quad (4.126)$$

A seção do condutor a ser utilizado no enrolamento é dada por:

$$S_{L_{IN}} = \frac{I_{IN}}{J} = 0,052cm^2 \quad (4.127)$$

O fio escolhido para a implementação física foi o **AWG 27** que possui as seguintes seções:

$$\begin{cases} S_f = 0,001021cm^2 (\text{área do fio sem isolamento}) \\ S_{f_isol} = 0,001344cm^2 (\text{área do fio com isolamento}) \end{cases}$$

Assim, o número de fios em paralelo pode ser calculado por:

$$N_{L_{IN_Paralelo}} = \frac{S_{L_{IN}}}{S_f} \cong 52 \quad (4.128)$$

O fator de ocupação teórico é dado por [13]:

$$K_u = \frac{N_{L_{IN}} \cdot N_{L_{IN_Paralelo}} \cdot S_{f_isol}}{A_w} \cong 0,4 \quad (4.129)$$

Como o fator de ocupação teórico foi menor que o valor estipulado em projeto, conclui-se então que o indutor pode ser implementado.

O valor do entreferro é dado por [13]:

$$l_g = \frac{\mu_0 \cdot A_e \cdot (N_{L_{IN}})^2}{L_{IN}} \cdot 10^{-2} \cong 0,21cm \quad (4.130)$$

A tabela 4.1 mostra as principais características do indutor de entrada.

Tabela 4.1 – Parâmetros do Indutor de Entrada (L_{IN})

Indutância de Entrada	L_{IN} = 100uH
Número de Espiras	N_{LIN} = 22
Núcleo	NEE55/28/21
Fio	AWG27
Número de fios em paralelo	N_{LIN_PARALELO} = 52
Entreferro	l_g = 0, 21 cm

4.10.2. PROJETO DO AUTOTRANSFORMADOR DA CÉLULA DE COMUTAÇÃO DE TRÊS ESTADOS (T₁-T₂).

Para o projeto do autotransformador levou-se em consideração as seguintes especificações:

- Densidade de Corrente nos condutores → $J = 400\text{A/cm}^2$
- Densidade de Fluxo Magnético → $B = 0,3\text{T}$
- Fator de Ocupação da Janela → $K_u = 0,4$
- Fator de Ocupação do primário → $K_p = 0,41$

O produto das áreas é definido por:

$$A_e A_w = \frac{(P_0/2)}{K_p \cdot K_u \cdot J \cdot B \cdot (2 \cdot f \cdot s)} \cong 1,27 \quad (4.131)$$

Com base no valor dado pela expressão (4.131), adotou-se um núcleo comercial de ferrite **NEE 42/21/15** da Thornton, cujos valores de referência são listados a seguir:

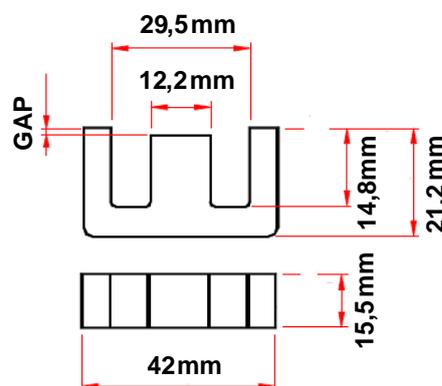


Figura 4.27 – Dimensões do Núcleo NEE 42/21/15.

$$\begin{cases} A_e = 1,81\text{cm}^2 \\ A_w = 1,57\text{cm}^2 \\ A_e A_w = 2,84\text{cm}^4 \\ V_E = 17,6\text{cm}^3 \text{ (volume do núcleo)} \end{cases}$$

O número de espiras do lado primário é exatamente o mesmo do lado secundário, pois a relação de transformação para esse magnético é de 1:1. Assim, a equação para a determinação do número de espiras para cada enrolamento é dada por:

$$N_p = N_s = \frac{(V_0/2)}{4.B.A_e.(2.fs)}.10^4 \cong 5 \text{ espiras} \quad (4.132)$$

A seção do condutor a ser utilizado no enrolamento é dada por:

$$S_{\text{Autotrafo}} = \frac{(I_{IN}/2)}{J} = 0,029 \text{ cm}^2 \quad (4.133)$$

O fio escolhido para a implementação física foi o **AWG 27** que possui as seguintes seções:

$$\begin{cases} S_f = 0,001021 \text{ cm}^2 \text{ (área do fio sem isolamento)} \\ S_{f_isol} = 0,001344 \text{ cm}^2 \text{ (área do fio com isolamento)} \end{cases}$$

Assim, o número de fios em paralelo para cada enrolamento pode ser calculado por:

$$N_{P_Paralelo} = N_{S_Paralelo} = \frac{S_{\text{Autotrafo}}}{S_f} \cong 29 \quad (4.134)$$

O fator de ocupação teórico é dado por [13]:

$$K_{u_Autotrafo} = 2 \cdot \frac{N_{P_Paralelo} \cdot N_p \cdot S_{f_isol}}{A_w} \cong 0,22 \quad (4.135)$$

Como o fator de ocupação teórico foi menor que o valor estipulado em projeto, conclui-se que o indutor pode ser implementado.

A tabela 4.2 mostra as principais características do autotransformador.

Tabela 4.2 – Parâmetros do Autotransformador (T1-T2)

Número de Espiras do Primário	N_p = 5 espiras
Número de Espiras do Secundário	N_s = 5 espiras
Núcleo	NEE42/21/15
Fio	AWG27
Número de Fios em Paralelo no Primário	N_{p_PARALELO} = 29
Número de Fios em Paralelo no Secundário	N_{s_PARALELO} = 29

4.10.3. PROJETO DO TRANSFORMADOR (T_{R1}-T_{R2}).

Para o projeto do transformador levou-se em consideração as seguintes especificações:

- Densidade de Corrente nos condutores → $J = 400 \text{ A/cm}^2$
- Densidade de Fluxo Magnético → $B = 0,1 \text{ T}$
- Fator de Ocupação da Janela → $K_u = 0,4$

A corrente eficaz que circula pelos enrolamentos primários transformadores Tr1 e Tr2 tem valor próximo de 10A. Desta forma, tem-se a seguinte relação:

$$\begin{cases} I_{EF_PRI} = 10A \\ I_{EF_SEC} = \frac{I_{EF_PRI}}{n} = 8,7A \end{cases}$$

Onde a relação de transformação 'n' é de (1:1,14) em cada transformador.

O produto das áreas do núcleo magnético ($A_e A_w$) para a confecção do transformador tem a seguinte equação [13]:

$$A_e A_w = \frac{D.V_{IN}.I_{EF_PRI}.10^4}{2.B.J.K_u.fs} + \frac{n.D.V_{IN}.I_{EF_SEC}.10^4}{2.B.J.K_u.fs} \cong 1,8 \quad (4.136)$$

Com base no valor dado pela expressão (4.136), adotou-se um núcleo comercial de ferrite **NEE 42/21/15** da Thornton, cujos valores de referência já foram listados anteriormente.

O número de espiras do lado primário pode ser calculado segundo [63] através da equação (4.137).

$$N_p = \frac{D.V_{IN}}{2.B.A_e.fs}.10^4 \cong 8 \text{ espiras} \quad (4.137)$$

O número de espiras para o lado secundário tem uma relação direta com o primário, desta forma, levando-se em consideração que a relação de transformação entre o primário e o secundário é de (1:1,14), tem-se que:

$$N_s = n.N_p = 1,14.N_p \cong 10 \text{ espiras} \quad (4.138)$$

Desta forma, para se determinar o produto das áreas do núcleo magnético ($A_e A_w$) para a confecção do transformador deve-se levar em consideração os dois enrolamentos, sendo então calculado por [13]:

$$A_e A_w = \frac{D.V_{IN}.I_{EF_PRI}.10^4}{2.B.J.K_u.fs} + \frac{n.D.V_{IN}.I_{EF_SEC}.10^4}{2.B.J.K_u.fs} \cong 2,8 \quad (4.139)$$

A seção do condutor a ser utilizado no enrolamento é dada por:

$$S_{T_R_PRI} = \frac{I_{EF_PRI}}{J} = 0,025 \text{ cm}^2 \quad (4.140)$$

$$S_{T_R_SEC} = \frac{I_{EF_SEC}}{J} = 0,022 \text{ cm}^2 \quad (4.141)$$

O fio escolhido para a implementação foi o **AWG 27** que possui as seguintes seções:

$$\begin{cases} S_f = 0,001021 \text{ cm}^2 \text{ (área do fio sem isolamento)} \\ S_{f_isol} = 0,001344 \text{ cm}^2 \text{ (área do fio com isolamento)} \end{cases}$$

Assim, o número de fios em paralelo pode ser calculado por:

$$N_{P_Paralelo} = \frac{S_{T_R-PRI}}{S_f} \cong 25 \quad (4.142)$$

$$N_{S_Paralelo} = \frac{S_{T_R-SEC}}{S_f} \cong 22 \quad (4.143)$$

O fator de ocupação teórico é dado por [13]:

$$K_{u_Tr} = \frac{N_{P_Paralelo} \cdot N_P \cdot S_{f_isol}}{A_w} + \frac{N_{S_Paralelo} \cdot N_S \cdot S_{f_isol}}{A_w} \cong 0,34 \quad (4.144)$$

Como o fator de ocupação teórico foi menor que o valor estipulado em projeto, conclui-se que o indutor pode ser implementado.

A tabela 4.3 mostra as principais características dos transformadores T_{r1} e T_{r2} .

Tabela 4.3 – Parâmetros dos transformadores (T_{r1} - T_{r2})

Número de Espiras do Primário	$N_P = 8$ espiras
Número de Espiras do Secundário	$N_S = 10$ espiras
Núcleo	NEE42/21/15
Fio	AWG27
Número de Fios em Paralelo no Primário	$N_{P_PARALELO} = 25$
Número de Fios em Paralelo no Secundário	$N_{S_PARALELO} = 22$

4.10.4. DIMENSIONAMENTO DOS DIODOS RETIFICADORES D1-D2.

O dimensionamento dos diodos D1 e D2 foram feitos com base nos valores das tensões e correntes médias e eficazes em cada um destes. A Figura (4.28) mostra as formas de ondas de corrente e tensão nos respectivos elementos.

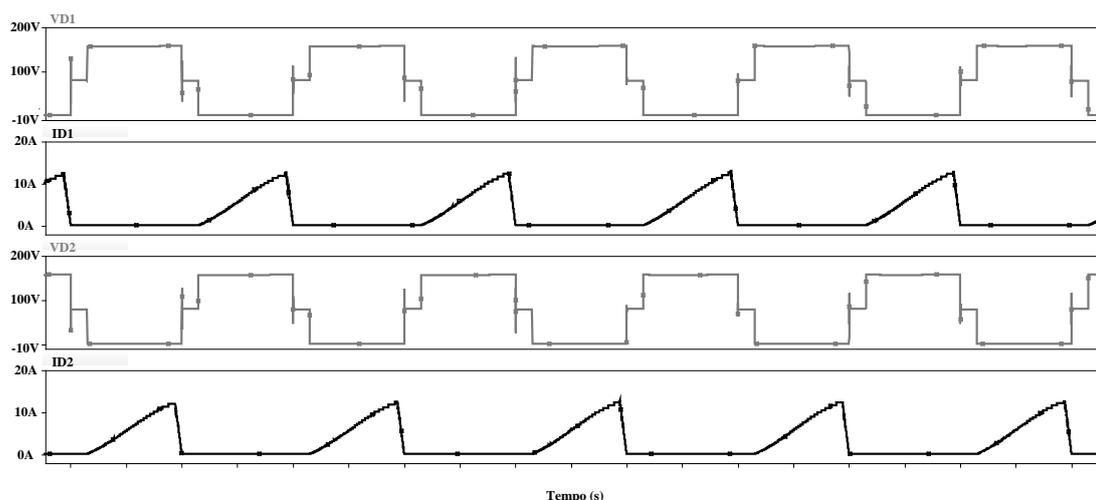


Figura 4.28 – Tensão e Corrente em D1 e D2.

Calculando as correntes médias e eficaz nos diodos retificadores, chega-se aos seguintes valores:

$$\begin{cases} I_{EF_D1} = 4,7 A \\ I_{MED_D1} = 2,6 A \\ I_{EF_D2} = 4,7 A \\ I_{MED_D2} = 2,6 A \end{cases}$$

Conforme pode ser observado na Figura (2.25) a máxima tensão sobre os diodos não ultrapassa 200V. Desta forma, optou-se por utilizar o diodo Schotty **MBR20200** cujas principais características são tensão máxima de 200V e corrente máxima de 10A por perna e 20A por dispositivo.

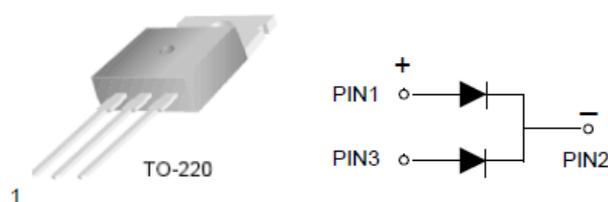


Figura 4.29 – Diagrama do Diodo Schotty MBR20200.

4.10.5. DIMENSIONAMENTO DOS INTERRUPTORES DE POTÊNCIA S1 À S4.

Para o dimensionamento de todos os interruptores de potência da estrutura III, foram analisadas as formas de ondas e os valores das tensões e correntes médias, eficazes e de pico para cada chave. A Figura 4.30 mostra as correntes e tensões em um ramo do conversor. Como o outro ramo possui as mesmas características do anterior, com a diferença de que está defasado em 180°, a análise é a mesma.

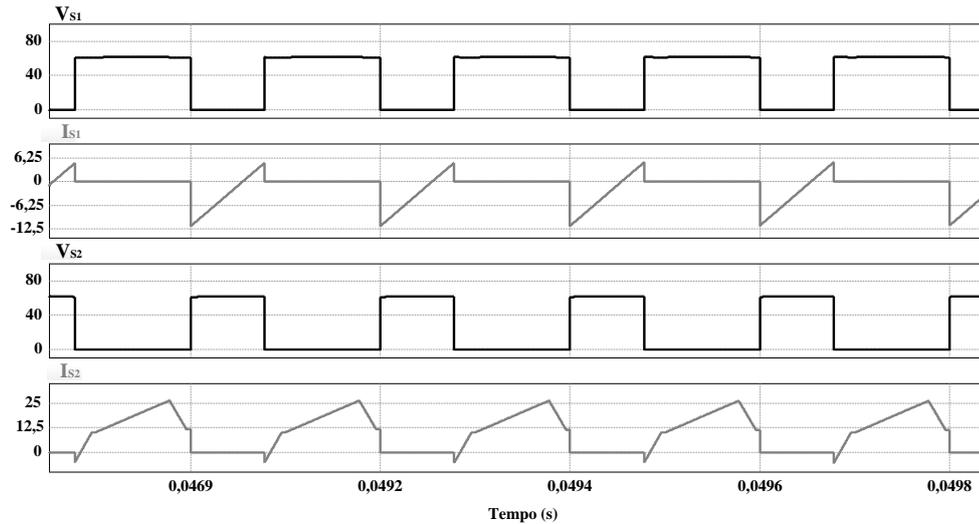


Figura 4.30 – Tensão e Corrente em S1 e S2.

A seguir são mostrados os valores médios e eficazes das correntes dos interruptores de potência S1 e S2. Percebe-se que a tensão em ambas as chaves não ultrapassa 80V.

$$\begin{cases} I_{EF_S1} = 3,7A \\ I_{MED_S1} = -1,3A \\ I_{EF_S2} = 13,5A \\ I_{MED_S2} = 9,7A \end{cases}$$

Tendo em vista os valores mostrados acima, adotou-se como interruptor de potência o MOSFET **IRF4710**, cujas principais características podem ser vistas na Figura (4.31).

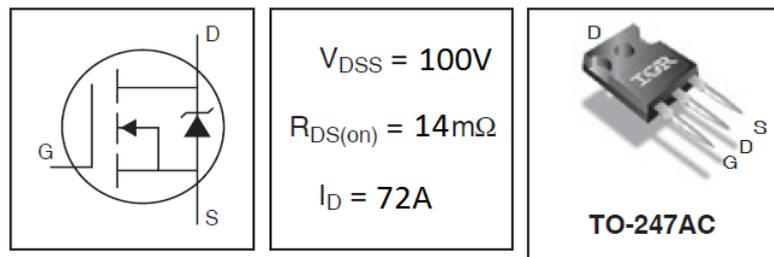


Figura 4.31 – Diagrama do MOSFET IRF4710.

Um importante fator a ser comentado sobre essa chave é o valor de sua capacitância, já que esse dado é de suma importância para o cálculo das condições de comutação do conversor. Desta forma tem-se que:

$$C_{S1} = C_{S2} = C_S = 430 \cdot 10^{-12} F$$

4.10.6. DIMENSIONAMENTO DOS CAPACITORES DE SAÍDA C1-C2-C3-C4.

Para o correto dimensionamento dos capacitores de saída deve-se levar em consideração basicamente dois fatores, a tensão sobre o capacitor e a corrente eficaz que passa pelo componente. O cálculo das tensões dos capacitores já foi realizado anteriormente e depende da razão cíclica. Para a condição de carga nominal, tem-se que as tensões nos capacitores de saída tem os seguintes valores:

$$\begin{cases} V_{C1} = 24V \\ V_{C2} = 32V \\ V_{C3} = V_{C4} = 72V \end{cases}$$

Os valores correspondentes às correntes eficazes em todos os capacitores de saída são mostrados a seguir:

$$\begin{cases} I_{EF_C1} = 5,6A \\ I_{EF_C2} = 5,6A \\ I_{EF_C3} = 4A \\ I_{EF_C4} = 4A \end{cases}$$

Admitindo uma variação de 1% na tensão e 10% na corrente que circulará no capacitor, pode-se calcular o valor da capacitância através da equação (4.145).

$$C_X = \frac{D \cdot I_{EF_CX}}{fs \cdot \Delta V_{CX}} \quad (4.145)$$

Desta forma, substituindo os valores acima mostrados em (4.145) chega-se a um valor de capacitância que satisfaz ao requisito desejado. Por motivo de disponibilidade e por atender as necessidades do projeto, adotou-se os seguintes capacitores:

$$C1 = C2 = C3 = C4 = 100\mu F / 400V$$

4.11. CONSIDERAÇÕES FINAIS

Neste capítulo foi apresentado o conversor *boost* de alto ganho para a topologia III que será conectado ao banco de baterias e ao painel fotovoltaico. O conversor teve sua topologia, etapas de operação, formas de ondas teóricas e funcionamento analisados.

Esta topologia fez uso da célula de comutação de três estados, que permite que a corrente de entrada do conversor se divida pela metade através dos enrolamentos da célula, além do

fato desta operar com o dobro da frequência de chaveamento, fazendo com que o peso e volume do elemento magnético seja reduzido.

Apesar da estrutura possuir uma maior quantidade de interruptores de potência e mais magnéticos associados, espera-se uma maior eficiência se comparada com as topologias anteriores, já que todas as chaves operam com comutação suave e os esforços de corrente são reduzidos devido ao uso da célula de comutação.

CAPÍTULO 5

RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS

5.1. CONSIDERAÇÕES INICIAIS

Neste capítulo serão apresentados os resultados de simulação e experimentais referentes aos conversores apresentados nos capítulos 2, 3 e 4, separadamente, englobando seu comportamento dinâmico.

Os resultados de simulação dos conversores foram obtidos através da utilização do *software* PSIMTM, versão 9.0. Os parâmetros utilizados na simulação são os mesmos do sistema real, sendo esses calculados segundo as equações apresentadas no decorrer dos capítulos 2, 3 e 4.

Os resultados de simulação e experimentais coletados procuram mostrar as principais formas de onda dos conversores a fim de compará-los com a abordagem teórica apresentada nos capítulos anteriores e, assim, comprovar a efetividade do sistema.

Por fim, será realizado o levantamento da curva de rendimento dos conversores, concluindo, desta forma, a análise experimental do sistema.

5.2. RESULTADOS PARA A TOPOLOGIA I

A Figura 5.1 apresenta novamente o circuito do conversor *boost* de alto ganho proposto na topologia I. A Tabela 5.1 lista os principais parâmetros do sistema. Esses mesmos parâmetros foram utilizados na simulação.

Tabela 5.1 – Parâmetros do Conversor da Topologia I

Frequencia de Chaveamento	$f_s = 50 \text{ kHz}$
Tensão de Entrada	$V_{IN} = 24\text{V}$
Tensão de Saída	$V_{OUT} = 200\text{V}$
Potência	$P_0 = 500\text{W}$
Resistencia de Carga	$R_0 = 80\Omega$
Indutor de Entrada	$L_{IN} = 120\mu\text{H}$
Capacitores de Saída	$C1, C2, C3 \text{ e } C4 = 680\mu\text{F}$
Indutor de Dispersão	$L_K = 1,5\mu\text{H}$
Relação de Transformação (n)	$(1 : 3)$

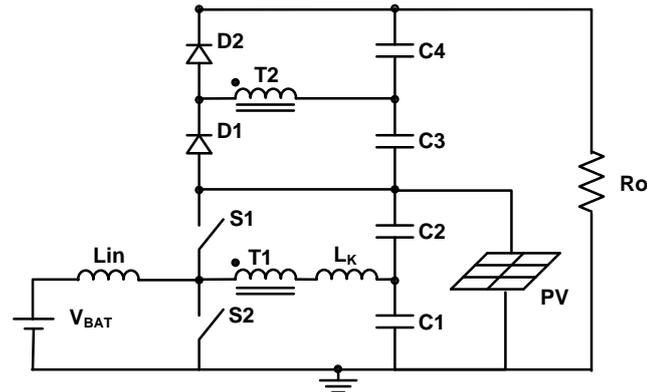


Figura 5. 1 – Topologia I

Logo a seguir serão apresentados os resultados de simulação para a topologia I, seguido posteriormente pelos resultados experimentais do protótipo desenvolvido.

5.2.1. RESULTADOS DE SIMULAÇÃO DA TOPOLOGIA I

A Figura 5.2 apresenta as formas de onda de tensão e corrente da bateria durante alguns ciclos de chaveamento. A partir dessa figura, pode-se concluir que a potência média de entrada está em torno de 500W.

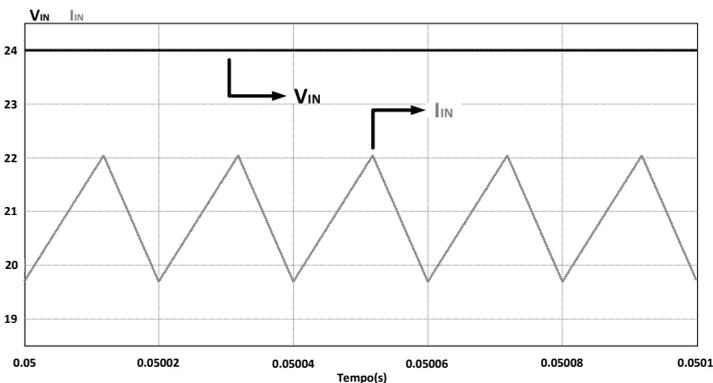


Figura 5. 2 – Tensão e Corrente na Bateria.

A Figura 5.3 mostra forma de onda da corrente que circula através do indutor de dispersão L_K e a forma de onda da tensão nos diodos D1 e D2.

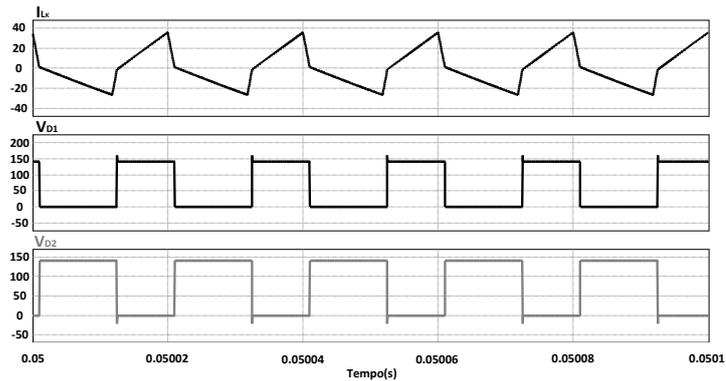


Figura 5.3 – Corrente em L_K e Tensões em D1 e D2.

A Figura 5.4 mostra a forma de onda da tensão sobre o arranjo série formada pelo indutor de dispersão L_K e o enrolamento primário do transformador T1. São mostradas também as tensões sobre os capacitores de saída C1, C2, C3 e C4 respectivamente, onde pode ser observado que a somatória destas tensões resultam no valor da tensão de saída total do circuito.

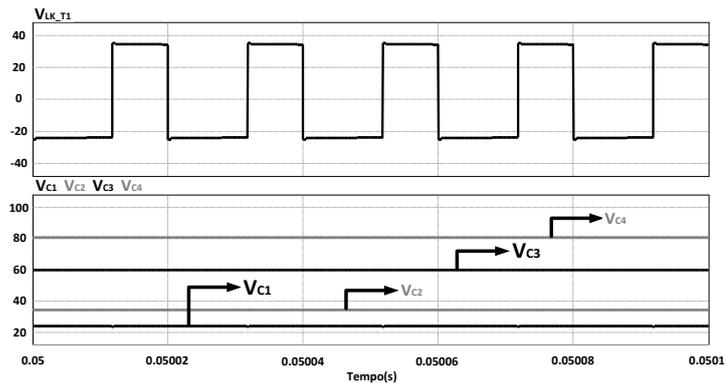


Figura 5.4 – Corrente em $(L_K + T1)$ e Tensões em C1, C2, C3 e C4.

A Figura 5.5 mostra a forma de onda da corrente pelos interruptores de potência, onde pode ser observadas que em, simulação, ambas as chaves S1 e S2 operam com comutação suave.

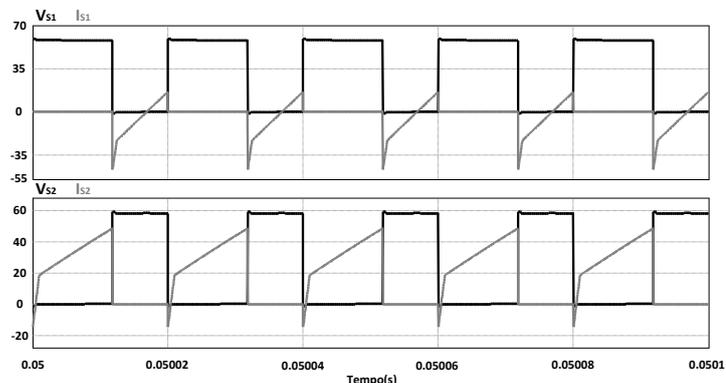


Figura 5.5 – Tensão e Corrente em S1 e S2.

Logo a seguir, é mostrada na Figura 5.6 as formas de ondas da tensão e corrente na carga para a potência nominal.

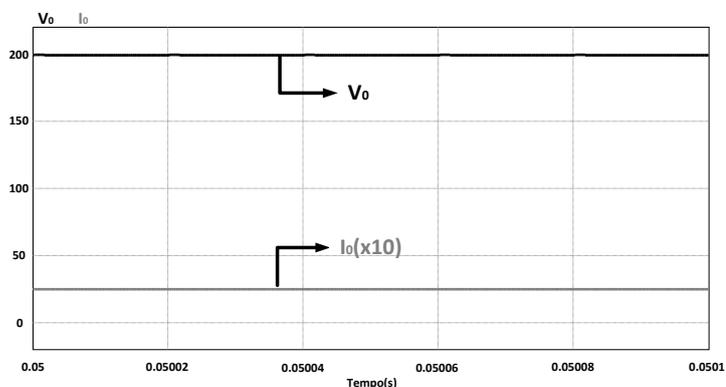


Figura 5.6 – Tensão e Corrente (x10) em S1 e S2.

A Figura 5.7 mostra o comportamento dinâmico da estrutura I, na qual fica evidente o caráter bidirecional entre as fontes de entradas (banco de baterias e painel fotovoltaico). A figura mostra o comportamento das correntes na bateria, no painel e de saída e das tensões sobre o painel e na saída perante um degrau de corrente e de carga. Aplicou-se um degrau de corrente emulando a entrada do painel fotovoltaico em 45ms, fazendo com que este assumira praticamente toda a carga e carregue o banco de baterias, uma vez que o sentido da corrente se inverte. Em aproximadamente 65ms é aplicado um degrau de carga de 50%, apesar de aceitável, ocorre uma perda na regulação da tensão de saída.

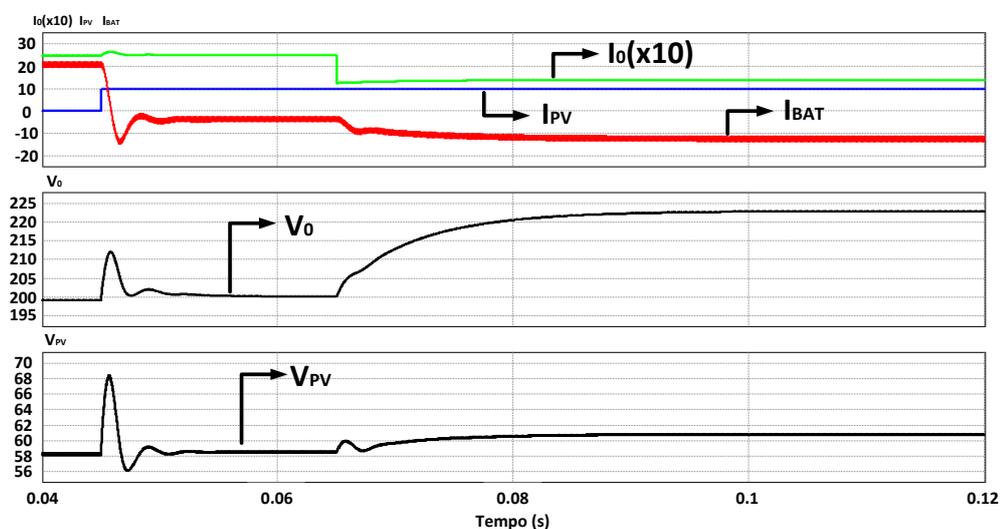


Figura 5.7- Comportamento Dinâmico do Conversor da Topologia I.

5.2.2. RESULTADOS EXPERIMENTAIS DA TOPOLOGIA I

A seguir serão mostradas as formas de ondas experimentais do protótipo montado para a topologia I. A Figura 5.8 a) mostra a forma de onda da tensão e corrente de entrada na bateria e em b) tensão e corrente na carga para a potência nominal de 500W.

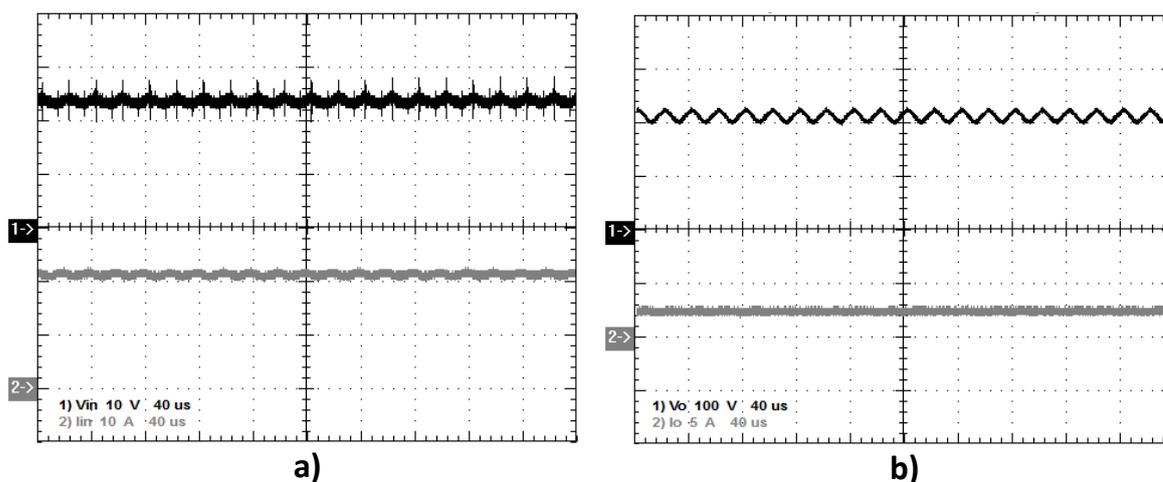


Figura 5. 8 – a) Tensão e Corrente de Entrada na Bateria b) Tensão e Corrente de Saída.

A Figura 5.9 mostra o formato da corrente no indutor de entrada L_{IN} e a corrente no primário do transformador que, conseqüentemente, é a mesma em L_K . Conforme pode ser observado, percebe-se a semelhança com os resultados obtidos via simulação.

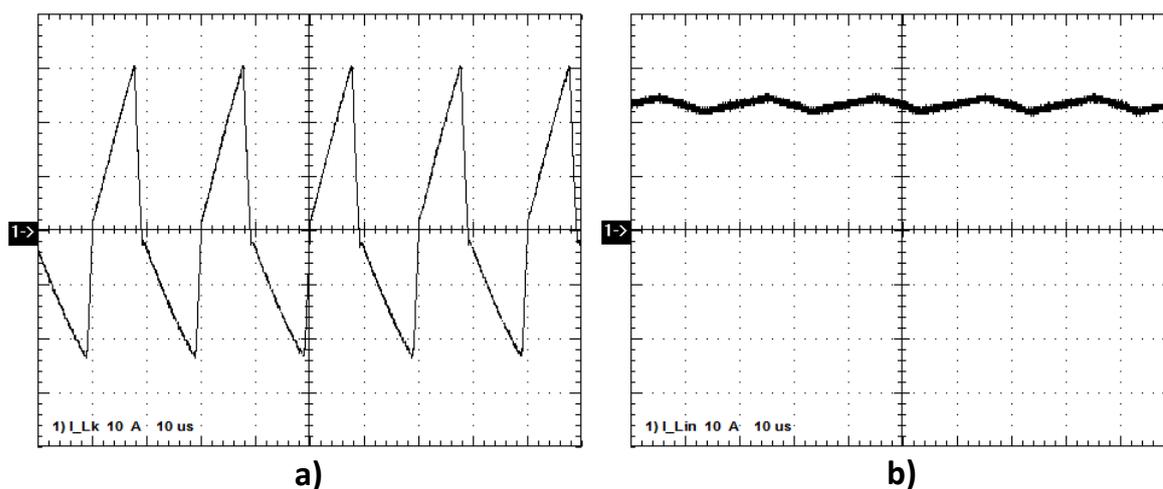


Figura 5. 9 – a) Corrente no primário do transformador T1 b) Corrente no indutor de entrada L_{IN} .

A seguir são mostradas as formas de ondas de tensão e corrente no primário do transformador T1 e as tensões nos diodos retificadores D1 e D2, onde pode ser percebido que não

há sobretensão nos diodos e que a tensão média no transformador é nula, não saturando assim o mesmo.

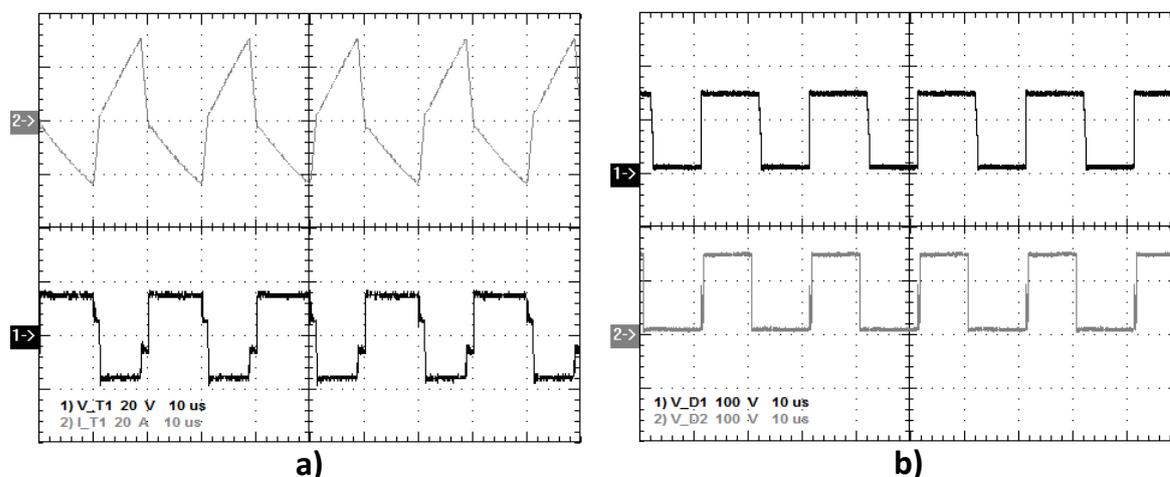


Figura 5. 10 – a) Tensão e Corrente no primário do transformador T1 b) Tensão nos diodos D1 e D2.

A seguir são mostradas as tensões sobre cada capacitor que compõe tensão de saída do conversor. Como pode ser observado, percebe-se que os valores medidos experimentalmente são condizentes com os calculados no capítulo referente à topologia I. Constata-se também que estes mesmos valores conferem também com os obtidos via simulação. Tem-se que a tensão sobre C1 é a mesma da bateria, ou seja, aproximadamente 24V, a tensão sobre C2 é próxima de 34V, em C3 é igual a 63V e em C4 próximo de 80V.

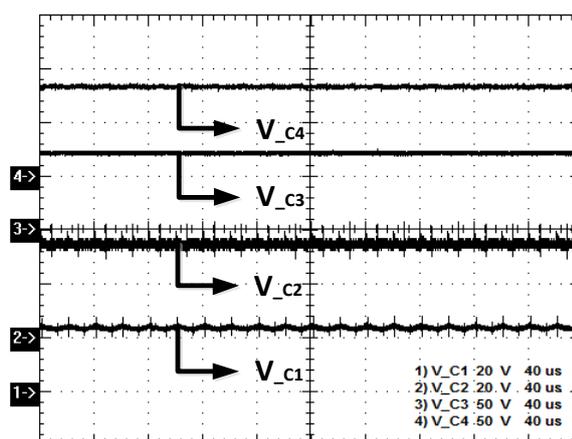


Figura 5. 7 – Tensões nos Capacitores de Saída C1, C2, C3e C4.

A Figura 5.12 mostra as formas de ondas de tensão e corrente nos interruptores de potência S1 e S2 respectivamente. Observa-se que a formas de ondas são condizentes com as obtidas via simulação. Pode-se observar que existe um pico de tensão no momento da abertura do interruptor de potência, entretanto, essa sobretensão encontra-se dentro da faixa de tensão permitido pela chave, que é de 75V.

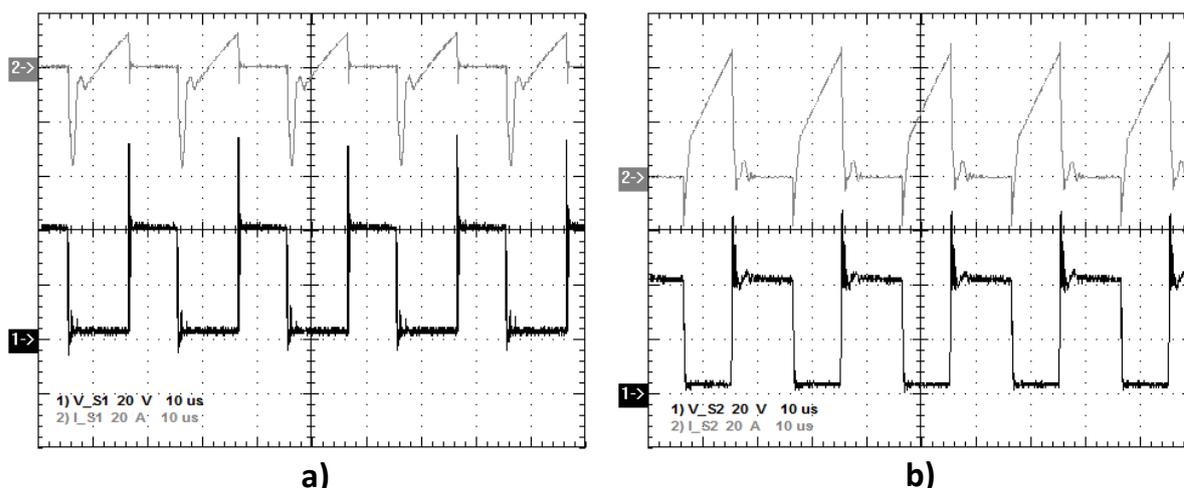


Figura 5. 8– a) Tensão e Corrente na Chave S1 b) Tensão e Corrente na Chave S2.

A Figura 5.13 mostra o detalhe da tensão e corrente nos interruptores de potência no momento da comutação dos interruptores. Observa-se que ambas as chaves estão em modo ZVS no momento da condução da chave.

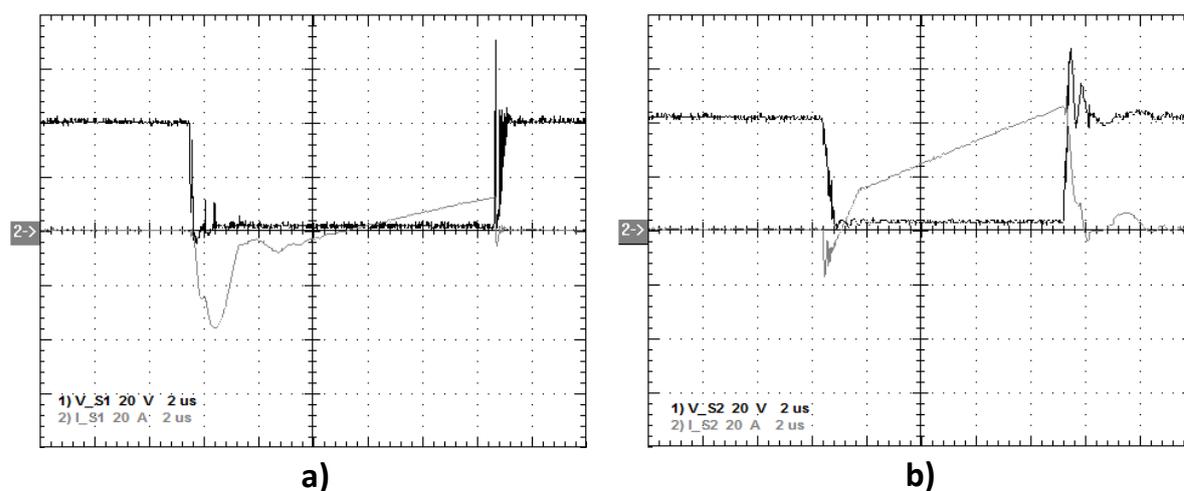


Figura 5. 9 – a) Detalhe da Tensão e Corrente na Chave S1 b) Detalhe da Tensão e Corrente na Chave S2.

Tendo em vista que a corrente de desligamento no interruptor de potência S2 ser relativamente elevada, optou-se por diminuir o capacitor C1 por um valor muito inferior ao projetado. Isso resultou numa menor corrente de desligamento no interruptor de potência S2, entretanto, houve uma maior ondulação da tensão de saída do conversor. Pode-se concluir que, desde que a ondulação de tensão de saída esteja em níveis aceitáveis, pode-se diminuir o capacitor C1 de forma a diminuir a corrente de desligamento em S2. A Figura 5.14 mostra a forma de onda da tensão e corrente no interruptor de potência S2, a tensão de saída e a tensão no capacitor C1 para um valor de 10uF.

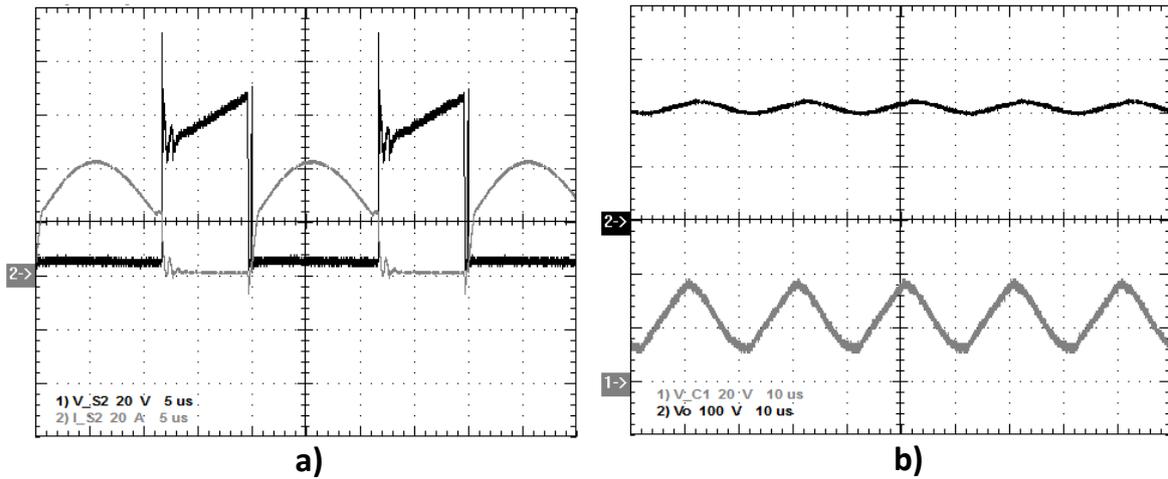


Figura 5. 10 – a) Tensão e Corrente na Chave S1 para $C1=10\mu F$ b) Tensão em C1 e tensão de saída V_o .

Esta alteração fez com que houvesse um aumento no rendimento da estrutura, cujo gráfico pode ser visto na Figura 5.15.

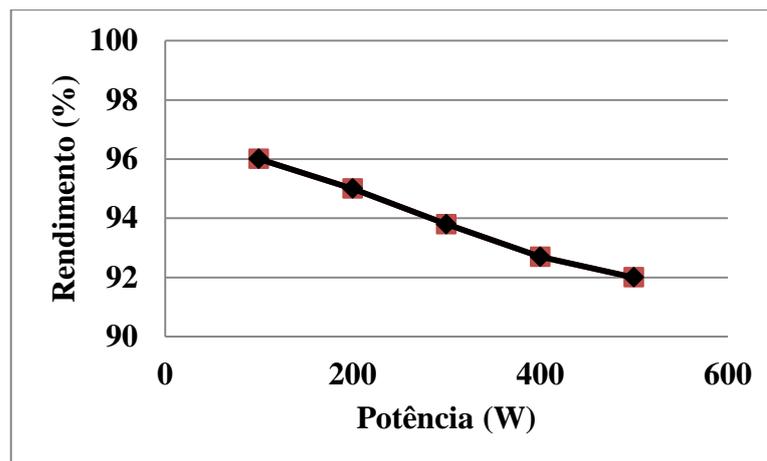


Figura 5. 11 – Rendimento da Topologia I.

5.3. RESULTADOS PARA A TOPOLOGIA II

A Figura 5.16 apresenta novamente o circuito do conversor *boost* de alto ganho proposto na topologia II, que utiliza em sua estrutura as células multiplicadoras de tensão. A Tabela 5.2 lista os principais parâmetros do sistema. Esses mesmos parâmetros foram utilizados na simulação.

Tabela 5.2 – Parâmetros do Conversor da Topologia II

Frequencia de Chaveamento	$f_s = 50 \text{ kHz}$
Tensão de Entrada	$V_{IN} = 24\text{V}$
Tensão de Saída	$V_{OUT} = 200\text{V}$
Potência	$P_0 = 500\text{W}$
Resistencia de Carga	$R_0 = 80\Omega$
Indutor de Entrada	$L_{IN} = 50\mu\text{H}$
Capacitor de Saída C1	$C1 = 220\mu\text{F}$
Capacitores de Saída	$C2, C3, C4 \text{ e } C5 = 680\mu\text{F}$
Capacitores do Multiplicador	$C6, C7 \text{ e } C8 = 680\mu\text{F}$
Indutor Limitador de Corrente	$L_K = 2\mu\text{H}$
Número de Células Multiplicadoras	$N = 3$

Logo a seguir serão apresentados os resultados de simulação para a topologia II, seguido posteriormente pelos resultados experimentais do protótipo desenvolvido.

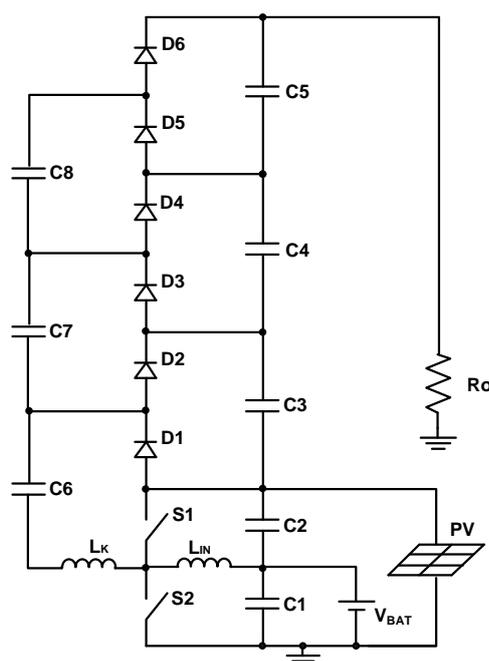


Figura 5. 12 – Topologia II

5.3.1. RESULTADOS DE SIMULAÇÃO DA TOPOLOGIA II

A Figura 5.17 apresenta as formas de onda de onda da tensão e corrente da bateria durante alguns ciclos de chaveamento.

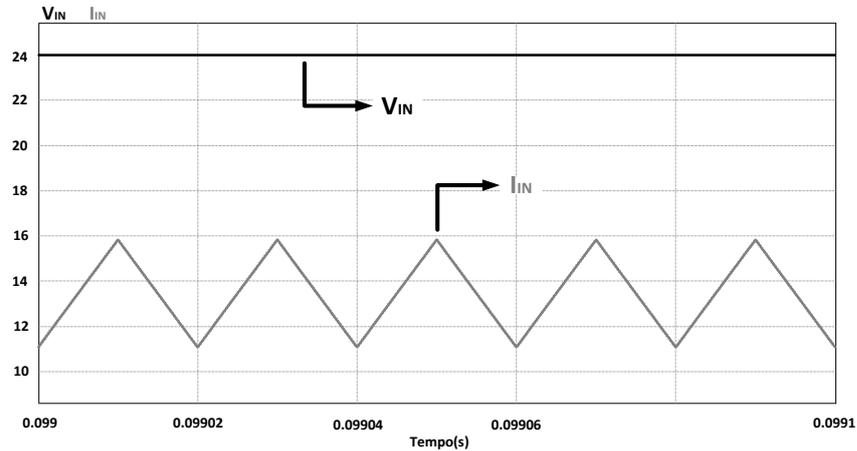


Figura 5. 13 – Tensão e Corrente na Bateria.

A Figura 5.18 mostra forma de onda da tensão e corrente nos diodos das células multiplicadoras de tensão. Essas formas de ondas serviram como base para a determinação das etapas de operação desta topologia.

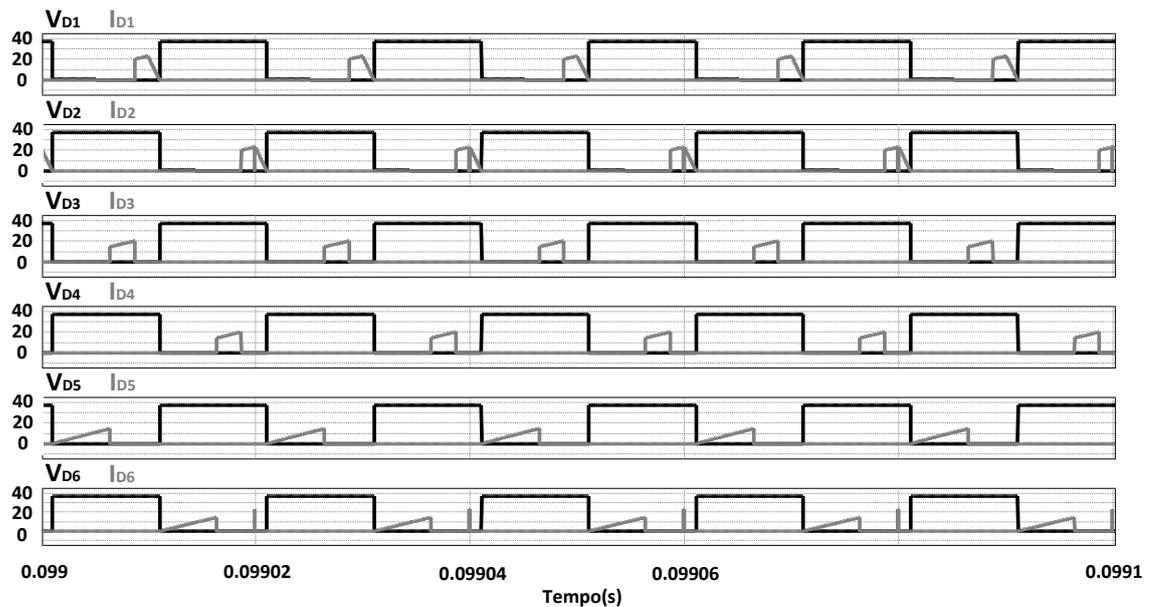


Figura 5. 14– Tensão e Corrente nos Diodos das células multiplicadoras de tensão.

A seguir são mostradas as formas de ondas das tensões nos capacitores C4, C5 e C8 que são necessárias para a determinação das etapas de operação e nos capacitores C3, C4 e C7. Percebe-se a baixa ondulação de tensão e constatam-se as formas de ondas teóricas mostradas no capítulo referente a essa topologia.

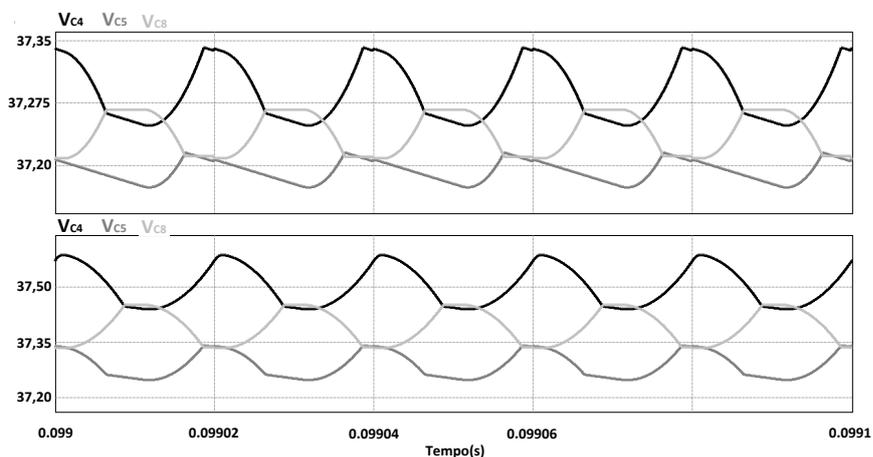


Figura 5. 15 – Tensão nos Capacitores C4, C5 e C8 e em C4, C5 e C7.

A Figura 5.20 mostra o comportamento da corrente que passa pelo indutor limitador de corrente L_K e as respectivas tensões e correntes nos interruptores de potência S1 e S2.

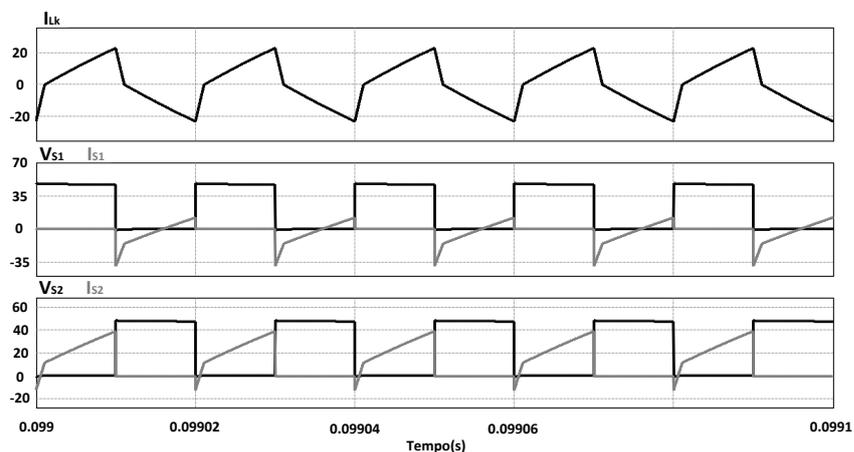


Figura 5. 16 – Corrente em L_K e Tensão e Corrente em S1 e S2.

A Figura 5.21 apresenta as formas de ondas da tensão e corrente na carga para a potência nominal.

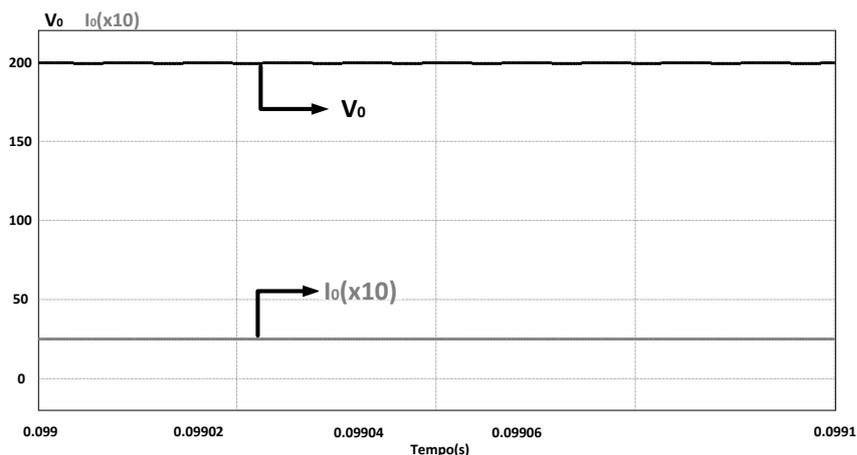


Figura 5.17 – Tensão e Corrente ($\times 10$) na Carga.

A Figura 5.22 mostra o comportamento dinâmico da estrutura II. De forma semelhante às características descritas para a topologia I, aplicou-se um degrau de corrente emulando a entrada do painel fotovoltaico no instante 45ms, fazendo com que este assumisse praticamente toda a carga e carregue o banco de baterias, uma vez que o sentido da corrente se inverte. Em aproximadamente 65ms é aplicado um degrau de carga de 50%. Apesar de aceitável, ocorre uma perda na regulação da tensão de saída. Um importante detalhe a ser mencionado sobre essa estrutura se deve ao fato de não existir uma indutância em série com o banco de baterias, como ocorre nas topologias I e III. Devido a essa característica, a ondulação da corrente que passa para a bateria é bastante elevada, desta forma, optou-se por mostrar na figura abaixo o valor médio da corrente no banco de baterias.

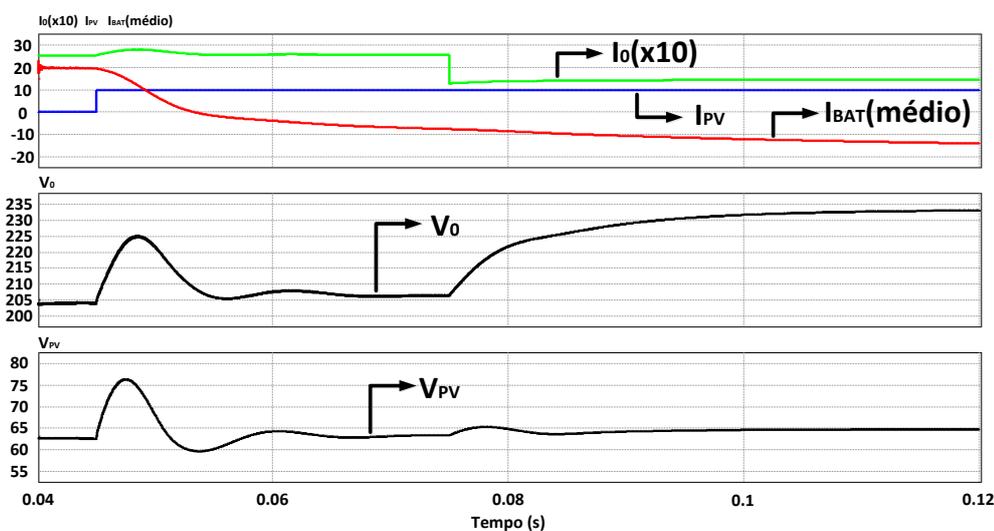


Figura 5.22- Comportamento Dinâmico do Conversor da Topologia II.

5.3.2. RESULTADOS EXPERIMENTAIS DA TOPOLOGIA II

A seguir serão mostradas as formas de ondas experimentais do protótipo montado para a topologia II. A Figura 5.23 a) mostra a forma de onda da tensão e corrente de entrada na bateria e em b) tensão e corrente na carga para a potência nominal de 500W.

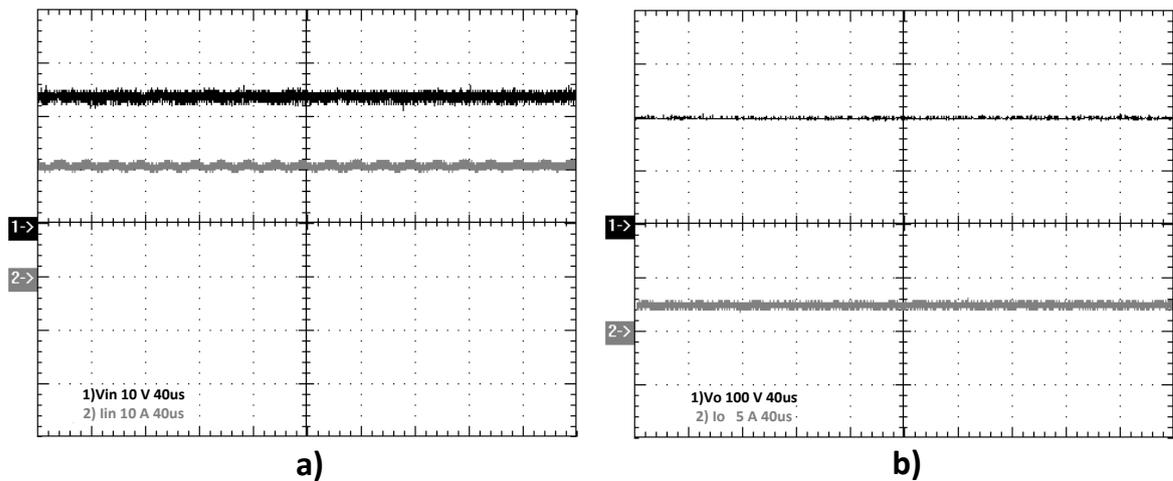


Figura 5. 18 – a) Tensão e Corrente de Entrada na Bateria b) Tensão e Corrente de Saída.

A Figura 5.24 mostra a forma de onda das tensões nos diodos da célula multiplicadora, onde pode ser percebido que não existe sobretensão sobre os semicondutores.

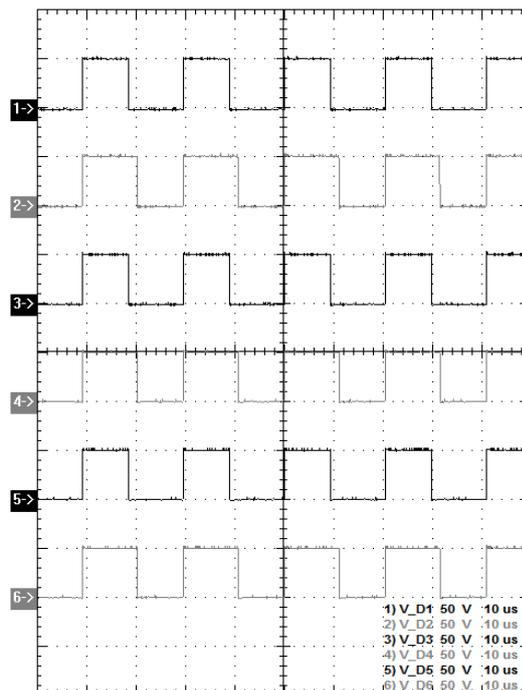


Figura 5. 19 – Tensão sobre os Diodos das Células Multiplicadoras.

A seguir são mostradas as formas de ondas das tensões nos capacitores de saída C1, C2, C3, C4 e C5, onde se pode observar a composição da tensão de saída do conversor através da somatória das tensões nesses capacitores.

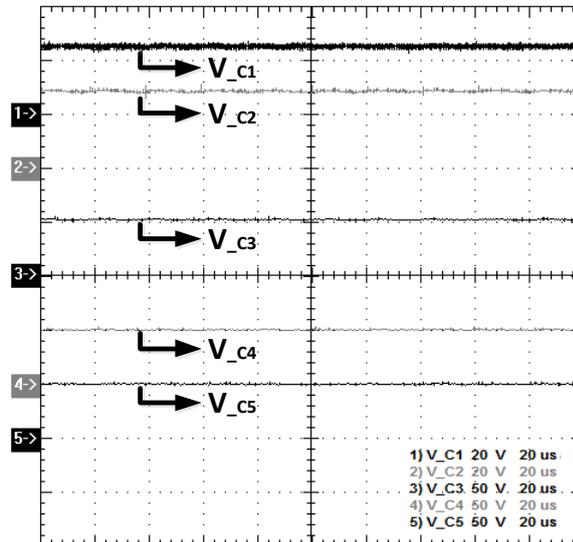


Figura 5. 20 – Tensão sobre os Capacitores de Saída.

A Figura 5.26 mostra as tensões nos capacitores C6, C7 e C8 da célula multiplicadora de tensão.

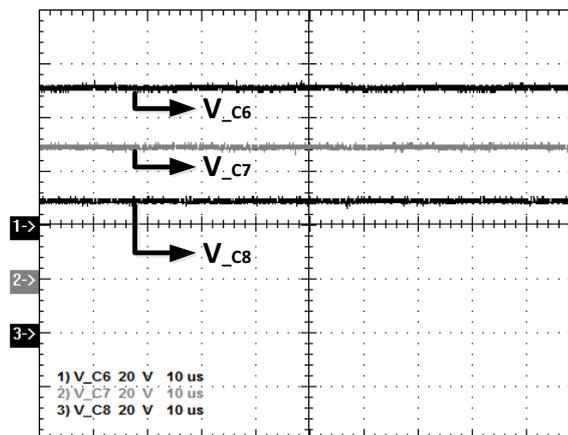


Figura 5. 21 – Tensão sobre os Capacitores das Células Multiplicadoras.

A seguir são mostradas as formas de ondas das tensões e corrente nos dois indutores da estrutura, ou seja, indutor de entrada L_{IN} e indutor limitador de corrente L_K .

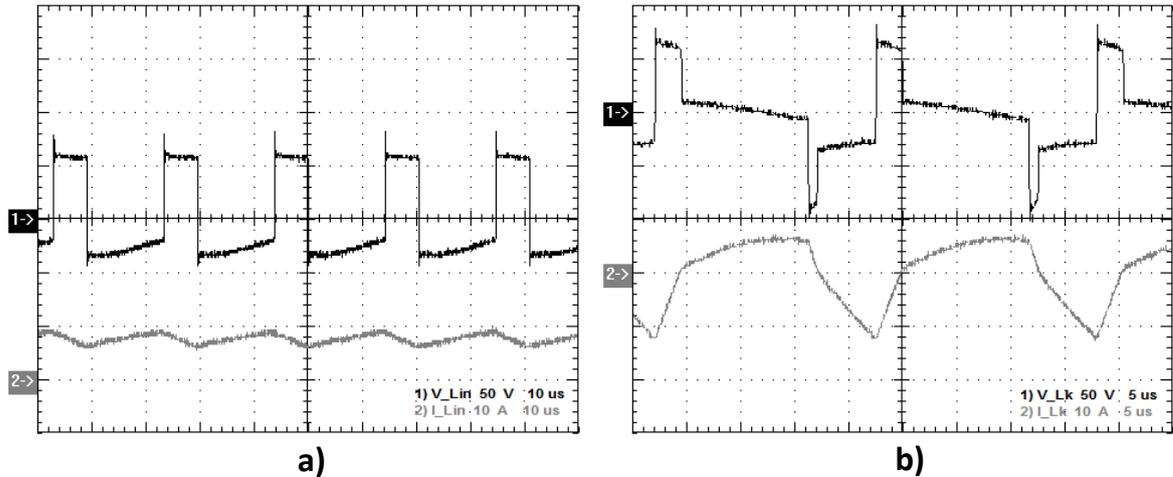


Figura 5. 22 – a) Tensão e Corrente em L_{IN} b) Tensão e Corrente em L_K .

A Figura 5.28 mostra o formato da tensão e corrente em ambos os interruptores de potência, onde pode ser visto que S1 opera em modo ZVS na entrada em condução e no bloqueio e S2 opera sem comutação suave. Pode-se observar que o pico de tensão que existe no momento da abertura do interruptor de potência não oferece risco à chave uma vez que esta suporta uma tensão de até 100V.

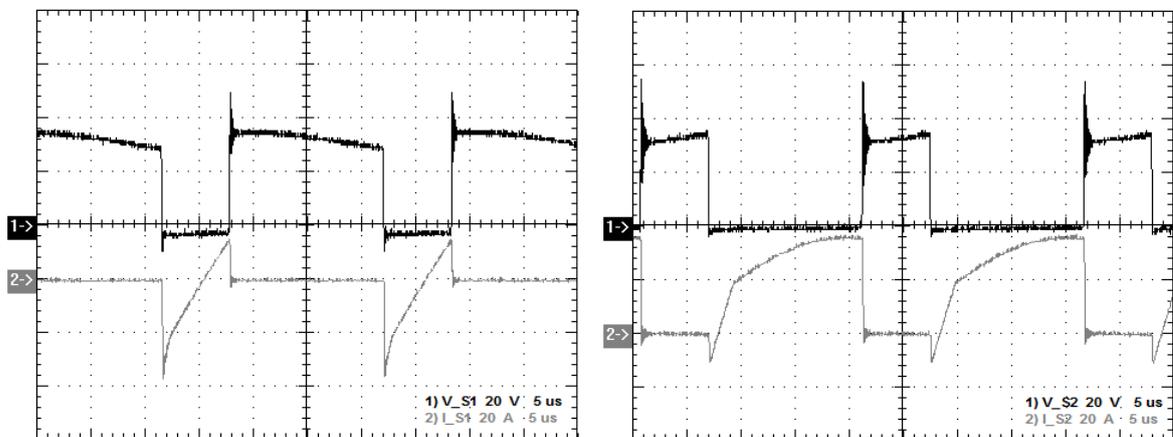


Figura 5. 23 – a) Tensão e Corrente em S1 b) Tensão e Corrente em S2.

A Figura 5.29 mostra o detalhe da comutação durante a entrada em condução de ambos os interruptores de potência.

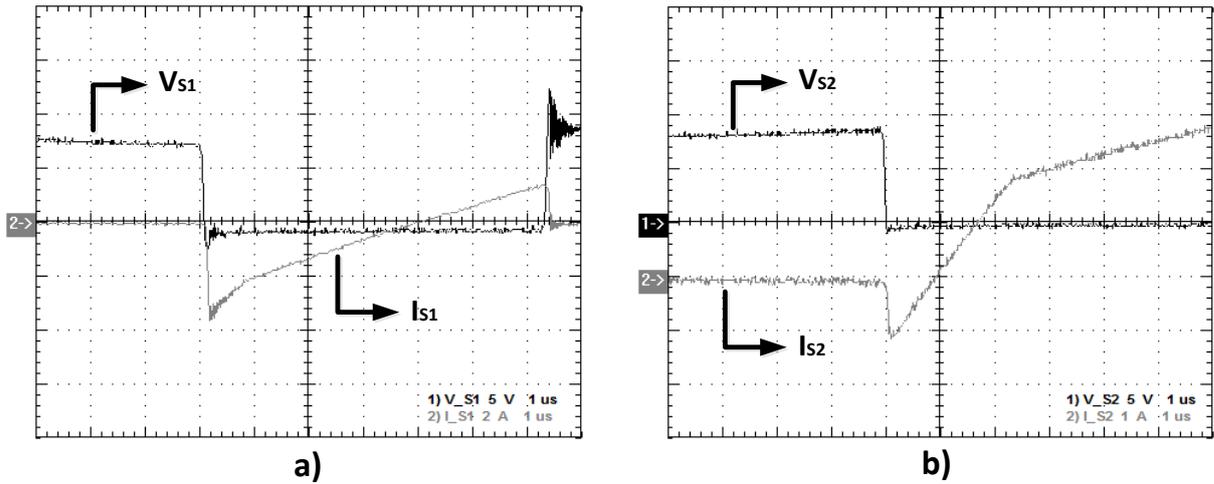


Figura 5.29- Detalhe da Comutação em S1 e S2.

Finalizando a parte de resultados experimentais para esta topologia, é mostrado na Figura 5.30 o gráfico representativo do rendimento deste conversor para uma faixa de potência de até 500W. Percebe-se que o rendimento deste conversor é bem inferior ao apresentado na topologia I, entretanto, este resultado já era esperado uma vez que esta estrutura possui uma série de elementos semicondutores associados em série, aliado ao fato de nem todos os elementos ativos operem com comutação suave. Soluções para o melhoramento desta eficiência podem ser feitas em trabalhos futuros, uma vez que o foco principal deste trabalho é a concepção de topologias que contemplem um único estágio de processamento de energia para aplicações em energias renováveis.

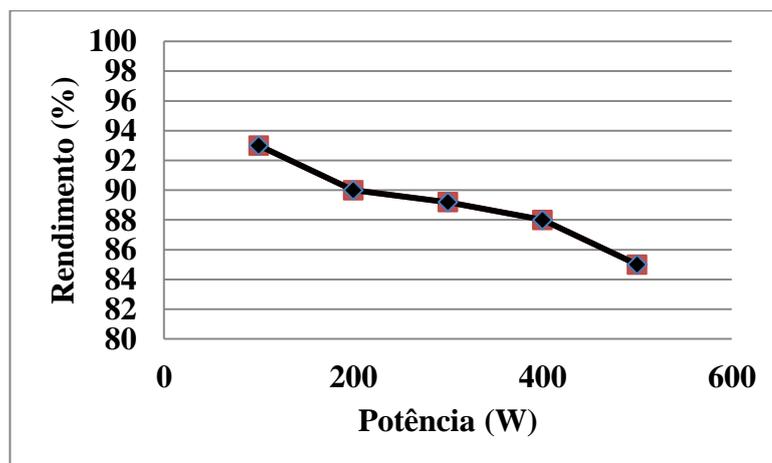


Figura 5. 24 – Rendimento da Topologia II.

5.4. RESULTADOS PARA A TOPOLOGIA III

A Figura 5.31 apresenta novamente o circuito do conversor *boost* de alto ganho proposto na topologia III, que tem sua estrutura baseada na topologia I, na célula de comutação de três estados e no conversor *full bridge*. A Tabela 5.3 lista os principais parâmetros do sistema. Esses mesmos parâmetros foram utilizados na simulação.

Tabela 5.3 – Parâmetros do Conversor da Topologia III

Frequencia de Chaveamento	$f_s = 25 \text{ kHz}$
Tensão de Entrada	$V_{IN} = 24 \text{ V}$
Tensão de Saída	$V_{OUT} = 200 \text{ V}$
Potência	$P_0 = 500 \text{ W}$
Resistencia de Carga	$R_0 = 80 \Omega$
Indutor de Entrada	$L_{IN} = 100 \mu\text{H}$
Capacitores de Saída	$C_1, C_2, C_3 \text{ e } C_4 = 100 \mu\text{F}$
Relação de Transformação da Célula de 3 Estados (n)	(1 : 1)
Relação de Transformação de Tr1 e Tr2(n)	(1 : 1,14)

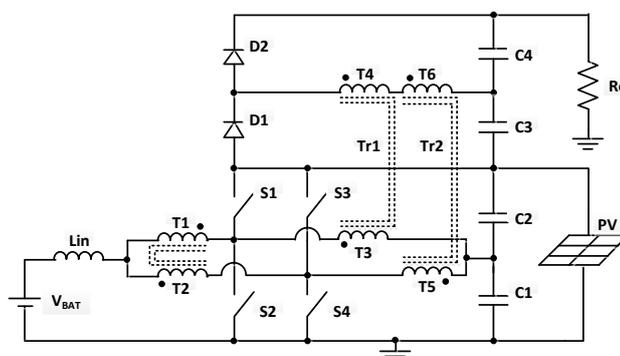


Figura 5. 251 – Topologia III

5.4.1. RESULTADOS DE SIMULAÇÃO DA TOPOLOGIA III

A Figura 5.32 apresenta as formas de ondas de tensão e corrente da bateria durante alguns ciclos de chaveamento e as correntes nos dois enrolamentos (T1 e T2) da célula de comutação de três estados (C3E). Conforme pode ser percebido, as correntes se dividem

nos enrolamentos, o que resulta em menores esforços de corrente nos elementos ativos do conversor, que se reflete diretamente no rendimento da topologia.

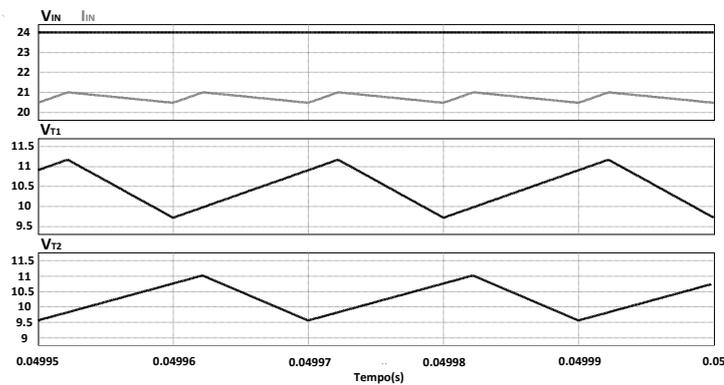


Figura 5. 262 – Tensão e Corrente na Bateria e Corrente nos Enrolamentos T1 e T2.

A Figura 5.33 mostra a forma de onda da tensão e corrente nos diodos retificadores D1 e D2.

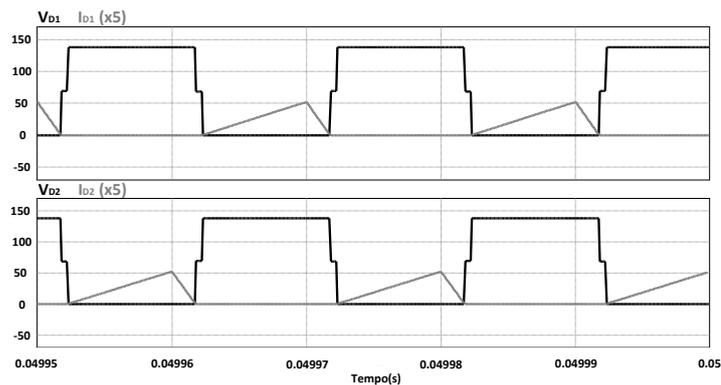


Figura 5. 273 – Tensão e Corrente (x5) nos Diodos Retificadores D1 e D2.

A seguir são mostradas as formas de ondas da tensão sobre os capacitores de saída da estrutura III, cuja somatória resulta no valor final da tensão de saída.

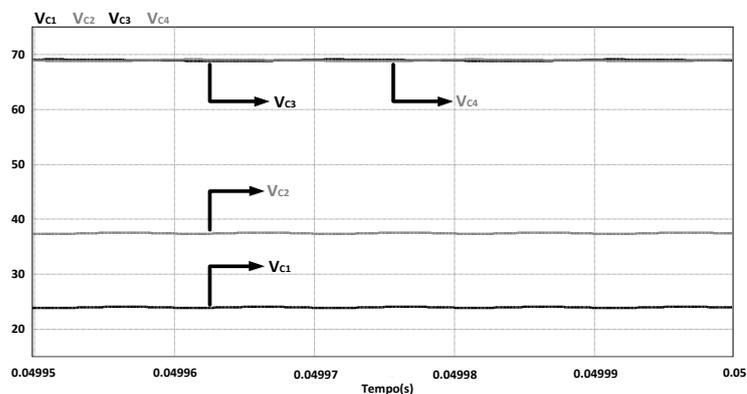


Figura 5. 284 – Tensão nos Capacitores de Saída.

A Figura 5.35 mostra a tensão e corrente em cada interruptor de potência. Conforme pode ser observado na figura a seguir, os gatilhos dos interruptores S1 e S2 são complementares, assim como os de S3 e S4, entretanto, é importante salientar que os interruptores inferiores S2 e S4 estão defasados entre si de 180° .

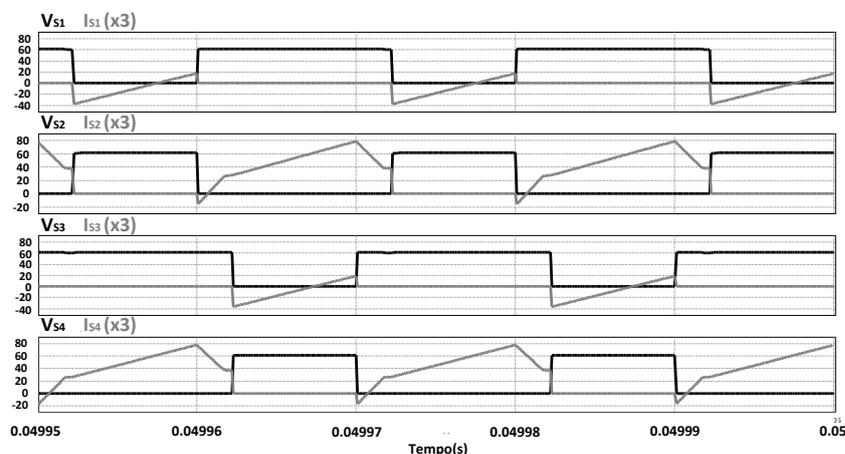


Figura 5. 295 – Tensão e Corrente ($\times 3$) nos Interruptores de Potência.

A Figura 5.36 apresenta as formas de ondas da tensão e corrente ($\times 10$) na carga para a condição de carga nominal.

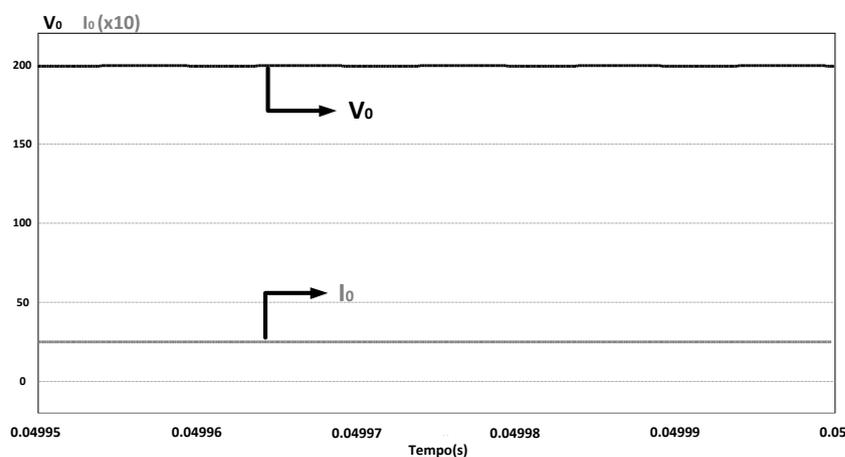


Figura 5. 306 – Tensão e Corrente ($\times 10$) na Carga.

A Figura 5.37 mostra o comportamento dinâmico da estrutura III. A mesma metodologia adotada para as duas topologias descritas anteriormente se aplica para a estrutura III, de forma que seu funcionamento é semelhante ao da estrutura I.

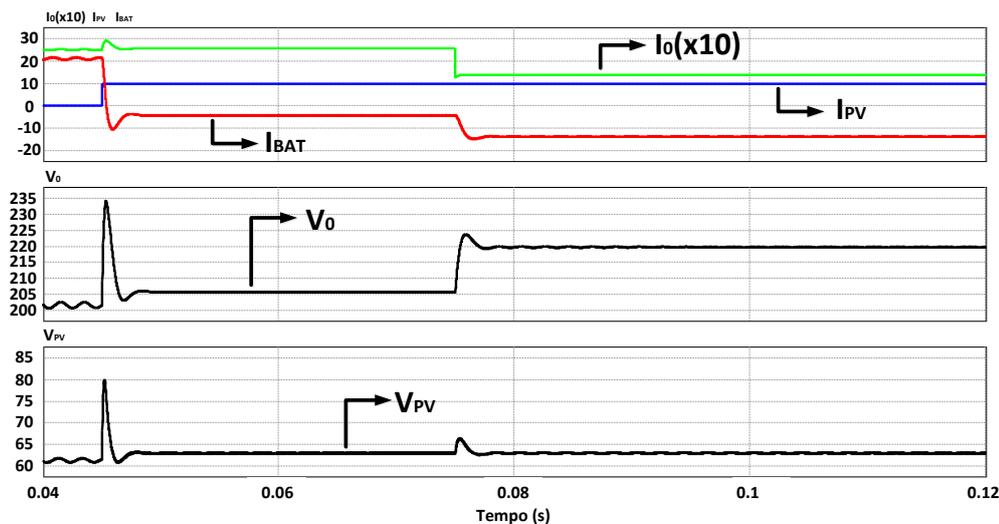


Figura 5.37- Comportamento Dinâmico do Conversor da Topologia III.

5.4.2. RESULTADOS EXPERIMENTAIS DA TOPOLOGIA III

A seguir serão mostradas as formas de ondas experimentais do protótipo montado para a topologia III. A Figura 5.38 a) mostra a forma de onda da tensão e corrente de entrada na bateria e em b) tensão e corrente na carga para a potência nominal.

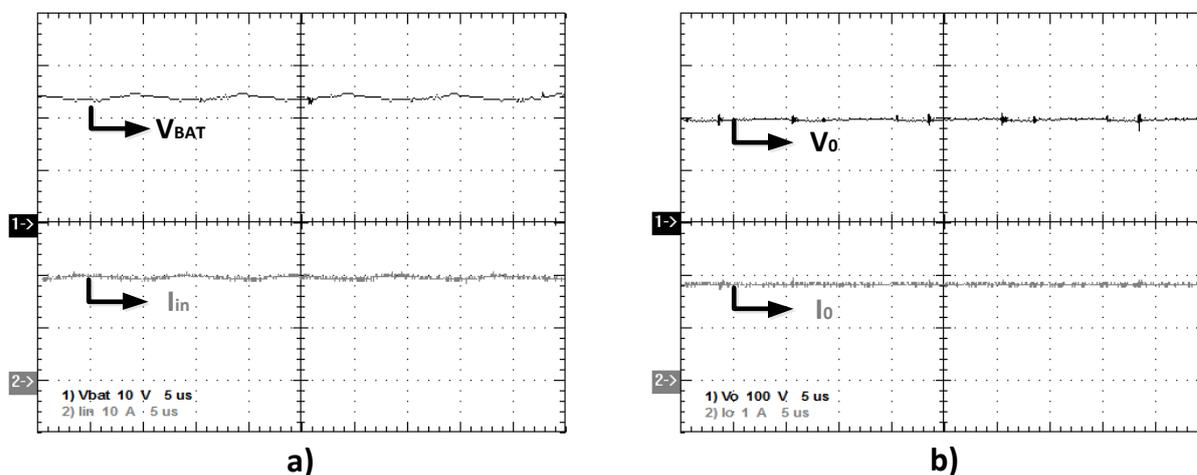


Figura 5.38 – a) Tensão e Corrente de Entrada na Bateria b) Tensão e Corrente de Saída.

A Figura 5.39 mostra a forma de onda das tensões nos capacitores de saída. Pode-se perceber que a somatória das tensões em cada capacitor de saída resulta exatamente no valor da tensão de saída. Assim como já mostrado no capítulo referente a essa estrutura, percebe-se também que as tensões em C3 e C4 são bem próximas.

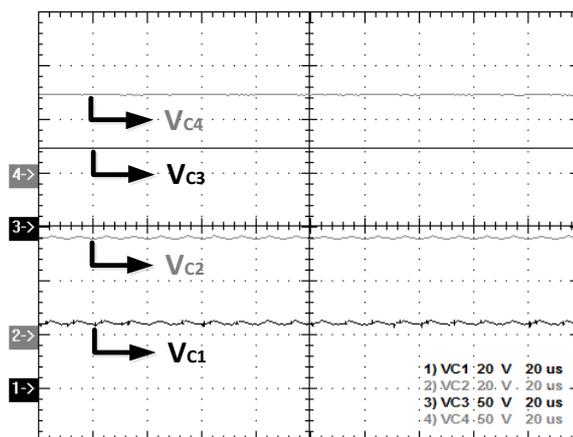


Figura 5.39 – Tensões nos capacitores de Saída.

A Figura 5.40 mostra a forma de onda da tensão sobre os diodos de saída D1 e D2 respectivamente. Observa-se que ambos os diodos trabalham de forma complementar, conforme mostrado anteriormente, com seus valores bem próximos dos obtidos via simulação e gravados com uma tensão menor que 150V e sem sobretensão.

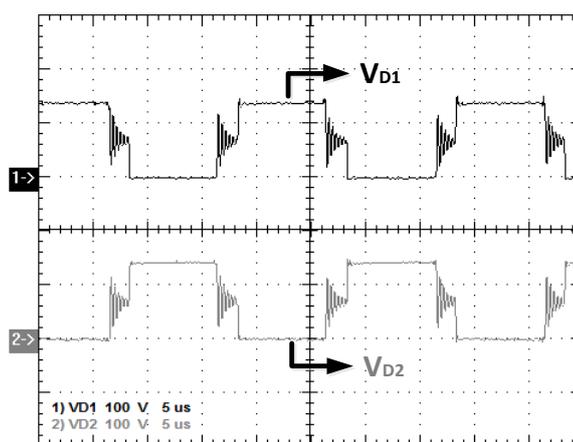


Figura 5.40 – Tensão sobre os diodos de saída D1 e D2.

A Figura 5.41 mostra o comportamento da corrente de entrada e na célula de comutação de três estados, onde pode-se observar a correta distribuição de corrente entre os enrolamentos T1 e T2 da célula. Desta forma, os esforços de corrente são diminuídos na estrutura, uma vez que os interruptores de potência operam com uma corrente menor.

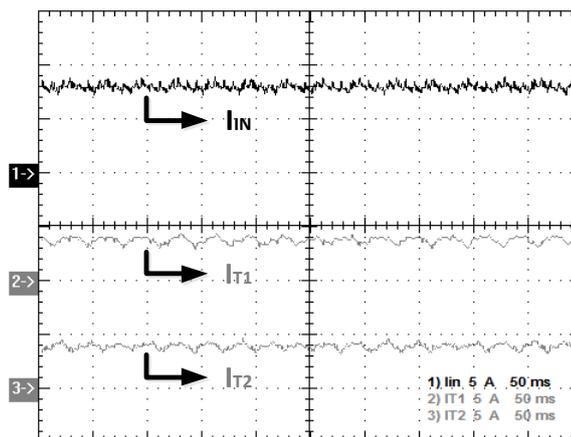


Figura 5.41 – Corrente de entrada e corrente nos enrolamentos da célula de 3 estados.

A Figura 5.42 mostra a tensão e corrente nos enrolamentos do primário dos transformadores T3 e T5. Conforme observado, ambos os transformadores não possuem nível CC, logo não saturam e a média de suas correntes são nulas.

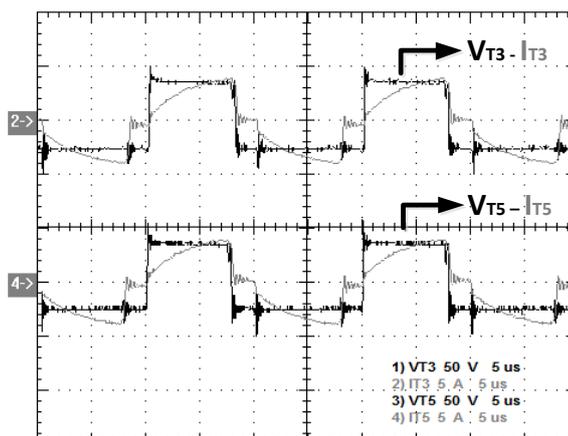


Figura 5.42 – Tensão e Corrente nos enrolamentos primários dos transformadores.

Finalmente são mostradas a seguir as formas de ondas das tensões e correntes nos interruptores de potência da estrutura. A Figura 5.43 a) mostra a tensão e corrente sobre a chave superior S1, onde se percebe que o interruptor de potência opera em modo ZVS. A chave S3 possui a mesma forma de onda mostrada na Figura 5.43 defasada em 180°. A Figura 5.43 b) mostra o detalhe da comutação em S1.

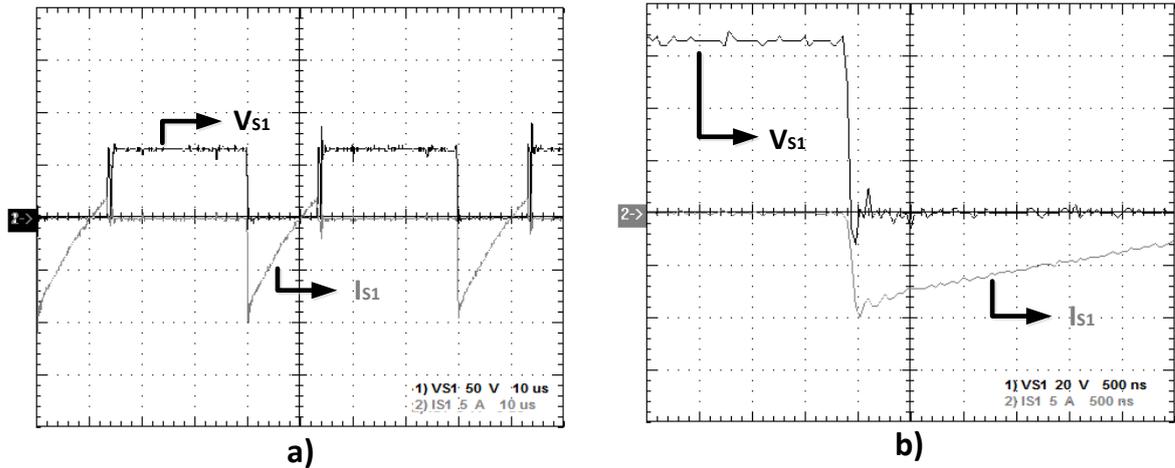


Figura 5.43 – a) Tensão e Corrente em S1 b) Detalhe da comutação em S1.

A Figura 5.42 a) mostra a tensão e corrente sobre o interruptor de potência inferior S2, que por sua vez é complementar a S1. O detalhe da comutação para o interruptor de potência S2 pode ser visto na Figura 5.42 b).

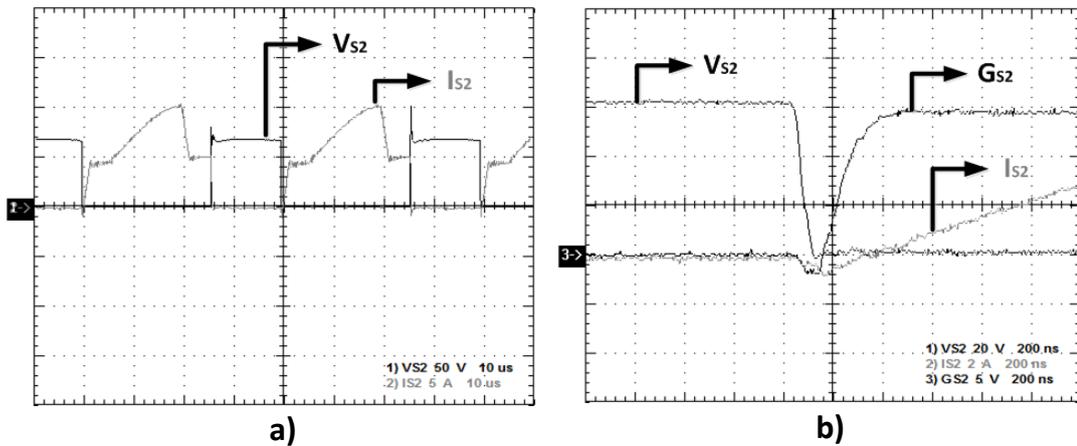


Figura 5.44 – a) Tensão e Corrente em S2 b) Detalhe da comutação em S2.

A Figura 5.43 mostra a forma de onda das tensões sobre todos os interruptores de potência da estrutura III, desta forma visualiza-se claramente a defasagem e complementação entre as chaves deste conversor.

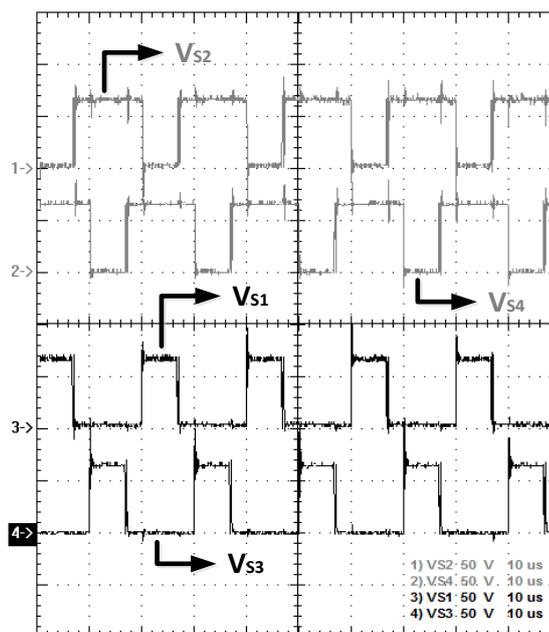


Figura 5.45 – Tensão sobre todas as Chaves da Topologia III.

Finalizando a parte de resultados experimentais para esta topologia, é mostrado na Figura 5.44 o gráfico representativo do rendimento deste conversor para uma faixa de potência de até 500W.

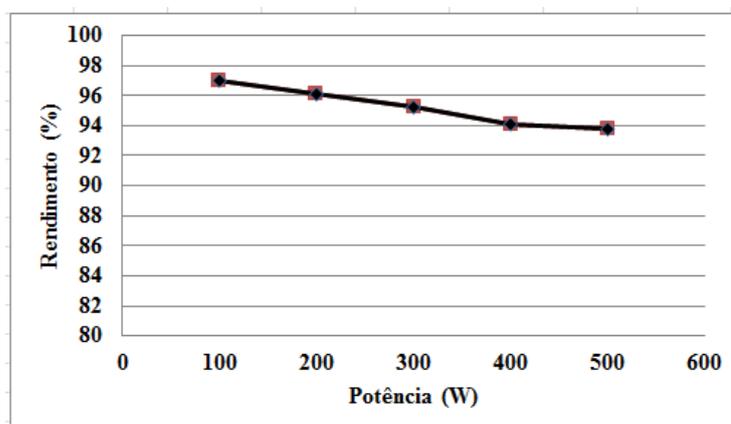


Figura 5.46 – Rendimento da Topologia III.

Para uma melhor visualização entre as eficiências mostradas em todas as estruturas, é mostrado na Figura 5.45 um estudo comparativo entre o rendimento das três topologias propostas neste trabalho. Conforme pode-se notar, o melhor rendimento se deve a topologia III, conforme esperado, seguido da topologia I e posteriormente da topologia II.

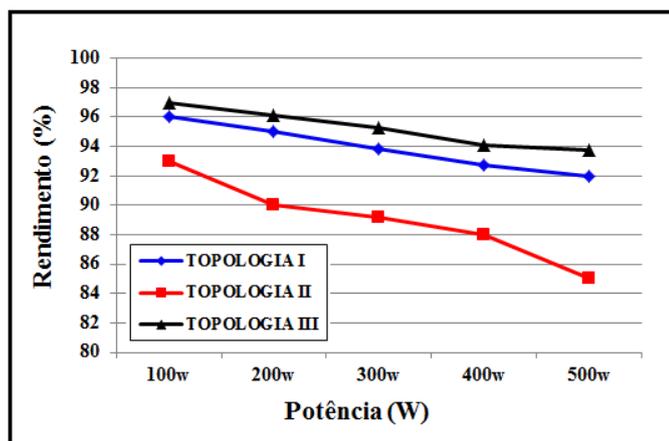


Figura 5.47 – Comparação entre os Rendimentos de todas as Topologias.

5.5. CONSIDERAÇÕES FINAIS

Neste capítulo foram apresentados os resultados de simulação e experimentais dos conversores apresentados neste trabalho, a fim de provar seu funcionamento.

Os resultados de simulação, obtidos através do *software* PSIMTM, versão 9.0, comprovam a análise teórica desenvolvida nos capítulos 2, 3 e 4. Através deles, pode-se observar com clareza o funcionamento ideal dos conversores, já que os componentes utilizados na simulação são ideais.

Foram montados protótipos para comprovação do funcionamento dos conversores, onde pode-se observar a eficácia dos mesmos. Os resultados experimentais colhidos para estes protótipos evidenciam todo o estudo teórico desenvolvido anteriormente, isto pode ser verificado pelas formas de ondas nos dispositivos dos conversores.

Finalizando a análise feita para as três topologias, foi feito um estudo comparativo entre as eficiências dos conversores propostos, de forma que se obteve um melhor rendimento na topologia III, conforme esperado, uma vez que com o uso da célula de comutação de três estados os esforços de corrente foram diminuídos, fazendo com que as perdas por chaveamento fossem reduzidas consideravelmente. A topologia I também mostrou um bom rendimento, sendo aproximadamente 1% inferior à topologia III, o que pode ser interessante uma vez que possui um menor número de elementos magnéticos e seu controle acaba sendo mais simples de implementar já que as chaves trabalham somente de forma complementar. A topologia II teve sua eficiência inferior às outras duas, já que devido ao seu elevado número de elementos associados em série resulta em maiores perdas por chaveamento.

CAPÍTULO 6

CONCLUSÃO GERAL

Tendo em vista a crescente utilização de tecnologias e aplicações, que utilizam fontes renováveis de energia em sistemas não isolados, houve um aumento no interesse em pesquisar novas topologias de conversores estáticos visando à redução de perdas e a diminuição de estágios de processamento de energia.

Neste trabalho foi proposto um novo conceito topológico, o qual opera como carregador de bateria, a partir de fontes alternativas de energia e também realizam a conversão CC/CC com alto ganho de tensão em um único estágio, com comutação suave. Este conceito aplica-se a diversos conversores CC/CC de alto ganho já existente, gerando uma nova família de conversores com as características citadas.

Foi feito um levantamento das principais estruturas topológicas existentes na literatura com características elevadoras de tensão de alto ganho com elevado rendimento, desta forma, foram desenvolvidas três topologias que contemplam esses requisitos, tendo ainda uma característica bidirecional, podendo trabalhar também como carregador de baterias.

A análise qualitativa de todas as estruturas mostrou o princípio de operação, as formas de onda e o detalhe da comutação, de onde se conclui que todos os interruptores de potência das três topologias operam com comutação suave em modo ZVS na entrada em condução. A análise quantitativa apresentou o equacionamento, o ganho estático e seus gráficos, de onde se pode obter o correto dimensionamento para os componentes das estruturas.

Os resultados de simulação validam o estudo desenvolvido, enquanto os resultados experimentais dos três protótipos montados atestam a correta análise e projeto dos circuitos.

As simulações mostradas no capítulo 5 comprovam de forma clara a questão da bidirecionalidade existente entre as fontes de entrada (banco de baterias e painéis fotovoltaicos). A operação simples e o fluxo bidirecional de potência, entre os barramentos de baixa tensão, o que permite aos conversores um funcionamento natural com a bateria ou com o painel fotovoltaico ou ainda com os dois simultaneamente como fonte de entrada.

Pelas curvas de rendimento apresentadas pode ser constatado que a topologia III obteve o melhor rendimento, conforme esperado, pois o uso da célula de comutação de três estados provoca a redução dos esforços de corrente, resultando na considerável diminuição das perdas por chaveamento. A topologia I mostrou-se bastante promissora, com um rendimento elevado, sendo aproximadamente 1% inferior à topologia III, com a vantagem de possuir menos ele-

mentos magnéticos e controle mais simples, uma vez que este possui somente duas chaves operando complementarmente e sem defasagem. A topologia II teve sua eficiência inferior às outras duas, já que o elevado número de elementos associados em série, devido às células multiplicadoras, resulta em maiores perdas por chaveamento.

As análises experimentais comprovam a propensão desses conversores à aplicação desejada, tornando possível a integração de painéis fotovoltaicos a sistemas elétricos convencionais.

Como proposta para trabalhos futuros, sugere-se a aplicação destes conversores a outras fontes renováveis, a aplicação do conceito proposto a outras topologias de conversores CC/CC com alto ganho, a inserção de um estágio inversor para alimentação de outras cargas ou interligação à rede e, por fim, aplicações com *microgrids* e ou *smartgrids* e a implementação de um algoritmo de rastreamento de máxima potência (MPPT) para o controle das estruturas propostas.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Henn, G. A. L.; *Conversor Boost Bidirecional de alto ganho aplicado a um sistema fotovoltaico*. Fortaleza, Fevereiro de 2008. Dissertação de Mestrado, Universidade Federal do Ceará.
- [2] Oliveira Jr, D. S.; Bascopé, R. P. T.; Silva, C. E. A.: *Proposal of a New High Step-Up Converter for UPS Applications*. Industrial Electronics, IEEE International Symposium on, 2006. Vol.2, pp. 1288 – 1292.
- [3] Chen, S.M.; Liang, T.J.; Yang, L.S.; Chen, J.F.: *A Cascaded High Step-up DC-DC Converter with Single Switch for Microsource Applications*. Power Electronics, IEEE Transactions on, 2010. Vol. PP, Issue:99. pp. 1-1.
- [4] Jovcic, D.: *Step-up DC-DC converter for megawatt size applications*. Power Electronics, IET,2009. Vol. 2, Issue: 6. pp. 675 - 685.
- [5] Bo Yang; Wuhua Li; Jiande Wu; Yi Zhao; Xiangning He: *A grid-connected PV power system with high step-up ZVT interleaved boost converter*. Industrial Electronics, IECON 2008. 34th Annual Conference of IEEE. pp. 2082 - 2087.
- [6] Ci-Ming Hong; Lung-Sheng Yang; Tsorng-Juu Liang; Jiann-Fuh Chen: *Novel bidirectional DC-DC converter with high step-up/down voltage gain*. Energy Conversion Congress and Exposition, 2009. ECCE 2009. pp.60 - 66.
- [7] Silva, F.S.F.; Freitas, A.A.A.; Daher, S.; Ximenes, S.C.; Sousa, S.K.A.; Edilson, M.S.; Antunes, F.L.M.; Cruz, C.M.T.: *High gain DC-DC boost converter with a coupling inductor*. Power Electronics Conference, 2009. COBEP '09. Brazilian. pp. 486 - 492.
- [8] Silva, R.N.A.L.; Henn, G.A.L.; Praca, P.P.; Barreto, L.H.S.C.; Oliveira, D.S.; Antunes, F.L.M.: *Soft-switching interleaved boost converter with high voltage gain*. Power Electronics Specialists Conference – PESC 2008, pp. 4157 – 4161.
- [9] Zhao, Q.; Lee, F. C.: *High-Efficiency, High Step-Up DC-DC Converters*. Power Electronics, IEEE Transactions on, 2003. Vol. 18, pp. 65 – 73.
- [10] Silva, R. N. A. L.; *Célula de comutação suave aplicada a um conversor boost de alto ganho*. Fortaleza, Janeiro de 2009. Dissertação de Mestrado, Universidade Federal do Ceará.
- [11] Baek, J.W.; Ryoo, M.H.; Kim, T.J.; Yoo, D.W.; Kim, J.S.: *High Boost Converter Using Voltage Multiplier*. IEEE Industrial Electronics Conference, 2005, pp. 567-572.

- [12] Abutbul, O.; Gherlitz, A.; Berkovich, Y.; Ioinovici, A.: *Step-Up Switching-Mode Converter with High Voltage Gain Using a Switched-Capacitor Circuit*. IEEE Transactions on Circuits and Systems – I: Fundamental Theory and Applications, Vol. 50, No.8, 2003, pp. 1098-1102.
- [13] Abutbul, O.; Gherlitz, A.; Berkovich, Y.; Ioinovici, A.: *Boost Converter with High Voltage Gain Using a Switched Capacitor Circuit*. IEEE Circuit and System: Proceedings of the 2003 International Symposium on, Vol. 3, May 2003, pp.III-296 – III299.
- [14] Alcazar, Y. J. A.; Bascopé, R. P. T.; Cabero, G. C.; Moura, L.: *High Voltage Gain Boost Converter Based on Three-State Switching Cell and Voltage Multipliers*. In: VIII Conferência Internacional de Aplicações Industriais, 2008, Poços de Caldas-MG. INDUSCON 2008.
- [15] Oliveira Jr, D.S.; Bascopé, R.P.T.; Silva, C.E.A.: *Proposal of a New High Step-Up Converter for UPS Applications*. International Symposium on Industrial Electronics, 2006, ISIE 2006.
- [16] Grover V. T. B.; *Nova família de conversores CC-CC PWM não isolados utilizando célula de comutação de três estados*. Florianópolis, Dezembro de 2001.Tese de Doutorado, Universidade Federal de Santa Catarina.
- [17] Silva, C. E. A.; Bascopé, R. P. T.; Oliveira, D. S.: *Proposal of a New High Step-Up Converter for UPS Applications*. Industrial Electronics, IEEE International Symposium on, 2006, Vol 2, pp. 1288 - 1292.
- [18] J. Yungtaek; M. M. Jovanovic: *New two-inductor boost dc-dc converter with auxiliary transformer*. IEEE Transaction on Power Electronics, 2004, Vol. 19, N° 1.
- [19] Q. Zhao; F. C. Lee: *High-efficiency, high step-up DC-DC converters*. IEEE Transaction on Power Electron, 2003, vol. 18, no.1, pp. 65-73.
- [20] C. Y. Inaba; Y. Konishi; M. Nakaoka: *High frequency PWM controlled step-up chopper type DC-DC power converters with reduced peak switchvoltage stress*. Proc. IEE-Elect. Power Applications, 2004, vol. 151, no. 1, pp.47–52.
- [21] F. A. Himmelstoss; P. H. Wurm: *Low-loss converters with high step-up conversion ratio working at the border between continuous and discontinuous mode*. Proc. IEEE ICECS'00, 2000, pp. 734 -737.
- [22] T. F. Wu; S. Y. Tseng; J. S. Hu; Y. M. Chen: *Buck and boost derived converter for livestock/poultry stunning applications*. Proc. IEEE APEC'06, 2006, pp. 153 -1536.
- [23] R. J. Wai; C. Y. Lin; C. C. Chu: *High step-up DC-DC converter for fuel cell generation system*. Proc. IEEE IECON'04, 2004, pp. 57-62.

- [24] R. J. Wai; C. Y. Lin: *High-efficiency, high-step-up DC-DC converter for fuel-cell generation system*. Proc. IEE-Elect. Power Applications, 2005, vol.152, no. 5, pp. 1371–1378.
- [25] T. F. Wu; Y. S. Lai; J. C. Hung; Y. M. Chen: *Boost Converter With Coupled Inductors and Buck–Boost Type of Active Clamp*. IEEE Trans. Ind. Electronics, 2008, vol. 55, no.1, pp. 154-162.
- [26] T. F. Wu; Y. S. Lai; J. C. Hung; Y. M. Chen: *An improved boost converter with coupled inductors and buck-boost type of active clamp*. Proc. IEEE IAS'05, 2005, pp. 639 - 644.
- [27] Henn, G. A. L.: *Conversor Boost Bidirecional de Alto Ganho Aplicado a um Sistema Fotovoltaico*. Fortaleza, 2008. Dissertação de Mestrado, Universidade Federal do Ceará.
- [28] Silva, E. A. S.; Oliveira Jr, D. S.; Oliveira, T. A. M.; Tofoli, F. L.: *A Novel Interleaved Boost Converter with High Voltage Gain for UPS Applications*. Congresso Brasileiro de Eletrônica de Potência – COBEP 2007, Vol. Único, CD-ROM.
- [29] Henn, G. A. L.; Silva, R. N. A. L.; Praça, P. P.; Barreto, L. H. S. C.; Oliveira Jr, D. S.: *Interleaved Boost Converter with High Voltage Gain*. Power Electronics, IEEE Transactions on. 2010. Artigo Aceito sobre processo de publicação.
- [30] Silva, R. N. A. L.; Henn, G. A. L.; Praça, P. P.; Barreto, L. H. S. C.; Oliveira Jr, D. S.; Antunes, F. L. M.: *Soft-Switching Interleaved Boost Converter With High Voltage Gain*. Power Electronics Specialists Conference – PESC 2008. pp. 4157-4161.
- [31] Barreto, L. H. S. C.: *Análise, Projeto e Desenvolvimento de Conversores para a Concepção de uma UPS “ON-LINE” não Isolada*. Uberlândia, 2003. Dissertação de Mestrado, Universidade Federal de Uberlândia.
- [32] Gules, R.; Pfitscher, L. L.; Franco, L. C.: *An Interleaved boost dc-dc converter with large conversion ratio*. ISIE'03, 2003, Vol. 1, pp. 411-416.
- [33] Prudente, M.; Pfitscher, L. L.; Emmendoerfer, G.; Romanelli, E. F.; Gules, R.: *Voltage Multiplier Cells Applied to Non-Isolated DC–DC Converters*. IEEE Transaction on Power Electronics, 2008, Vol. 23, pp. 871-887.
- [34] Acosta, Y. J.; Bascope, R. P. T.; Oliveira Jr, D. S.; Cabero, W. G. C.; Andrade, E. H.: *High Voltage Gain Boost Converter Based on Three-State Switching Cell and Voltage Multiplier*. IEEE Industrial Electronics Conference, 2008, Vol. XX, pp. XX-XX.
- [35] Acosta, Y. J.; Bascope, R. P. T.; Oliveira Jr, D. S.; Cabero, W. G. C.; Daher, S.; Sousa, J. M.: *Modeling and Control of the High Voltage Gain Boost Converter Based on Three-State Switching Cell and Voltage Multiplier*. Congresso Brasileiro de Eletrônica de Potência – COBEP 2009, Vol. Único, CD-ROM.

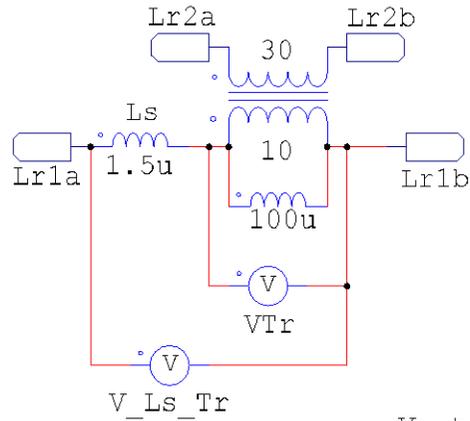
- [36] Wuhua Li; Weichen Li; Yan Deng; Xiangning He: *Single Stage Single Phase High Step-Up ZVT Boost Converter for Fuel Cell Microgrid System*. Power Electronics, IEEE Transactions on. 2010, Vol. 25, pp.3057-3065.
- [37] H. C. Shu: *Design and analysis of a switched-capacitor-based step-up DC/DC converter with continuous input current*. IEEE Trans. Circuits and Syst. / Fundam Theory Appl, 1999, Vol. 46, no.6, pp. 245-251.
- [38] G. Zhu; A. Ioinovici: *DC-to-DC converter with no magnetic elements and enhanced regulation*. IEEE Trans. Aerosp. Electron. Syst.,1997, Vol. 33, no.2, pp. 499-506.
- [39] H. S. Chung; A. Ioinovici; W. L. Cheung: *Generalized structure of bi-directional switched-capacitor DC/DC converters*. IEEE Trans. Circuits and Syst. / Fundam Theory Appl., 2003, vol. 50, no.6, pp. 743-753.
- [40] K. K. Law; K. W. Cheng; Y. P. Yeung: *Design and analysis of switched-capacitor-based step-up resonant converters*. IEEE Trans. Circuits and Syst./ Fundam Theory Appl., 2005, vol. 52, no.5, pp. 1998-2016.
- [41] F. Z. Peng; F. Zhang; Z. Qian: *A magnetic-less DC-DC converter for dual voltage automotive systems*. IEE Trans. Ind. Applicat., 2003, vol. 39, no.2, pp. 511-518.
- [42] M. Shen; F. Z. Peng; L. M. Tolbert: *Multilevel DC-DC Power Conversion System With Multiple DC Sources*. IEEE Trans. Power Electronics, 2008, vol. 23, no.1, pp. 420-426.
- [43] E. H. Ismail; M. A. Al-Saffar; A. J. Sabzali; A. A. Fardoun: *A Family of Single-Switch PWM Converters With High Step-Up Conversion Ratio*. IEEE Trans. Circuits and Syst./ Regular Papers, 2008, vol. 55, no.4, pp. 1159-1171.
- [44] E. H. Ismail; M. A. Al-Saffar; A. J. Sabzali: *High Conversion Ratio DC-DC Converters With Reduced Switch Stress*. IEEE Trans. Circuits and Syst./ Regular Papers, 2008, vol. 55, no.7, pp. 2139-2151.
- [45] R. J. Wai; R. Y. Duan: *High-efficiency DC/DC converter with high voltage gain*. in Proc. IEE-Elect. Power Applicat., 2005, vol. 152, no. 4, pp. 793-802.
- [46] R. J. Wai; R. Y. Duan: *High-efficiency power conversion for low power fuel cell generation system*. IEEE Trans. Power Electron, 2005, vol. 20, no.4, pp. 847-856.
- [47] R. J. Wai; R. Y. Duan: *High-Efficiency Bidirectional Converter for Power Sources With Great Voltage Diversity*. IEEE Trans. Power Electron., 2007, vol. 22, no.5, pp. 1986-1996.

- [48] R. J. Wai; C. Y. Lin; R. Y. Duan; Y. R. Chang: *High-Efficiency DC-DC Converter With High Voltage Gain and Reduced Switch Stress*. IEEE Trans. Ind. Electron., 2007, vol. 54, no.1, pp. 354-364.
- [49] R. J. Wai; R. Y. Duan: *High step-up converter with coupled-inductor*. IEEE Trans. Power Electron., 2005, vol. 20, no.5, pp. 1025-1035.
- [50] Li, W.; He, X: *Review of Non-Isolated High Step-Up DC/DC Converters in Photovoltaic Grid-Connected Applications*. Industrial Electronics, Proc. IEEE APEC'09, 2009, pp. 364 -369.
- [51] J. B. Ejea-Marti; *Study of the audio susceptibility in parallel power processing with a high-power topology*. IEEE Trans. Power Electronics, 2009, vol. 24, no. 10, pp. 2323-2337.
- [52] T.F. Wu; J.C. Hung; S.Y. Tseng; Y.M. Chen: *A single-stage fast regulator with PFC based on an asymmetrical half-bridge topology*. IEEE Trans. Power Electronics, 2005, vol. 52, no.1, pp. 139-150.
- [53] S.S. Lee; S.W. Rhee; G.W. Moon: *Coupled inductor incorporated boost half-bridge converter with wide ZVS operation range*. IEEE Trans. Industrial Electronics, 2009, vol. 56, no.7, pp. 2505-2512.
- [54] C.E. Kim; G.W. Moon; S.K. Han: *Voltage doubler rectifier boost-integrated half bridge (VDRBHB) converter for digital car audio amplifiers*. IEEE Trans. Power Electronics, 2007, vol. 22, no.6, pp. 2321-2330.
- [55] R.T. Chen; Y.Y. Chen; Y.R. Yang; *Single-stage asymmetrical half-bridge regylator with ripple reduction technique*. IEEE Trans. Power Electronics, 2008, vol. 23, no.3, pp. 1358-2469.
- [56] K.B. Park; C.E. Kim; G.W. Moon; M.J. Youn: *PWM resonant single-switch isolated converter*. IEEE Trans. Power Electronics, 2009, vol. 24, no. 8, pp. 1876-1886.
- [57] Y. Jang; M. M. Jovanovic: *Interleaved boost converter with intrinsic voltage-doubler characteristic for universal-line PFC front end*. IEEE Trans. Power Electronics, 2007, vol. 22, no. 4, pp. 1394-1401.
- [58] D. Wang; X. He; R. Zhao: *ZVT interleaved boost converters with built-in voltage doubler and current auto-balance characteristic*. IEEE Trans. Power Electronics, 2008, vol. 23, no. 6, pp. 2847-2854.
- [59] C. T. Pan; C. M. Lai: *A high-efficiency high step-up converter with low switch voltage stress for fuel-cell system applications*. IEEE Trans. Industrial Electronics, 2010, vol. 57, no. 6, pp. 1998-2006.

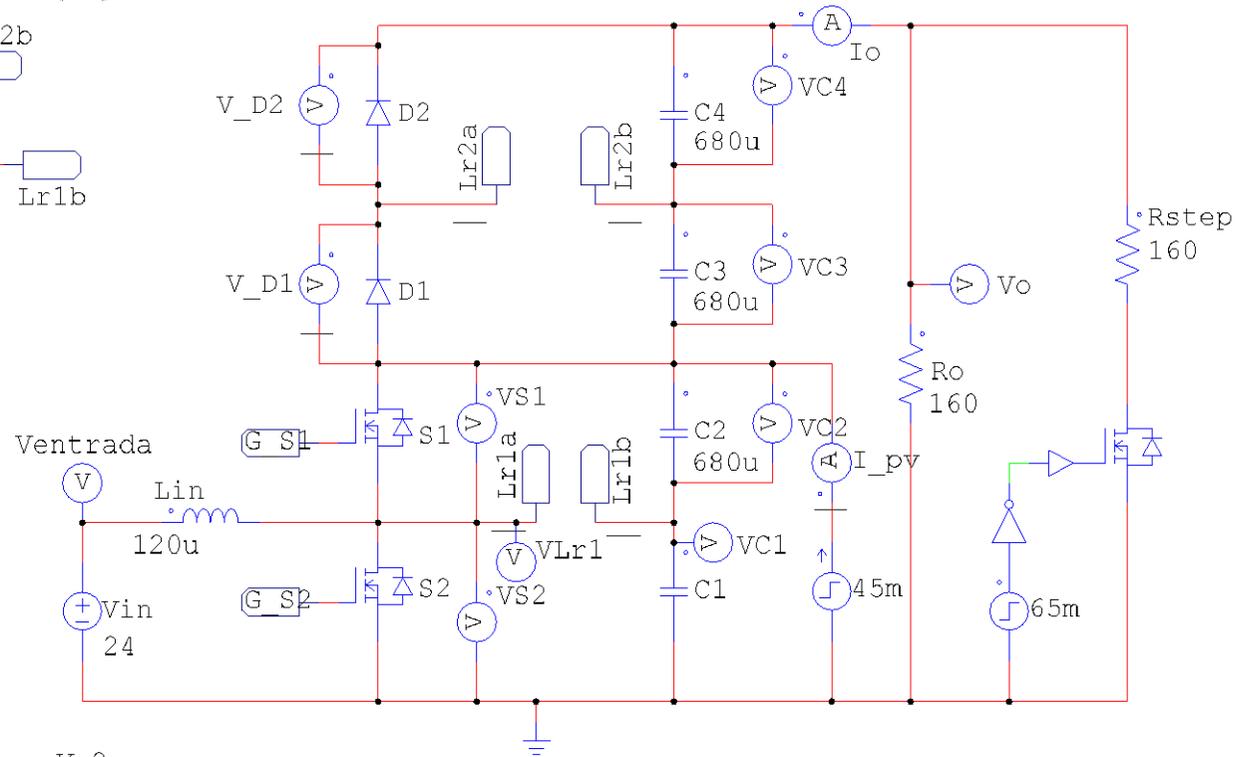
- [60] S. Iqbal; G. K. Singh; and R. Besar: *A dual-mode input voltage modulation control scheme for voltage multiplier based X-ray power supply*. IEEE Trans. Power Electronics, 2008, vol. 23, no. 2, pp. 1003-1008.
- [61] J. W. Baek; M. H. Ryoo; T. J. Kim; D. W. Yoo; J.S. Kim: *High boost converter using voltage multiplier*. in Proc. IEEE IECON, 2005, pp. 1-6.
- [62] Barbi, I; Souza, F. P.: *Conversores CC-CC Isolados de Alta Frequencia com Comutação Suave*. Ed dos Autores, Florianopolis, 1999.
- [63] McLyman, C. W. T.: *Transformer and Inductor Design Handbook*. 2 Ed. Editora Marcel Dekker, USA, 1988.

APÊNDICE A
(CIRCUITOS DE SIMULAÇÃO)

Transformador (Tr) e Indutor S rie (Ls)

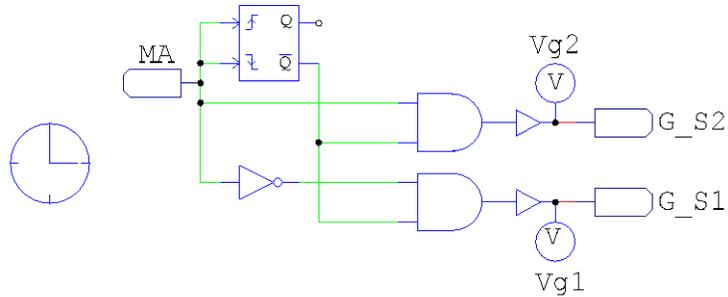


Circuito de Potencia - Boost Alto Ganho



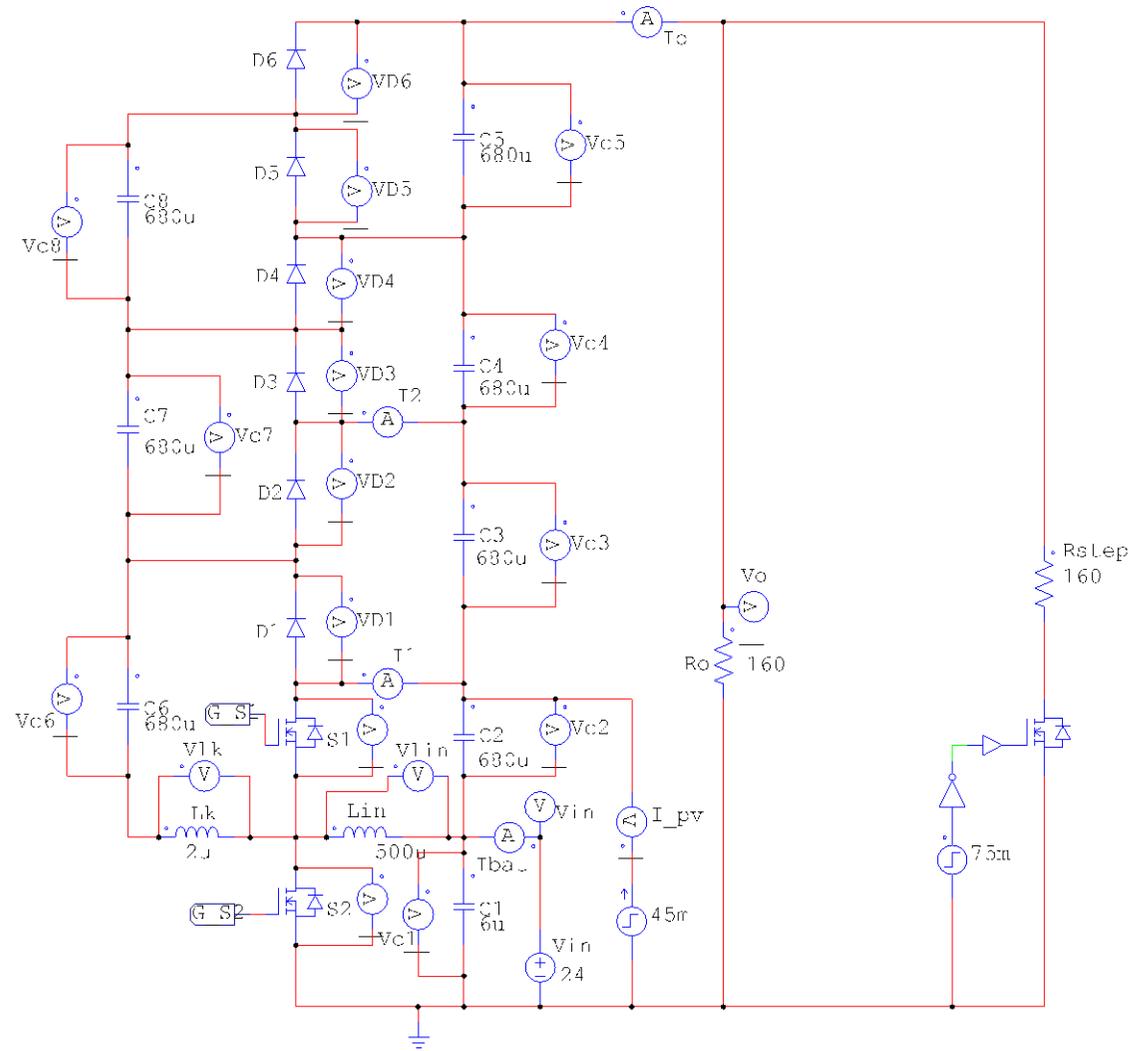
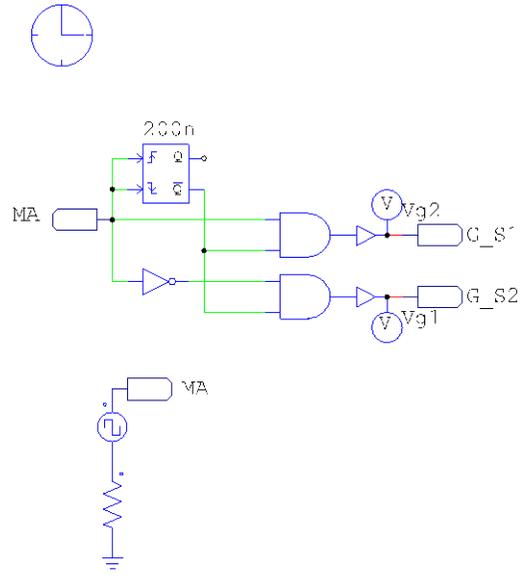
Tempo Morto

TempoMorto
400n

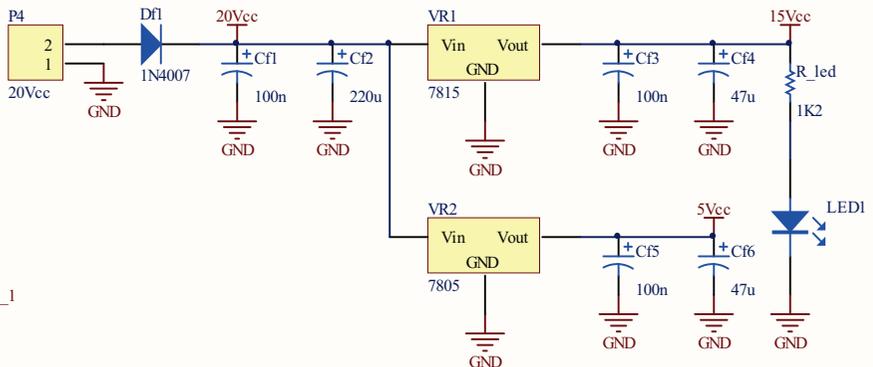
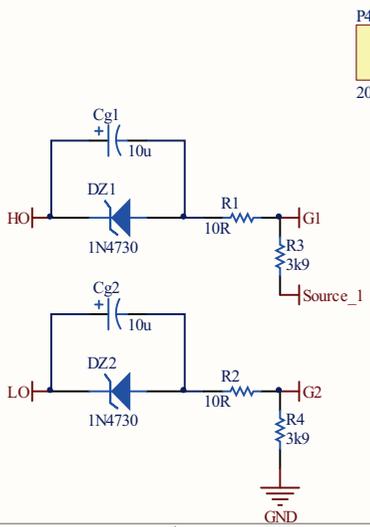
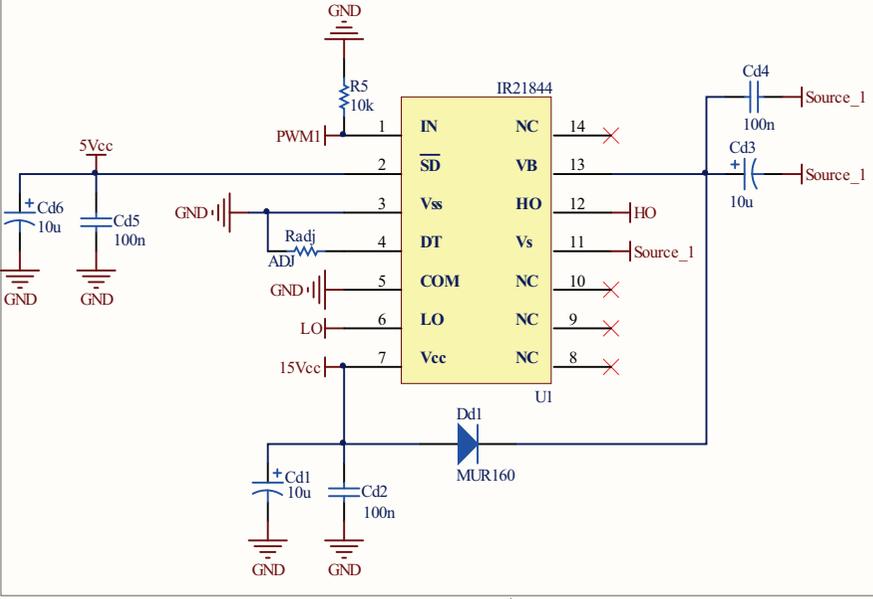
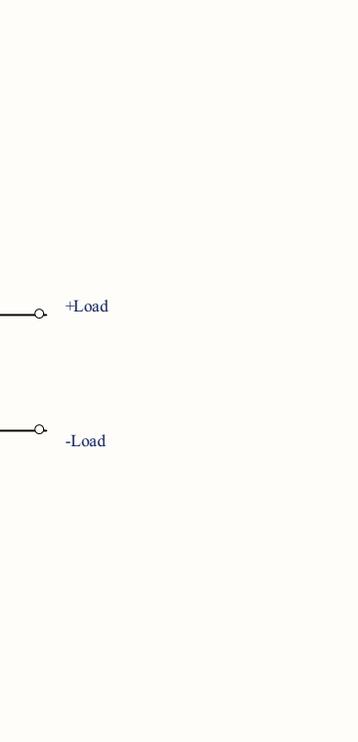
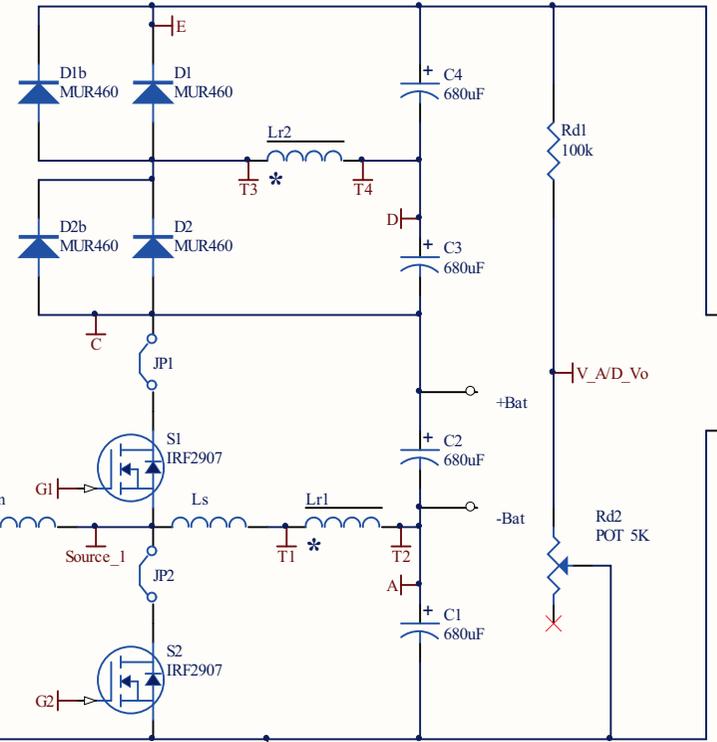
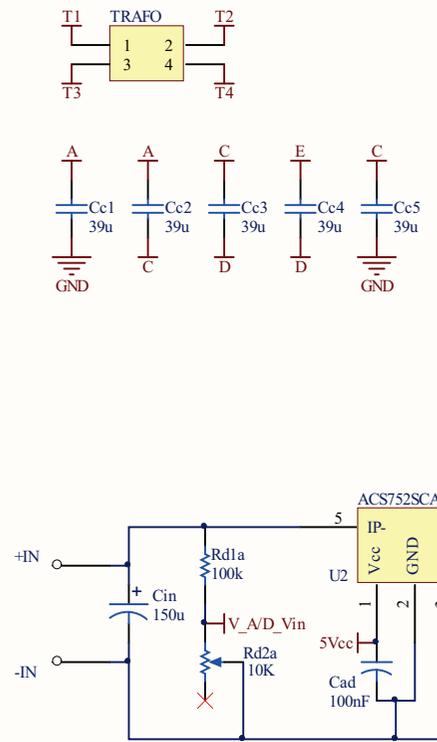
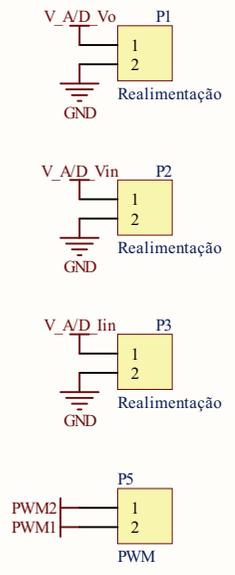


Malha Aberta

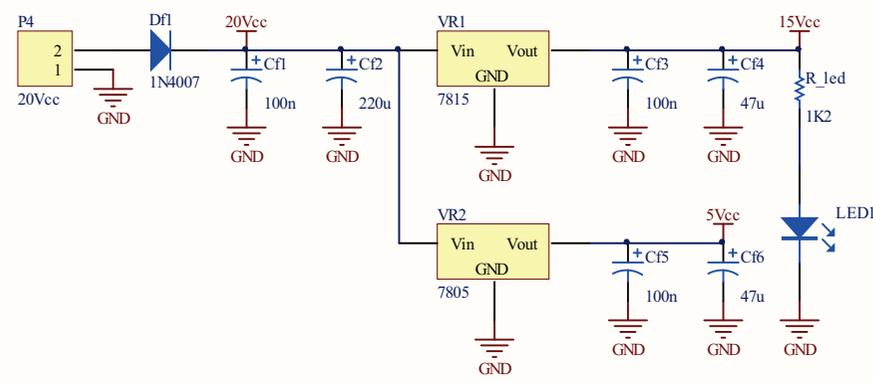
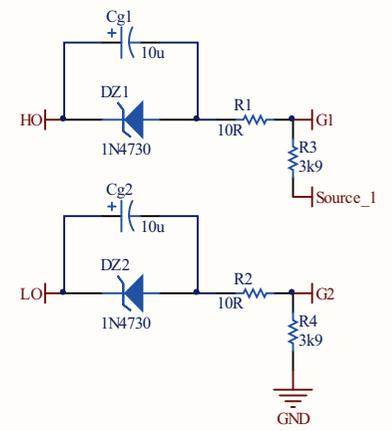
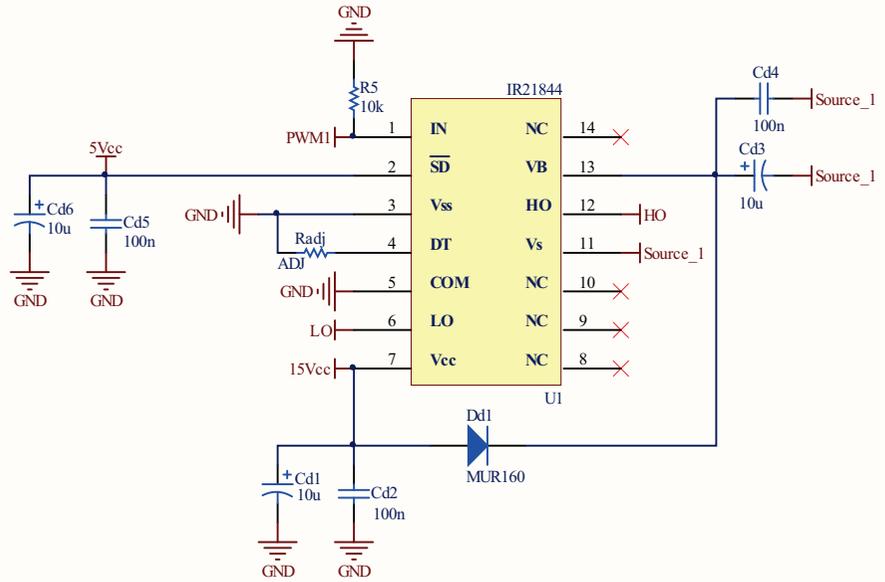
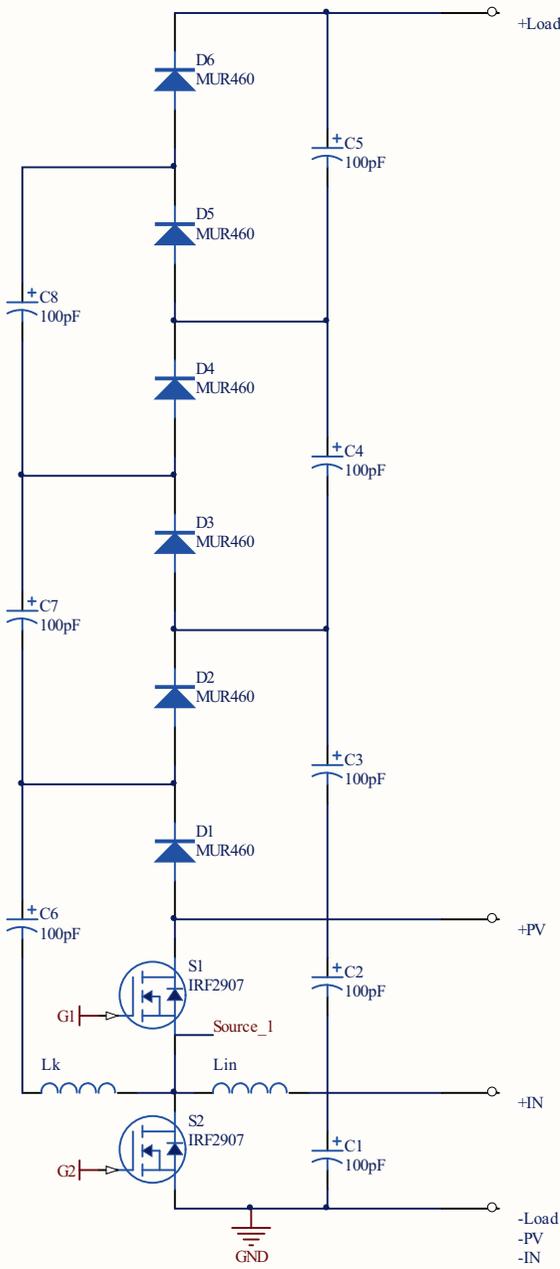




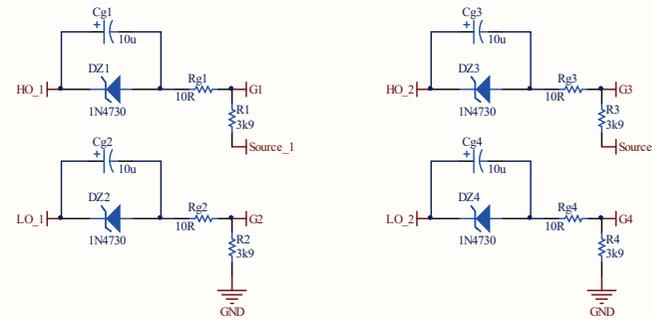
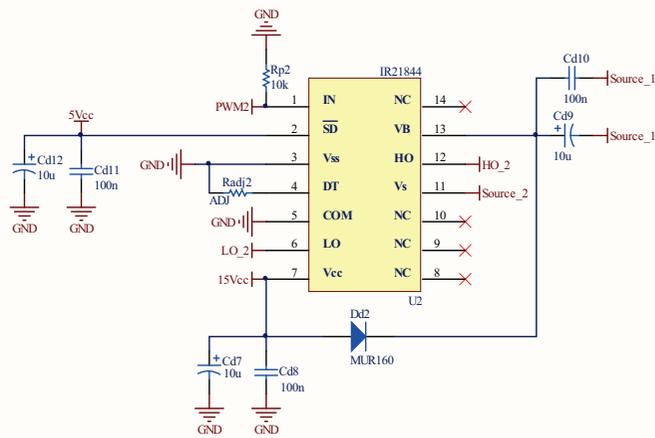
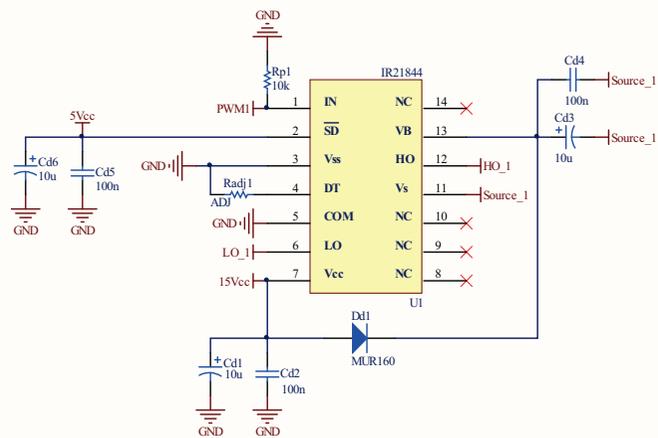
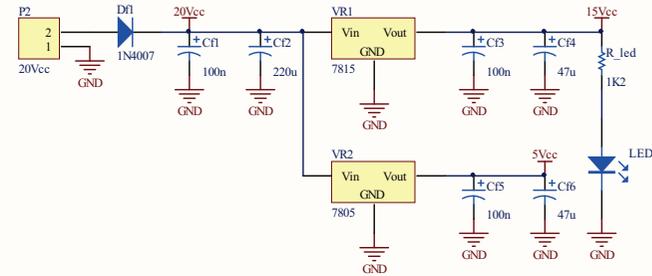
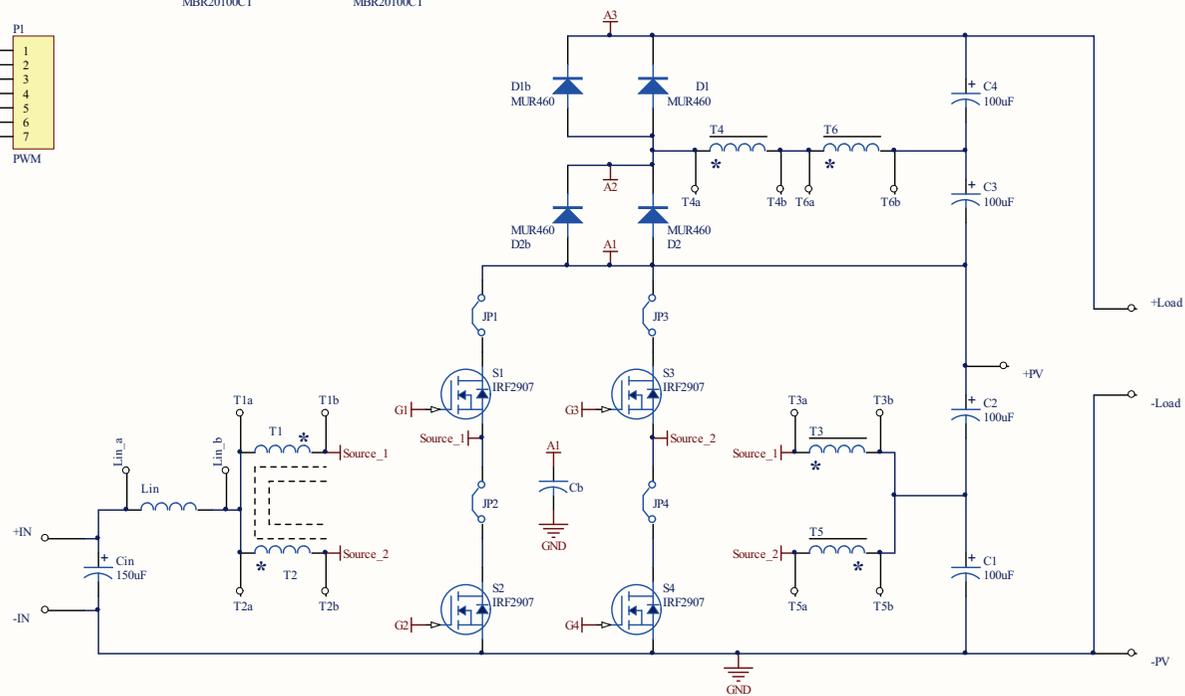
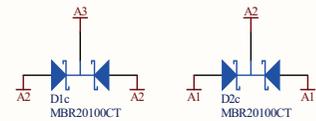
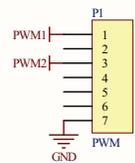
APÊNDICE B
(ESQUEMÁTICOS DOS CONVERSORES)



Title		
Conversor Boost de Alto Ganho - TESE		
Size	Number	Revision
A4	Topologia I	
Date:	20/09/2011	Sheet of
File:	D:\Paulo\...Boost_AG_2_SCH.SchDoc	Drawn By: Paulo P. Praça



Title		
Conversor Boost de Alto Ganho		
Size	Number	Revision
A4	Topologia II	
Date:	20/09/2011	Sheet of
File:	D:\Documentos&Dados\...Topologia II.Sch Down By: Paulo P. Praça	



Title		
Conversor Boost de Alto Ganho		
Size	Number	Revision
A3	Topologia III	
Date:	20/09/2011	Sheet of
File:	D:\Paulo\...Topologia_III.SchDoc	Drawn By: Paulo P. Praça

