



**UNIVERSIDADE FEDERAL DO CEARÁ
CENTRO DE TECNOLOGIA
PROGRAM DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

**UMA NOVA CONCEPÇÃO DE INVERSOR MULTINÍVEL
PARA APLICAÇÃO EM UPS**

LINCOLN MOURA DE OLIVEIRA

**Fortaleza
Novembro de 2009**

LINCOLN MOURA DE OLIVEIRA

**UMA NOVA CONCEPÇÃO DE INVERSOR MULTINÍVEL
PARA APLICAÇÃO EM UPS**

Dissertação submetida à Coordenação do Curso de Pós-Graduação em Engenharia Elétrica, da Universidade Federal do Ceará como requisito parcial para obtenção do grau de Mestre em Engenharia Elétrica.

Área de concentração: Eletrônica de Potência e Acionamentos Elétricos

Orientador: Prof. Dr. Fernando Luiz Marcelo Antunes.

Co-Orientador: Prof. Dr. -Ing. Sérgio Daher

Fortaleza
Novembro de 2009

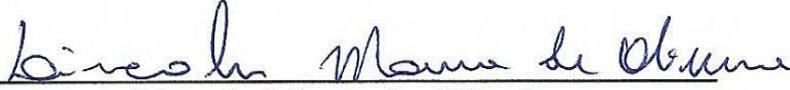
Dados Internacionais de Catalogação na Publicação
Universidade Federal do Ceará
Biblioteca de Pós-Graduação em Engenharia - BPGE

-
- O48n Oliveira, Lincoln Moura de.
Uma nova concepção de inversor multinível para aplicação em UPS / Lincoln Moura de Oliveira.
– 2009.
133 f. : il., enc. ; 30 cm.
- Dissertação (mestrado) – Universidade Federal do Ceará, Centro de Tecnologia, Departamento de Engenharia Elétrica, Programa de Pós-Graduação em Engenharia Elétrica, Fortaleza, 2009.
Área de Concentração: Eletrônica de Potência e Acionamentos Elétricos.
Orientação: Prof. Dr. Fernando Luiz Marcelo Antunes.
Coorientação: Prof. Dr. Sérgio Daher.
1. Engenharia elétrica. 2. Eletrônica de potência. 3. Inversores elétricos. 4. Fator de potência. I.
Título.

LINCOLN MOURA DE OLIVEIRA

UMA NOVA CONCEPÇÃO DE INVERSOR MULTINÍVEL PARA
APLICAÇÃO EM UPS

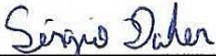
Esta Dissertação foi julgada adequada para a obtenção de título de Mestre em Engenharia Elétrica, Área de Concentração em Eletrônica de Potência e Acionamentos, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará.


Lincoln Moura de Oliveira

Orientador:


Prof. Fernando Luiz Marcelo Antunes, PhD.

Co-orientador:


Prof. Sérgio Daher, Dr.

Banca Examinadora:


Prof. Carlos Alberto Canesin, Dr.


Prof. René Pastor Torrico Bascopé, Dr.


Prof. Cícero Marcos Tavares Cruz, Dr.

Fortaleza, 23 de novembro de 2009

“O amor nunca falha.”
(1 coríntios 13,8)

*A Deus,
meu pai Josiel,
minha mãe Lúcia,
meu irmão Jhônata,
familiares e amigos.*

“Por que não sigo os passos, aprendo o caminho”.

Autor Desconhecido

AGRADECIMENTOS

A Deus, que proporcionou a realização deste trabalho.

Aos familiares e amigos que sempre me motivaram e apoiaram nos momentos difíceis, em especial meu pai Josiel, minha mãe Lúcia, meu irmão Jhônata, minhas tias Eliete e Tereza.

À FUNCAP (Fundação Cearense de Apoio ao Desenvolvimento Científico e Tecnológico) que contribuiu com o apoio financeiro necessário à realização desse trabalho e desenvolvimento científico.

Ao professor Fernando Luiz Marcelo Antunes por suas valiosas orientações, amizade, força, conselhos e disponibilidade durante todo este tempo. Agradeço a confiança em mim depositada, oportunidade de trabalhar também em outros projetos sob sua orientação e aprender. Agradeço também ao professor Sérgio Daher por todas as suas valiosas colaborações desde o início do trabalho, passando pela concepção deste projeto e grande auxílio em sua execução através de conselhos e disponibilidade física e de material.

Aos professores René Pastor e Cícero Marcos pelos conhecimentos e experiências que compartilharam durante as disciplinas do Mestrado, além da amizade e atenção em outros projetos.

A todos os professores e funcionários do Departamento de Engenharia Elétrica da UFC, responsáveis diretamente ou indiretamente pela minha formação no programa de Mestrado.

Aos meus amigos e colegas de mestrado Aldinei, Samuel Jó, Ranoica, Tiago Maciel, Gustavo Cárdenas, Felinto, Sérgio Aguiar, Levy, Deivid, Hermínio Miguel, Pedro, Carlos Elmano, Paulo Praça, Carlos Gustavo, Gustavo Hen, Amaral, Maykel, Klemilson, Edilson, Nelber, Vandilberto, Daniel Azevedo, Lívia, Ana, Yblin, Fabíola, Conceição, Socorro, Rafael e Sheila por todas as etapas que foram vencidas e pelo companheirismo e outros que não citei.

Aos amigos de graduação do CENTEC, em especial Terezinha, Samuel, Flávio, Jailson, Vera Lúcia, João Campos, Garlana, Tarcizios, Roniero, Paulo Adriano, Franscilino, Rogerim, Edson André (Pelezinho), Marcos Vinícius, Alberto, Roniero, Antonio Carlos, Suyanne e Valério.

Aos amigos de graduação da UVA, em especial Siqueira, Guilherme, Amarílio, Franscinalda, Daniele, Adriano e Reginaldo.

RESUMO

Oliveira, L. M. “Uma Nova Concepção de Inversor Multinível para Aplicação em UPS”, Universidade Federal do Ceará – UFC, 2009, 136p.

Este trabalho apresenta a análise teórica, metodologia de projeto e implementação do modo rede de um sistema ininterrupto de energia (UPS) na configuração *on-line*, utilizando um inversor multinível e um pré-regulador com correção de fator de potência. O inversor baseia-se num transformador que opera em baixa frequência com múltiplos secundários isolados, em que a tensão multinível na saída é formada através da combinação dos enrolamentos secundários do transformador por chaves de potência estáticas operando em baixa frequência. O pré-regulador é composto por uma ponte completa de diodos em série com um conversor *boost*. A motivação para este estudo consiste em avaliar os benefícios da utilização de inversores multiníveis em baixas potências (<10kVA) em UPS, com ênfase nos rendimentos das topologias. A utilização do inversor multinível operando em baixa frequência garante menores índices de EMI, menores esforços de tensão e corrente nos semicondutores da estrutura, desprezíveis perdas por comutação e conseqüentemente maior rendimento. A estrutura utilizada possui ainda a característica de garantir isolamento galvânico da rede elétrica com a carga através da utilização do transformador intrínseco desta topologia. O pré-regulador possui uma topologia que garante facilidade de implementação e alto rendimento. O modo rede de um sistema ininterrupto de energia de 3kVA com tensão de entrada e saída de 220V e 60Hz, foi implementado. As simulações e os resultados experimentais para um protótipo monofásico são apresentados para a validação da estrutura. O rendimento máximo obtido para o protótipo foi de 90%.

Palavras-Chave: Eletrônica de Potência, Inversores Multiníveis, Correção de Fator de Potência, Sistemas Ininterruptos de Energia.

ABSTRACT

Oliveira, L. M. “A New Conception of Multilevel Inverter for UPS Application”, Universidade Federal do Ceará – UFC, 2009, 136p.

This work deals with the theoretical analysis, design methodology and laboratory implementation of a 3kVA on-line mode Uninterruptible Power Supply (UPS) composed by a multilevel inverter based on a transformer with multiple secondaries and an active power factor correction input stage composed by a diode rectifier in series with a boost converter. The main motivation for this study is to assess the benefits of multilevel inverters in low power (<10kVA) applications. A 3kVA Uninterruptible Power Supply (UPS) with output and input voltage of 220V and 60Hz, has been implemented. Simulation and experimental results for a single phase prototype are conducted to validate the proposed idea. The utilization of low frequency operation inverters promotes low EMI, lower switches stresses, very low commutation losses and consequently higher efficiency. The multilevel converter here used isolates the load from the grid due to the multi-windings transformer intrinsic to the topology. The on-line mode of the UPS (no battery mode) has been implemented. Simulation and experimental results for a single-phase prototype are presented to validate the proposed converter. The UPS presented an efficiency of 90%

Keywords: Power Electronics, Multilevel Inverters, Power Factor Correction, Uninterruptible Power Supply.

SUMÁRIO

LISTA DE FIGURAS	xii
LISTA DE TABELAS	xv
SIMBOLOGIA	xvi
INTRODUÇÃO.....	1
CAPÍTULO 1 CONFIGURAÇÕES E TOPOLOGIAS DE SISTEMAS ININTERRUPTOS DE ENERGIA	3
1.1 Introdução.....	3
1.2 Principais Características e Classificações de UPS.....	3
1.2.1 Sistemas UPS <i>On-line</i>	4
1.2.2 Sistemas UPS <i>Off-line</i>	5
1.2.3 Sistemas UPS <i>Line-Interactive</i>	6
1.3 Topologias de Sistemas UPS <i>On-line</i>	6
1.4 Topologia Proposta.....	11
1.5 Conclusão	14
CAPÍTULO 2 ANÁLISES QUALITATIVA E QUANTITATIVA DO RETIFICADOR OPERANDO COM CORREÇÃO DE FATOR DE POTÊNCIA.....	15
2.1 Introdução.....	15
2.2 Topologia do Retificador.....	15
2.3 Descrição da Topologia do Conversor CC-CC <i>Boost</i>	16
2.3.1 Etapas de Funcionamento	17
2.3.2 Principais Formas de Onda.....	19
2.3.3 Equações Básicas.....	20
2.3.4 Determinação do Ganho Estático	21
2.3.5 Esforços de Corrente e Tensão nos Componentes	22
2.4 Conversor <i>Boost</i> Operando com PFC.....	27
2.4.1 Método de Controle	28
2.4.2 Técnica de Modulação.....	29
2.4.3 Formas de Onda para o Conversor com PFC	30
2.4.4 Razão Cíclica do PFC.....	32
2.4.5 Esforços nos Componentes do Conversor Operando com PFC	33
2.5 Modelagem do Conversor <i>Boost</i>	39

2.5.1 Função de Transferência da Corrente no Indutor	40
2.5.2 Função de Transferência da Tensão de Saída.....	40
2.6 Projeto das Malhas de Controle.....	41
2.6.1 Projeto do Compensador da Malha de Corrente.....	41
2.6.2 Projeto do Compensador da Malha de Tensão	42
2.6.3 Projeto da Malha de <i>Feedforward</i>	42
2.7 Conclusão	44
CAPÍTULO 3 ANÁLISE DO INVERSOR MULTINÍVEL.....	45
3.1 Introdução.....	45
3.2 Proposta do Inversor Multinível para UPS.....	45
3.2.1 Conceito de Onda Multinível	46
3.3 Descrição da Topologia do Inversor Multinível.....	48
3.3.1 Principais Características do Inversor	48
3.3.2 Principais Formas de Onda.....	49
3.3.3 Equações Básicas.....	51
3.3.4 Método de Identificação e Mecanismo de Correção de Desbalanceamento do Transformador	53
3.3.5 Otimização na Regulação da Forma de Onda	55
3.3.6 Configuração das Chaves Bidirecionais do Estágio de Saída	61
3.4 Conclusão	63
CAPÍTULO 4 METODOLOGIA E EXEMPLO DE PROJETO.....	64
4.1 Introdução.....	64
4.2 Projeto do Conversor <i>Boost</i> com PFC.....	64
4.2.1 Projeto do Circuito de Potência.....	64
4.2.2 Projeto do Circuito de Controle.....	73
4.3 Projeto do Inversor Multinível	82
4.3.1 Dimensionamento do Transformador Multinível.....	82
4.3.2 Onda Multinível.....	83
4.3.3 Especificação das Chaves Semicondutoras e <i>Snubbers</i>	85
4.4 Conclusão	86
CAPÍTULO 5 RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS.....	87
5.1 Introdução.....	87
5.2 Resultados de Simulação	87
5.3 Resultados Experimentais	90

5.3.1 Resultados Experimentais do Retificador com PFC	90
5.3.2 Resultados Experimentais do Inversor Multinível	92
5.3.3 Resultados Experimentais do Sistema UPS Operando em Modo Rede	95
5.4 Conclusão	99
CONCLUSÃO GERAL	100
REFERÊNCIAS BIBLIOGRÁFICAS	102
APÊNDICE A TABELA DA CORRENTE NORMALIZADA N=5	108
APÊNDICE B CÓDIGO FONTE EM C DO INVERSOR MULTINÍVEL	110
APÊNDICE C ESQUEMÁTICO COMPLETO	131

LISTA DE FIGURAS

Figura 1.1 Diagrama de blocos genérico de uma UPS <i>on-line</i>	4
Figura 1.2 Diagrama de blocos genérico de uma UPS <i>off-line</i>	5
Figura 1.3 Diagrama de blocos genérico de uma UPS <i>line-interactive</i>	6
Figura 1.4 Sistemas UPS <i>on-line</i> não-isolada com PFC	7
Figura 1.5 Sistema UPS <i>on-line</i> não-isolada com retificador a três níveis	8
Figura 1.6 Sistema UPS <i>on-line</i> isolada com inversor <i>full-bridge</i>	9
Figura 1.7 Sistema UPS <i>on-line</i> isolada em alta freqüência.....	10
Figura 1.8 Sistema UPS <i>on-line</i> isolada utilizando <i>boost</i> de alto ganho.....	10
Figura 1.9 Diagrama de blocos da topologia proposta	13
Figura 1.10 Esquemático completo da topologia proposta.....	14
Figura 2.1 Topologia do retificador com PFC.....	16
Figura 2.2 Conversor CC-CC elevador (<i>boost</i>).....	17
Figura 2.3 Primeira etapa de operação do retificador.....	18
Figura 2.4 Segunda etapa de operação do retificador.....	19
Figura 2.5 Principais formas de onda do conversor <i>boost</i>	20
Figura 2.6 Ganho estático ideal do conversor <i>boost</i>	22
Figura 2.7 Topologia com PFC e formas de onda.....	28
Figura 2.8 Conversor com PFC e controle	28
Figura 2.9 Técnica de modulação.....	30
Figura 2.10 (a) Tensão e corrente instantânea na entrada e (b) <i>ripple</i> da corrente de entrada.	30
Figura 2.11 (a) Tensão na chave no período da rede e (b) detalhe da tensão.....	31
Figura 2.12 Corrente no diodo (a) detalhe em baixa freqüência e (b) detalhe em alta freqüência	31
Figura 2.13 Corrente na chave (a) detalhe em baixa freqüência e (b) detalhe em alta freqüência	31
Figura 2.14 Corrente no capacitor (a) detalhe em baixa freqüência e (b) detalhe em alta freqüência	32
Figura 2.15 Tensão de entrada do retificador com PFC versus razão cíclica.....	33
Figura 2.16 Variação de corrente no indutor.....	37
Figura 2.17 Diagrama de blocos do método de controle modo corrente média.....	39
Figura 2.18 Modelo da chave PWM aplicado ao conversor <i>boost</i> em MCC	40
Figura 2.19 Compensador PI com filtro da malha de corrente.....	41

Figura 2.20 Compensador PI com filtro da malha de tensão.....	42
Figura 2.21 Filtro passa baixa de dois pólos da malha de <i>feedforward</i>	43
Figura 3.1 Topologia proposta para o inversor multinível	46
Figura 3.2 Onda multinível com 7 Níveis	47
Figura 3.3 Topologia do inversor multinível simplificada.....	50
Figura 3.4 Principais formas de onda	51
Figura 3.5 Configuração das chaves no instante de medição.....	54
Figura 3.6 Corrente de magnetização para a condição de desbalanceamento.....	54
Figura 3.7 Mecanismo de controle de balanceamento do transformador.....	55
Figura 3.8 Comparação entre as formas de onda multinível e senoidal.....	56
Figura 3.9 Controle da tensão RMS pela modificação do número de níveis	58
Figura 3.11 Controle do índice de modulação.....	60
Figura 3.12 Algoritmo para encontrar a forma de onda otimizada com p' e M_i	61
Figura 3.13 Configuração das chaves bidirecionais do estágio de saída.....	61
Figura 3.14 Corrente nas chaves do estágio de saída	62
Figura 4.1 Estágio de potência do <i>boost</i> com PFC.....	65
Figura 4.2 Modelo para cálculo das perdas da chave por condução	69
Figura 4.3 Circuito de controle do retificador	74
Figura 4.4 Amplificador diferenciador.....	75
Figura 4.5 Malha de <i>feedforward</i>	75
Figura 4.6 Diagrama de bode da FTMA(s), onde (a) ganho e (b) fase.	77
Figura 4.7 Compensador PI com filtro da malha de corrente.....	78
Figura 4.8 Diagrama de bode da FTMAi(s), onde (a) ganho e (b) fase.	79
Figura 4.9 Diagrama de bode FTMAv(s), onde (a) ganho e (b) fase.	80
Figura 4.10 Compensador PI com filtro da malha de tensão.....	80
Figura 4.11 Diagrama de bode da FTMAv(s), onde (a) ganho e (b) fase.....	81
Figura 4.12 Inversor multinível com 5 estágios de saída	84
Figura 5.1 Tensão e corrente na entrada (esquerda) e corrente na entrada (direita).....	87
Figura 5.2 Ondulação da tensão de saída (esquerda) e corrente no indutor (direita).	88
Figura 5.3 Corrente na chave para um período de chaveamento (esquerda) e meio-ciclo da tensão da rede (direita).	88
Figura 5.4 Tensão na chave para um ciclo da tensão da rede.....	88
Figura 5.5 Corrente no diodo para um período de chaveamento (esquerda) e meio-ciclo da tensão da rede (direita).	89

Figura 5.6 Corrente no capacitor (esquerda) e indutor (direita) do retificador.	89
Figura 5.7 Onda multinível do inversor	89
Figura 5.8 Tensão no enrolamento primário do inversor	90
Figura 5.9 Visão geral do conversor PFC	90
Figura 5.10 Corrente e tensão na entrada do retificador.....	91
Figura 5.11 Espectro harmônico da tensão de entrada (esquerda) e corrente (direita)	91
Figura 5.12 Oscilação da tensão do barramento CC	91
Figura 5.13 Curva de rendimento do conversor	92
Figura 5.14 Inversor multinível.....	93
Figura 5.15 Tensão multinível (a) em um ciclo da rede (100V/div, 2ms) e (b) detalhe dos degrais de tensão (100V/div, 500us).	93
Figura 5.16 Tensão (200V/div, 2ms) e corrente (5A/div, 2ms) no primário do transformador	94
Figura 5.17 Espectro harmônico da tensão da saída.....	94
Figura 5.18 Rendimento do inversor	95
Figura 5.19 Oscilação da tensão no barramento caso ideal (esquerda) e pior caso (direita)....	96
Figura 5.20 degrau de carga de 0 a 50% (a) V_{cc} (200V/div, 50ms) e $i_{os}(t)$ (10A/div, 50ms), (b) V_{cc} (200V/div, 10ms) e $i_{os}(t)$ (10A/div, 10ms) e degrau de carga 0 a 100% (c) V_{cc} (200V/div, 100ms) e $i_{os}(t)$ (10A/div, 100ms) e (d) V_{cc} (200V/div, 10ms) e $i_{os}(t)$ (10A/div, 10ms).....	96
Figura 5.21 degrau de carga de 50% a 0 (a) V_{cc} (200V/div, 100ms) e $i_{os}(t)$ (10A/div, 100ms), (b) V_{cc} (200V/div, 10ms) e $i_{os}(t)$ (10A/div, 10ms) e degrau de carga 90% a 0 (c) V_{cc} (200V/div, 100ms) e $i_{os}(t)$ (10A/div, 100ms) e (d) V_{cc} (200V/div, 10ms) e $i_{os}(t)$ (10A/div, 10ms).	97
Figura 5.22 Tensão (100V/div, 5ms) e corrente (20A/div, 5ms) de saída do inversor alimentando carga não-linear (a) e espectro harmônico da tensão de saída.....	98
Figura 5.23 Tensão (100V/div, 2ms) e corrente (10A/div, 2ms) de entrada do retificador	98
Figura 5.24 Rendimento da estrutura completa.....	99

LISTA DE TABELAS

Tabela 3.1 Qualidade da tensão multinível em função de p' e M_i	57
Tabela 3.2 Análise harmônica para um tensão multinível de baixa resolução.....	57
Tabela 3.3 Análise harmônica para uma tensão multinível de alta resolução sem otimização	57
Tabela 3.4 Análise harmônica para uma tensão multinível de alta resolução com otimização	58
Tabela 3.5 Efeito de p' e M_i na THD da tensão multinível.....	59
Tabela 3.6 Limites de M_i para THD <5 %.....	60
Tabela 4.1 Principais especificações e considerações do conversor <i>boost</i>	64
Tabela 4.2 Parâmetros de operação do indutor.....	67
Tabela 4.3 Principais especificações do IGBT	69
Tabela 4.4 Principais especificações do diodo	71
Tabela 4.5 Especificações dos capacitores	72
Tabela 4.6 Especificações da ponte de diodo	73
Tabela 4.7 Especificações do sensor de efeito <i>hall</i>	74
Tabela 4.8 Principais especificações e considerações do inversor multinível	82
Tabela 4.9 Especificações do transformador multinível	83
Tabela 4.10 Frequência de comutação das chaves do estágio de saída ($p'=31$).....	85
Tabela 4.11 Resumo das chaves e <i>snubbers</i> do inversor multinível	86
Tabela 5.1 Fator de potência e rendimento (η_{PFC}) em função da potência de saída	92

SIMBOLOGIA

Simbologia utilizada neste trabalho:

Símbolo	Significado	Unidade
a	Razão da tensão de saída pela tensão de pico de entrada do retificador	-
α_{Cu}	Constante de dilatação linear do cobre	$^{\circ}C^{-1}$
Δ	Diâmetro dos condutores	mm
ΔB	Varição máxima de densidade de fluxo magnético	T
ΔI_{Lb}	Varição de corrente através do indutor <i>boost</i>	A
ΔT_L	Varição na temperatura do indutor do <i>boost</i>	$^{\circ}C$
ΔV_{C1}	Varição de tensão sobre o capacitor <i>boost</i>	V
ΔV_{CA}	Varição da tensão de entrada	V
ΔV_o	Varição da tensão no barramento CC	V
η	Rendimento do conversor do <i>boost</i>	-
η_{PFC}	Rendimento do retificador com PFC	-
μ_o	Permeabilidade magnética do ar	H/m
ρ_r Cu 20°C	Resistividade do cobre a 20°C	$\Omega.cm$
ρ_r Cu(T _o)	Resistividade do cobre a temperatura de operação T _o	$\Omega.cm$
$a_{amostragem}$	Ganho de amostragem	-
A_e	Área da janela da seção de um núcleo magnético	cm ²
A_w	Área da janela de um núcleo magnético	cm ²
$B_{m\acute{a}x}$	Máxima densidade de fluxo	T
$d(t)$	Razão cíclica para o retificador com PFC	-
C_1	Capacitância do capacitor do retificador com PFC	F
D	Razão cíclica	-
E	Tensão sobre a fonte CC do conversor <i>boost</i>	V
f_L	Frequência da tensão de saída do inversor	Hz
f_{nc}	Frequência de comutação da n-ésima célula do estágio de saída do inversor	Hz
f_r	Frequência da rede elétrica	Hz
f_s	Frequência de chaveamento do retificador	Hz
$Gi(s)$	Função de transferência da malha de corrente	-
$Gv(s)$	Função de transferência da malha de tensão	-
$He(s)$	Ganho de amostragem	-
$Hi(s)$	Função de transferência do compensador de corrente	-
$Hv(s)$	Função de transferência do compensador de tensão	-
$i_{C1}(t)$	Corrente instantânea através do capacitor <i>boost</i>	A
$i_{db}(t)$	Corrente instantânea através do diodo <i>boost</i>	A
$i_E(t)$	Corrente instantânea através da fonte CC do conversor <i>boost</i>	A
$i_{in}(t)$	Corrente instantânea de entrada do retificador com PFC	A
$i_{Lb}(t)$	Corrente instantânea através do indutor <i>boost</i>	A
$i_o(t)$	Corrente instantânea na saída do <i>boost</i>	A
$i_{os}(t)$	Corrente instantânea na saída do inversor	A
$i_p(t)$	Corrente instantânea através do primário do transformador multinível	A
$i_{Sb}(t)$	Corrente instantânea através da chave <i>boost</i>	A
I_{ef_C1}	Corrente eficaz através do capacitor <i>boost</i>	A

Símbolo	Significado	Unidade
$I_{ef D1}$	Corrente eficaz através do diodo D_1 da ponte retificadora	A
$I_{ef Db}$	Corrente eficaz através do diodo <i>boost</i>	A
$I_{ef Db PFC}$	Corrente eficaz através do diodo do retificador com PFC	A
$I_{ef C1 PFC}$	Corrente eficaz através do capacitor do retificador com PFC	A
$I_{ef Lb}$	Corrente eficaz através do indutor <i>boost</i>	A
$I_{ef Lb PFC}$	Corrente eficaz através do indutor do retificador com PFC	A
$I_{ef ponte}$	Corrente eficaz através dos diodos da ponte retificadora	A
$I_{ef Sb}$	Corrente eficaz através do interruptor do <i>boost</i>	A
$I_{ef Sb PFC}$	Corrente eficaz através do interruptor do retificador com PFC	A
I_{Lb}	Corrente média através do indutor <i>boost</i>	A
I_m	Valor mínimo da corrente na entrada do circuito do <i>boost</i>	A
$I_{md D1}$	Corrente média através do diodo D_1 da ponte retificadora	A
$I_{md Db}$	Corrente média através do diodo <i>boost</i>	A
$I_{md Db PFC}$	Corrente média através do diodo do retificador com PFC	A
$I_{md E}$	Corrente média na entrada do conversor <i>boost</i>	A
$I_{md ponte}$	Corrente média através dos diodos da ponte retificadora	A
$I_{md Sb}$	Corrente média através do interruptor do <i>boost</i>	A
$I_{md Sb PFC}$	Corrente média através do interruptor do retificador com PFC	A
I_M	Valor máximo da corrente na entrada do circuito do <i>boost</i>	A
I_o	Corrente média na saída do conversor <i>boost</i>	A
$I_{os eficaz}$	Corrente eficaz na saída do inversor	A
$I_{os pk}$	Corrente de pico na saída do inversor	A
I_{p_eficaz}	Corrente eficaz através do primário do transformador multinível	A
I_{pk}	Valor de pico da corrente de entrada do retificador com PFC	A
$I_{pk D1}$	Corrente de pico através dos diodos da ponte retificadora	A
$I_{pk Db}$	Corrente de pico através do diodo <i>boost</i>	A
$I_{pk Db PFC}$	Corrente de pico através do diodo do retificador com PFC	A
$I_{pk Lb PFC}$	Corrente de pico através do indutor do retificador com PFC	A
$I_{pk Sb}$	Corrente de pico através do interruptor <i>boost</i>	A
$I_{pk Sb PFC}$	Corrente de pico através do interruptor do retificador com PFC	A
$I_S eficaz ponte-H$	Corrente eficaz através dos interruptores da ponte-H	A
$I_S médio ponte-H$	Corrente média através dos interruptores da ponte-H	A
$J_{máx}$	Máxima densidade de corrente	A/cm ²
K_E	Coefficiente de perdas por correntes parasitas para o material do núcleo magnético	-
K_H	Coefficiente de perdas por histerese para o material do núcleo magnético	-
K_{hall}	Ganho do sensor de efeito <i>Hall</i>	V/A
K_w	Fator de ocupação do núcleo magnético	-
lg	Entferro do núcleo magnético	cm
lt	Comprimento médio de uma espira do indutor <i>boost</i>	cm
L_b	Indutância do conversor <i>boost</i>	H
M_i	Índice de modulação	-
n	Número de níveis da onda multinível	-
n_c	Número da célula do estágio de saída	-
N	Número de estágios de saída do inversor	-
N_{Lb}	Número de espiras do indutor <i>boost</i>	-
p'	Número de passos para um quarto ciclo da onda de multinível	-

Símbolo	Significado	Unidade
p	Número de passos para um ciclo da onda de multinível	-
$P_{in}(t)$	Potência instantânea de entrada do retificador com PFC	VA
P_{cap}	Perdas nos capacitores do barramento CC	W
$P_{cond Db}$	Perdas por condução no diodo do retificador	W
$P_{cond ponte}$	Perdas por condução nos diodos da ponte retificadora	W
$P_{cond Sb}$	Perdas por condução no interruptor do retificador	W
$P_{com Db}$	Perdas por comutação no diodo do retificador	W
$P_{com Sb}$	Perdas por comutação no interruptor do retificador	W
P_{cu}	Perdas no cobre nos enrolamentos do indutor	W
P_{in}	Potência média na entrada do conversor <i>boost</i>	VA
$P_{in PFC}$	Potência média na entrada do retificador com PFC	VA
$P_{núcleo}$	Perdas no núcleo magnético do indutor <i>boost</i>	W
$P_{total indutor}$	Perdas totais no indutor <i>boost</i>	W
P_{out}	Potência média na saída do conversor <i>boost</i>	VA
$P_o PFC$	Potência média na saída do retificador com PFC	VA
$P_o inv$	Potência média de saída do inversor multinível	VA
$r(t)$	Valor efetivo da relação de transformação do transformador multinível	-
R_{pk}	Valor de pico da relação de transformação do transformador multinível	-
$R_{th da}$	Resistência térmica dissipador-ambiente	°C/W
S_{Lb}	Seção total dos condutores do indutor <i>boost</i>	cm ²
$t_{on ret}$	Tempo de condução do interruptor	s
T_a	Temperatura ambiente	°C
T_j	Temperatura na junção	°C
T_{ret}	Período de comutação	s
$v_{in}(t)$	Tensão instantânea na entrada do retificador com PFC	V
$v_o(t)$	Valor instantâneo da tensão na saída do <i>boost</i>	V
$v_{Sb}(t)$	Valor instantâneo da tensão sobre a chave <i>boost</i>	V
V_{CA}	Tensão eficaz na entrada do retificador com PFC	V
V_{CC}	Tensão no barramento CC	V
V_{D1}	Tensão de pico sobre o diodo D_1 da ponte retificadora	V
V_{Db}	Máxima tensão sobre o diodo	V
V_{db}	Queda de tensão sobre o diodo <i>boost</i> em condução	V
V_e	Volume do núcleo magnético	cm ³
$V_{ef in Ta}$	Tensão eficaz na entrada do transformador de amostragem	V
$V_{ef out Ta}$	Tensão eficaz na saída do transformador de amostragem	V
V_{ff}	Tensão na saída da malha de <i>feedforward</i>	V
$V_{máx C1}$	Tensão máxima sobre o capacitor <i>boost</i>	V
$V_{máx C1 PFC}$	Tensão máxima sobre o capacitor do retificador com PFC	V
$V_{máx Sb}$	Tensão máxima sobre o interruptor <i>boost</i>	V
$V_{máx Sb PFC}$	Tensão máxima sobre o interruptor do retificador com PFC	V
V_n	Tensão no n-ésimo enrolamento do transformador multinível	V
V_o	Tensão na saída do conversor <i>boost</i>	V
V_{os}	Tensão eficaz de saída do inversor	V
$V_{os pk}$	Tensão de pico do inversor multinível	V
$V_p eficaz$	Tensão eficaz sobre o enrolamento primário do transformador	V
V_{pk}	Valor de pico da tensão de entrada do retificador com PFC	V
$V_{pk inv}$	Valor de pico da tensão de saída do inversor multinível	V

Símbolo	Significado	Unidade
$V_{\text{ponte máx}}$	Valor da máxima tensão nos diodos da ponte retificadora	V
$V_{\text{ripple máx}_C1}$	Valor máximo do <i>ripple</i> da tensão na saída do retificador com PFC	V
V_{RMS}	Valor eficaz da onda multinível	V
W_E	Energia cedida pela fonte do <i>boost</i>	J
W_{V_0}	Energia absorvida pela carga do <i>boost</i>	J

Acrônimos e Abreviaturas:

Símbolo	Significado
CA	Corrente Alternada
CC	Corrente Contínua
EMI	<i>Electromagnetic Interference</i>
IEC	<i>International Electrotechnical Commission</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
MCC	Modo de Condução Contínua
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
MTBF	<i>Mean Time Between Failure</i>
PFC	<i>Power Factor Correction</i>
PWM	<i>Pulse Width Modulation</i>
RMS	<i>Root Mean Square</i>
THD	<i>Total Harmonic Distortion</i>
UPS	<i>Uninterruptible Power Supply</i>

INTRODUÇÃO

Os sistemas ininterruptos de energia são conhecidos pela sua capacidade de garantir o fornecimento contínuo de energia a cargas sob uma tensão com magnitude e frequência constantes, e eliminando as influências de distúrbios provenientes da rede elétrica. Esses sistemas tornaram-se importantes para alimentação de cargas que, na maioria das vezes, são consideradas críticas para um processo ou para uma atividade específica, como é o caso dos equipamentos relacionados a processamento de dados, equipamentos de telecomunicações, componentes industriais e sistemas hospitalares.

As concessionárias de energia elétrica nem sempre possuem o total controle sobre a qualidade da energia entregue ao cliente que somado à crescente utilização de cargas críticas, proporcionou uma rápida evolução da indústria voltada para sistemas ininterruptos de energia, baseando-se principalmente no desenvolvimento da eletrônica de potência. Conhecido internacionalmente pela sigla em inglês UPS (*Uninterruptible Power Supply*), no Brasil ficou conhecido como *nobreak*, e definido pela norma brasileira NBR15014/2003.

Os sistemas ininterruptos de energia tornaram-se um grande motivador para o desenvolvimento de inversores nas últimas décadas, em que se observa, principalmente em baixas potências (menor que 10kVA), a exclusividade de aplicações de inversores que operam com alta frequência de chaveamento, dando ênfase para as configurações ponte-completa e meia-ponte [1].

Os inversores multiníveis são conhecidos por oferecer tensões de alta qualidade em sua saída operando em baixa frequência, sendo originalmente desenvolvidos para aplicações que envolvam processamento de altos níveis de tensões e potências. Para aplicações em baixas potências observa-se um crescente interesse de sua utilização, principalmente, onde existe a necessidade de maiores rendimentos [2-4].

Este trabalho propõe a aplicação de um inversor multinível de 3kVA baseado num transformador com múltiplos secundários, alimentado por um retificador com correção de fator de potência ativa ligado à rede elétrica, formando o modo rede de operação de uma UPS *on-line*. A proposta tem por objetivo avaliar os benefícios do uso da estrutura multinível em sistemas ininterruptos de energia.

Este trabalho é apresentado em 5 capítulos assim descritos:

No capítulo 1 são apresentadas as principais configurações para os sistemas UPS e realiza-se uma revisão bibliográfica sobre topologias que operam em alta frequência. Em

seguida a proposta do trabalho é apresentada, discutindo a topologia da UPS com o inversor multinível alimentado por um retificador com correção de fator de potência e carregando um banco de baterias quando no modo rede e do inversor multinível alimentado pelo conversor CC-CC elevando a tensão do banco de baterias, quando operando no modo bateria.

O capítulo 2 mostra as análises qualitativa e quantitativa do retificador operando com correção de fator de potência, descrevendo os modos de operação e o equacionamento do retificador baseando-se em sua estrutura básica, o conversor CC-CC *boost*. O método de controle empregado, a determinação das funções de transferência e os critérios para projeto dos compensadores são discutidos.

No capítulo 3 é apresentado o estudo do inversor multinível. As análises qualitativa e quantitativa são realizadas e conceituam-se os parâmetros pertinentes à onda multinível. O método de identificação e o mecanismo de correção de desbalanceamento do transformador, a configuração das chaves dos estágios do inversor e do *snubber* utilizado são descritos.

No capítulo 4 realiza-se a especificação dos conversores e utiliza-se as análises quantitativas, apresentadas nos capítulos 2 e 3, para os cálculos dos esforços de tensão e corrente nos componentes do sistema e das malhas de controle. São dispostas em forma de tabelas as principais especificações dos componentes escolhidos para a implementação.

No capítulo 5 são mostrados os resultados de simulação e experimentais separadamente para o retificador com correção de fator de potência e o inversor multinível. Também são mostrados os resultados experimentais de ambos os estágios interligados.

Finalmente é feita uma conclusão baseada nos resultados experimentais, relacionando os dados obtidos com a proposta do sistema e são sugeridas algumas propostas para trabalhos futuros.

CAPÍTULO 1

CONFIGURAÇÕES E TOPOLOGIAS DE SISTEMAS ININTERRUPTOS DE ENERGIA

1.1 Introdução

Os sistemas ininterruptos de energia ou UPS (*Uninterruptible Power Supplies*) possuem a função de garantir um fornecimento de energia elétrica de forma ininterrupta, segura e de qualidade para equipamentos essenciais, tais como: equipamentos médicos destinados à sustentação da vida e monitoramento de funções vitais, sistemas de informática, telecomunicações, processos industriais, sistemas de vigilância e de gerenciamento *on-line*.

Considerando a crescente relevância destes sistemas nos mais diversos setores da sociedade, torna-se necessário o estudo de novas topologias com o objetivo de explorar novas possibilidades de aplicações e melhores desempenhos. Este capítulo realiza uma abordagem sobre as classificações, características e algumas topologias de UPS e apresenta a proposta de aplicação de inversor multinível.

1.2 Principais Características e Classificações de UPS

A função principal de toda UPS é fornecer energia elétrica continuamente e com qualidade, independente de qualquer distúrbio ou falha na alimentação do sistema, de modo a eliminar problemas ou alterações no correto funcionamento das cargas.

De acordo com [5], as principais características que uma UPS deve possuir são: fornecer uma tensão de saída senoidal com magnitude e frequência constantes e com uma taxa de distorção harmônica total (THD) inferior a 5% (independente das variações de tensão de alimentação ou da carga), possuir uma transição instantânea entre os modos de operação (modo rede e modo bateria) e corrente de entrada senoidal com fator de potência unitário. Além destas características consideradas como fundamentais, devem ser levadas em consideração: alta confiabilidade, alta eficiência, baixa interferência eletromagnética, isolamento galvânica, baixo custo e peso, baixa manutenção e tamanho reduzido.

Os sistemas que se baseiam exclusivamente na utilização da eletrônica de potência para atingir as características citadas anteriormente são chamados de UPS estáticas e pode-se

classificá-los de acordo com sua configuração em três grupos: *on-line*, *off-line* e *line-interactive*. A seguir são apresentadas algumas vantagens e desvantagens de cada configuração.

1.2.1 Sistemas UPS On-line

Esta configuração, também conhecida na literatura como *Inverter-Preferred UPS* ou *Double-Conversion UPS* [6-8], possui um retificador/carregador, um banco de baterias, um inversor e uma chave estática (*bypass*). A figura 1.1 apresenta o diagrama de blocos para esta configuração.

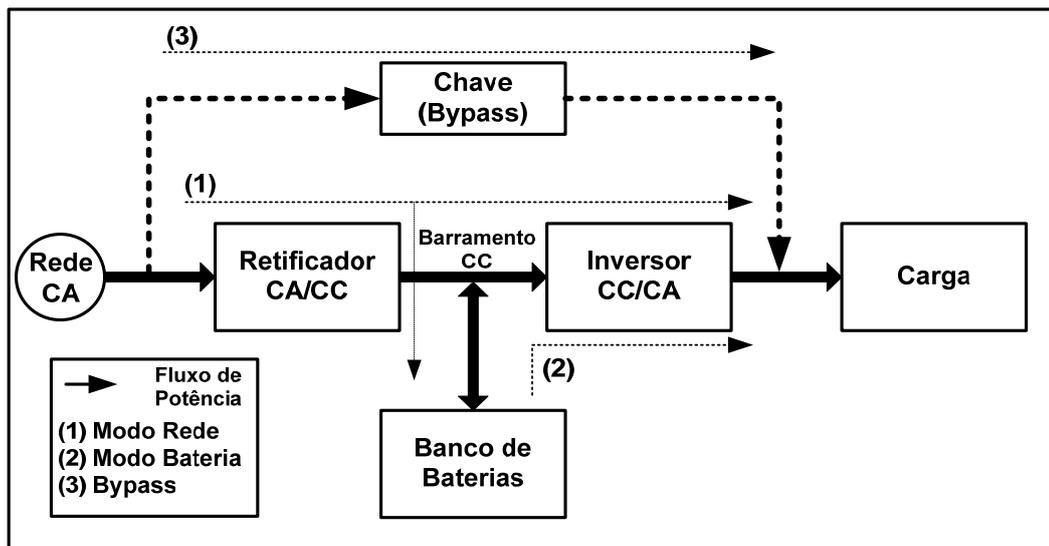


Figura 1.1 Diagrama de blocos genérico de uma UPS on-line.

Quando o sistema opera no modo rede, o retificador tem a função de transformar uma tensão alternada da rede elétrica em tensão contínua, que fornece toda a energia demandada pela carga através do inversor e pelo banco de baterias através do carregador de baterias. Durante este modo de operação, o inversor opera compensando possíveis variações de tensão no barramento CC, evitando deformações na tensão de saída senoidal, enquanto o carregador garante o correto condicionamento de energia do banco de baterias durante o processo de carregamento.

No modo bateria (falta ou falha da rede elétrica), o retificador deixa de operar e o inversor passa a ser alimentado pelo banco de baterias, o que garante as mesmas condições de funcionamento para a carga.

A utilização da chave *bypass* está relacionada à segurança do sistema para o caso de sobrecarga ou falha do equipamento, o que geralmente é sinalizado pelo sistema de gerenciamento e/ou monitoramento. Para o correto funcionamento desta chave, a tensão de saída e a tensão de entrada devem estar em fase.

As principais vantagens deste sistema são: correção de fator de potência para uma ampla faixa de variação da tensão de entrada, alta confiabilidade, tempo de transferência do modo rede para o modo bateria aproximadamente zero, regulação precisa da tensão de saída. Como desvantagens têm-se: baixa eficiência, maior custo, maior peso e baixo fator de potência (caso não seja utilizado nenhuma técnica de correção de fator de potência).

1.2.2 Sistemas UPS Off-line

A figura 1.2 apresenta o diagrama de blocos de uma UPS *off-line*, também conhecida como *standby UPS* ou *line-preferred UPS* [6-7].

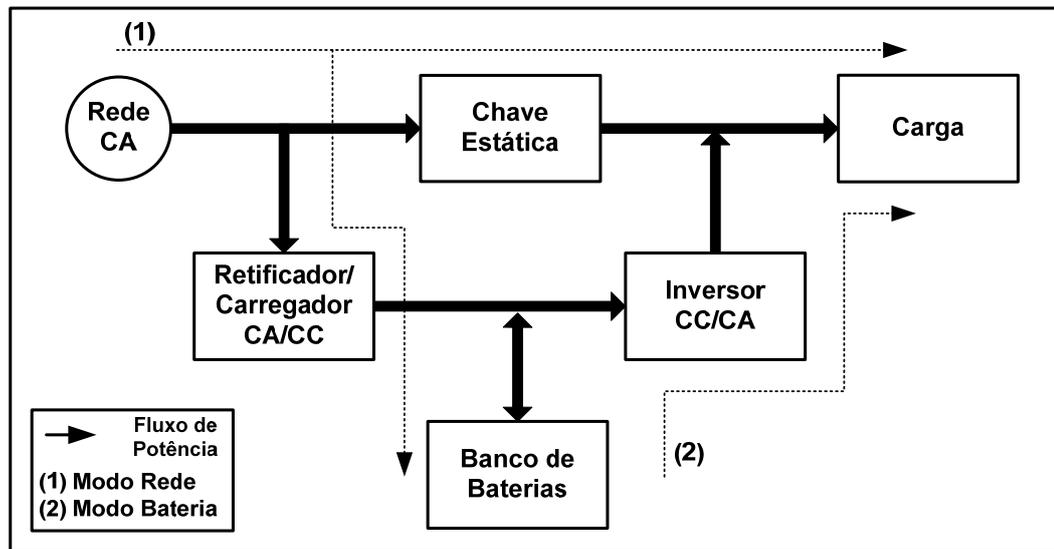


Figura 1.2 Diagrama de blocos genérico de uma UPS *off-line*.

Esta configuração apresenta os mesmos conversores da estrutura *on-line*, porém durante a operação no modo rede, a carga é conectada diretamente à entrada do sistema através da chave estática sem nenhum condicionamento de energia e o retificador/carregador opera proporcionando a manutenção do correto estado de carga para as baterias. Durante este modo de operação o inversor não entra em funcionamento. No modo bateria a chave estática é comandada a abrir, o retificador/carregador deixa de operar e o banco de baterias passa a alimentar a carga através do inversor.

As principais vantagens são: baixo custo e volume, alto rendimento e projeto mais simples. As desvantagens são: falta de regulação dinâmica da tensão da rede que alimenta a carga e interrupção momentânea de energia durante o tempo de comutação do modo rede para o modo bateria.

1.2.3 Sistemas UPS Line-Interactive

O sistema ininterrupto de energia com essa topologia possui uma chave estática, um indutor série, um conversor bidirecional e um banco de baterias, sendo possível operá-lo no modo *on-line* ou *off-line* (não necessita do indutor série). A principal característica desta configuração consiste na possibilidade do sistema, quando operando no modo *on-line*, realizar correção de fator de potência ou regular a tensão de saída.

Durante o modo rede, a carga é alimentada diretamente pela fonte primária através da chave estática e o conversor bidirecional garante a alimentação do banco de baterias. No modo bateria a chave estática desconecta a rede elétrica e o conversor bidirecional passa a operar como inversor alimentando a carga através do banco de baterias. A figura 1.3 apresenta o diagrama de blocos para essa configuração.

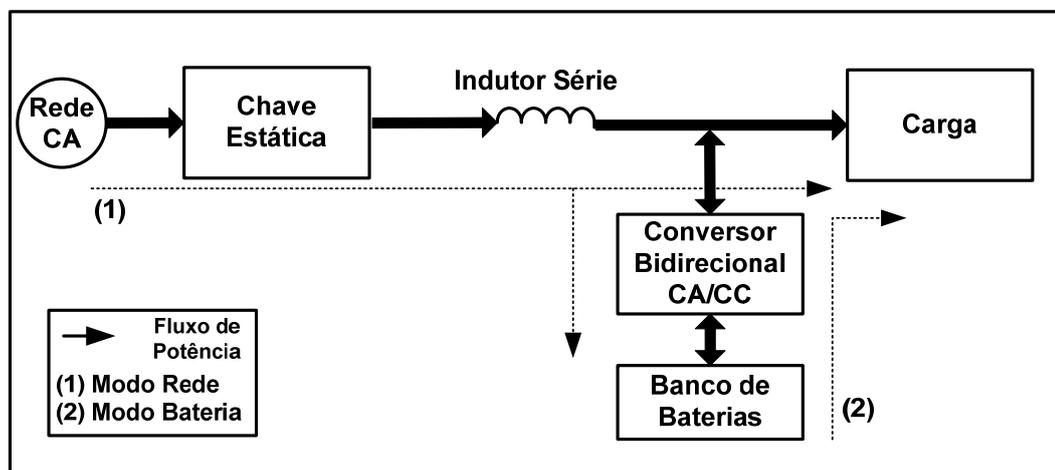


Figura 1.3 Diagrama de blocos genérico de uma UPS line-interactive.

As principais vantagens desse sistema são: alta confiabilidade, baixo custo comparado à topologia *on-line*, boa correção de fator de potência quando operando como UPS *on-line* e devido ao seu único estágio de conversão a sua eficiência é maior. As desvantagens são: deficiente regulação da tensão de saída quando opera no modo rede e possibilidade de isolamento galvânico somente em baixa frequência (maior peso e volume).

1.3 Topologias de Sistemas UPS On-line

Buscando propor um sistema UPS que apresente a possibilidade de explorar novas características e com o objetivo de aproximar-se de uma UPS ideal, optou-se pelo estudo dos sistemas *on-line*, uma vez que de acordo com [5], apresentam melhor regulação da tensão de saída, tempo de transição entre o modo rede e o modo bateria aproximadamente igual a zero e

a possibilidade da aplicação de correção de fator de potência para alcançar uma corrente de entrada senoidal. Em relação aos demais fatores que devem ser considerados (custo, eficiência, isolamento galvânico etc.) deve-se analisar as tecnologias empregadas para avaliar tais características. A seguir serão abordadas algumas topologias encontradas na literatura apresentando suas principais vantagens e desvantagens.

A topologia apresentada por [9] consiste de uma UPS composta basicamente por dois conversores *half-bridge*, sendo um na entrada (CA-CC) e outro na saída (CC-CA), conforme a figura 1.4. Entre várias topologias para sistemas UPS com potência até 5kVA, a combinação de retificadores *half-bridge* com inversores *half-bridge* tem chamado atenção especial para aplicações em sistemas computacionais e de telecomunicações [10].

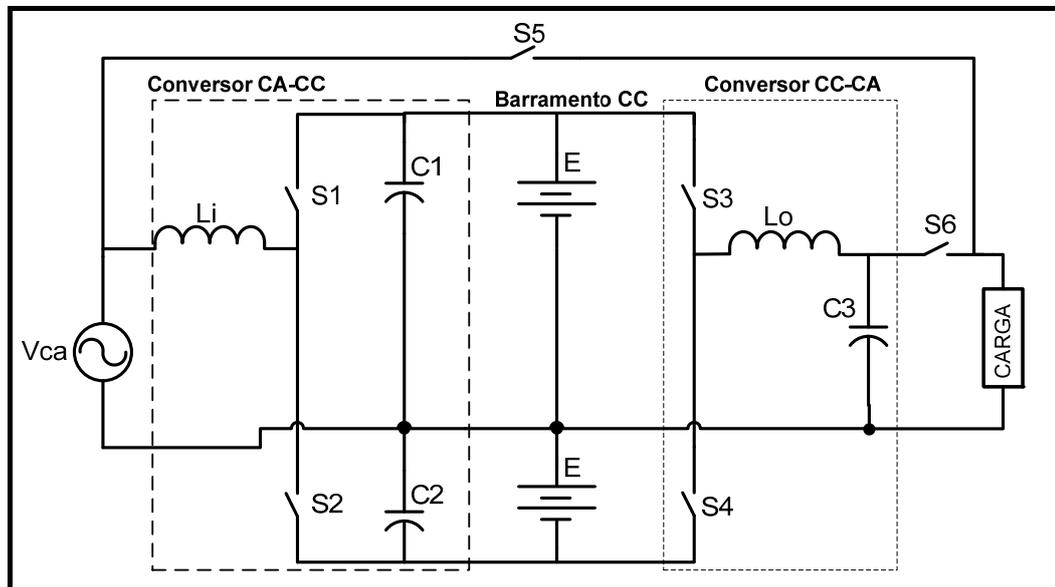


Figura 1.4 Sistemas UPS on-line não-isolada com PFC.

As principais vantagens apresentadas por essa topologia são: fator de potência unitário na entrada, pequena quantidade de semicondutores e alto rendimento. Em relação aos sistemas que empregam conversores *full-bridge* com isolação em alta ou baixa frequência, esta topologia apresenta várias vantagens como menores circuitos de conversão de potência e a não obrigatoriedade do transformador isolador para a correta operação da chave *bypass*.

Este sistema apresenta alguns inconvenientes resultantes da operação do conversor CA-CC com correção de fator de potência devido a sua característica dobradora de tensão, o que causa uma tensão no barramento CC maior que o dobro da tensão máxima de entrada do sistema. Essa tensão determina as especificações dos capacitores e do banco de baterias acarretando maiores custos e volume e diminuindo a confiabilidade do sistema.

Do ponto de vista operacional, observa-se que quando a UPS estiver no modo bateria, não existe controle da tensão nos capacitores do barramento, o que acarreta uma condição

crítica na alimentação de cargas não-lineares. Outro problema é a forma inadequada de carga das baterias, pois não existirá controle na corrente de carga causando uma diminuição do tempo de vida útil das mesmas.

A proposta apresentada por [10-11] e esquematizada na figura 1.5, utiliza um conversor CA-CC/CC-CC (dependendo do modo de operação do sistema) e um inversor *half-bridge*.

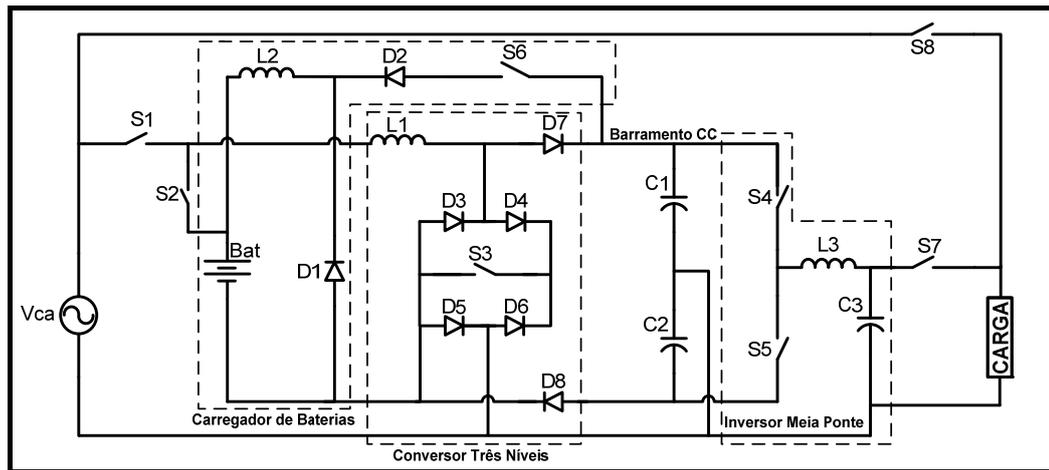


Figura 1.5 Sistema UPS on-line não-isolada com retificador a três níveis.

Quando o sistema estiver operando no modo rede, o conversor da entrada opera realizando correção de fator de potência e fornecendo energia para o barramento CC enquanto a energia suprida ao banco de baterias é devidamente condicionada pelo carregador de baterias. Durante a operação no modo bateria o carregador deixa de operar e o conversor de entrada passa a funcionar como conversor elevador.

Essa topologia apresenta como vantagens: fator de potência unitário na entrada, diminuição dos esforços na chave do conversor da entrada, alto rendimento, confiabilidade, utilização do mesmo conversor de entrada para realizar correção de fator de potência e elevação da tensão do banco de baterias possibilitando a aplicação de um menor número de baterias e a não obrigatoriedade da utilização de transformador isolador para a correta operação da chave *bypass*.

As principais desvantagens na utilização desta topologia consistem na falta de controle de balanço das tensões dos capacitores no barramento CC quando o equipamento estiver operando no modo rede ou bateria.

A topologia apresentada em [12-13] utiliza um inversor *full-bridge*, um pré-regulador com correção de fator de potência, um transformador isolador na entrada, um autotransformador na saída e um carregador de baterias. O diagrama esquemático está representado na figura 1.6.

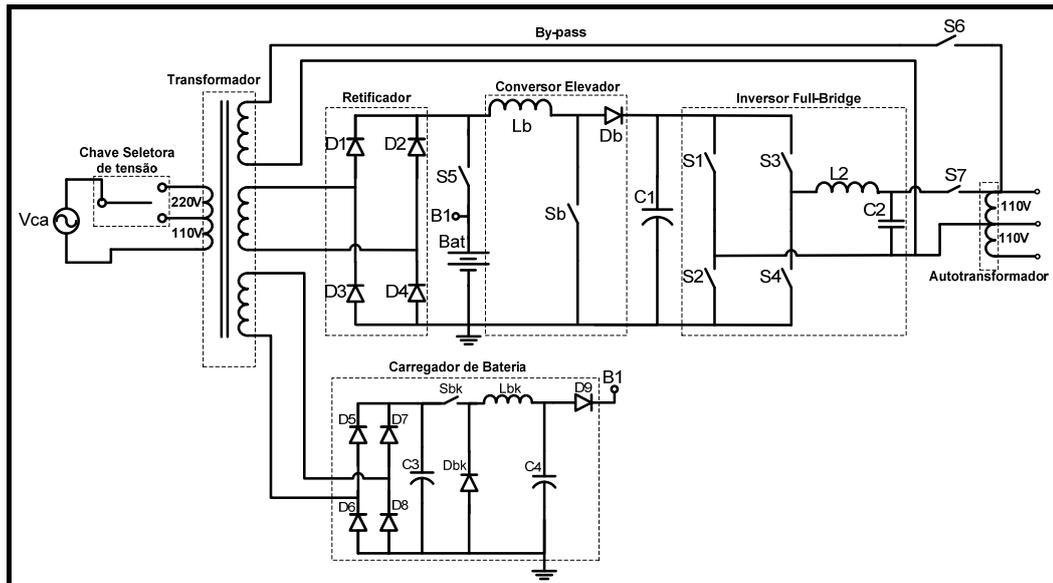


Figura 1.6 Sistema UPS on-line isolada com inversor full-bridge.

A utilização do inversor *full-bridge* leva à necessidade da utilização de um transformador isolador de baixa frequência na entrada de forma a garantir a isolamento galvânica da carga com a entrada e principalmente o correto funcionamento da chave *bypass*. Devido a utilização desse transformador, o sistema apresenta um elevado peso e volume.

Realizando uma análise comparativa desta topologia com as topologias que utilizam inversores *half-bridge*, pode-se observar que a estrutura da figura 1.6 apresenta menor rendimento, maior custo e volume devido ao número de semicondutores e elementos indutivos (transformador), porém, não apresenta problemas relativos ao desbalanceamento de capacitores e, além disso, tem capacidade de processar maiores potências.

As vantagens para esta topologia consistem na possibilidade de escolha da tensão de alimentação na entrada e na saída, o condicionamento de carga para o banco de baterias, possibilidade de utilizar menor número de baterias, isolamento galvânico, robustez e confiabilidade.

A figura 1.7 mostra o diagrama esquemático do circuito proposto por [14] onde se observa a utilização de um retificador, conversor *full-bridge* operando com transformador de alta frequência, conversor elevador e inversor *full-bridge*.

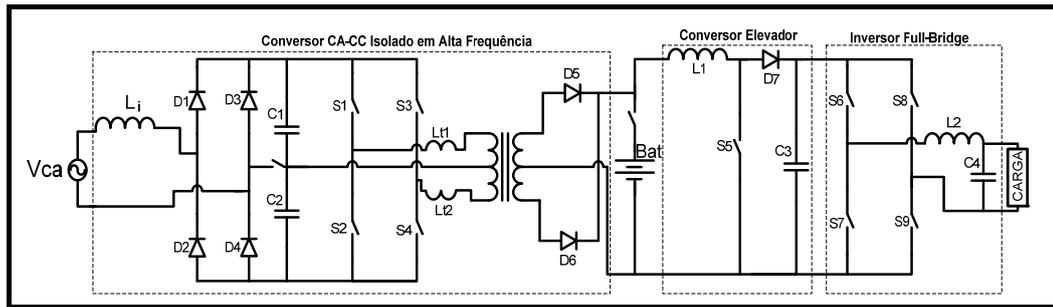


Figura 1.7 Sistema UPS on-line isolada em alta frequência.

O sistema proposto tem como vantagens proporcionar flexibilidade na tensão de entrada (tensão eficaz de 110V ou 220V), comutação suave das chaves do conversor *full-bridge* de entrada (evita a necessidade de circuitos *snubber* e problemas de EMI), correção de fator de potência, operação do transformador isolador em alta frequência (menor peso e volume) e menor número de baterias em série para formar o banco de baterias devido ao conversor *boost*. A principal desvantagem do sistema consiste na operação com três estágios de processamento de potência em série, o que acarreta uma diminuição da eficiência e aumento no custo do equipamento [14].

O esquemático da proposta apresentada por [15] está representada na figura 1.8, sendo composto de um retificador isolado em alta frequência com PFC, inversor *full-bridge*, carregador de baterias e conversor elevador de alto ganho.

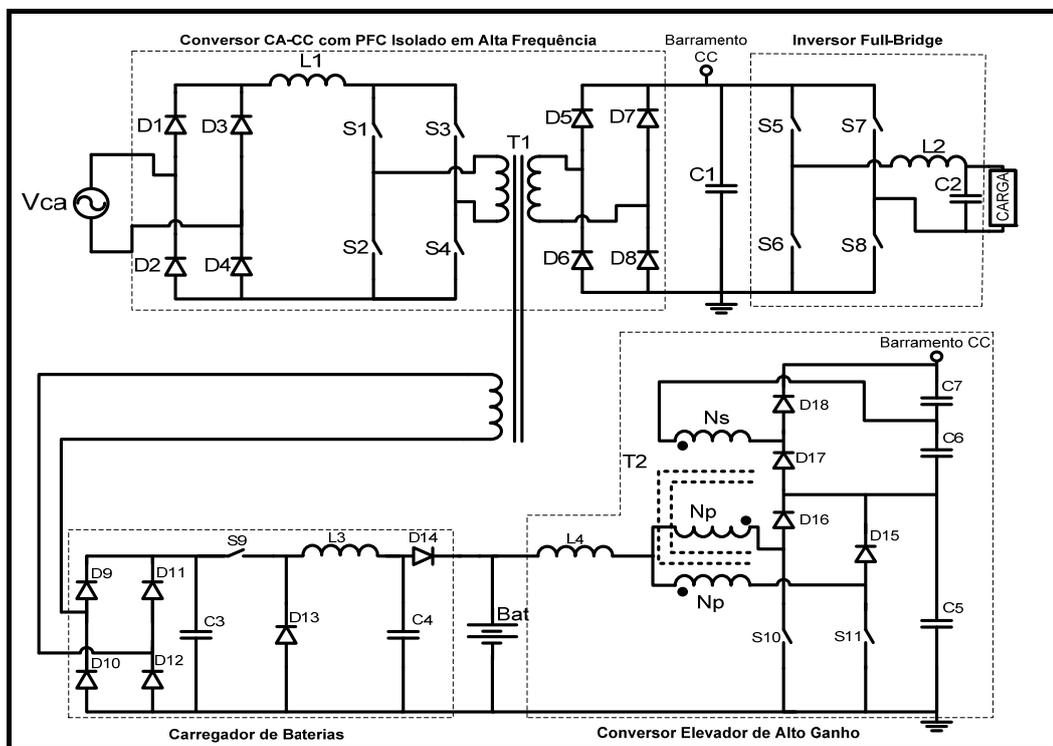


Figura 1.8 Sistema UPS on-line isolada utilizando boost de alto ganho.

No modo rede, o sistema apresenta uma topologia com alto fator de potência na entrada e isolamento galvânico através de um transformador operando em alta frequência utilizando um conversor *full-bridge* alimentado em corrente. O inversor tem uma tensão senoidal na saída, corrigindo a tensão de saída contra possíveis variações no barramento CC. O carregador de baterias garante uma correta manutenção de carga das baterias.

Para aplicações em baixos níveis de potência, a utilização de grande número de baterias para atingir o nível de tensão do barramento CC torna-se economicamente inviável devido ao alto custo e volume que se agrega ao sistema. Para tanto, esta topologia apresenta no modo bateria a utilização de um conversor com capacidade de elevar baixos níveis de tensão. O conversor elevador de alto ganho possibilita a utilização de pequenos bancos de baterias, uma vez que, a capacidade de elevar baixos níveis de tensão na entrada e fornecer em sua saída uma tensão igual ao do barramento CC, garante o correto funcionamento da UPS quando estiver operando no modo bateria.

Este sistema apresenta como vantagens a possibilidade da utilização de bancos de baterias com baixos níveis de tensão devido ao uso do conversor elevador de alto ganho, a carga das baterias é realizada de forma adequada através do carregador de baterias, o sistema apresenta fator de potência unitário na entrada, isolamento em alta frequência (menor custo e volume). As principais desvantagens são: grande quantidade de semicondutores, muitos elementos indutivos e presença de várias etapas de processamento de potência.

1.4 Topologia Proposta

De uma forma geral, os inversores têm experimentado grande evolução nas últimas décadas devido a sua ampla utilização em sistemas ininterruptos de energia e aplicações industriais [1]. Como apresentado no estudo das topologias para aplicações em sistemas UPS em baixas potências (item 1.3), observa-se a ampla utilização de inversores que operam baseados em alta frequência de chaveamento, onde a aplicação dos conversores multiníveis ainda não tem sido contemplada na literatura.

Os inversores multiníveis há muito tempo vem sendo objeto de investigação para aplicações que envolvam processamento de altos níveis de tensões e potências, tornando-se muito atrativo para aplicações em média e altas tensões (2-13kV), condicionamento de potência, sistemas de acionamentos de motores, distribuição de energia elétrica e ainda em sistemas de geração distribuída utilizando fontes renováveis [2-3].

A formação de uma onda multinível de alta qualidade, operando com baixa frequência de chaveamento, implica em menores perdas por chaveamento e alta eficiência. Estas

características dos conversores multiníveis, tem recentemente surgido como uma significativa alternativa em unidades de conversão de potência, mesmo em baixas e médias potências, tornando-se uma alternativa atrativa para aplicações em sistemas fotovoltaicos [16].

Para aplicações em sistemas de baixa potência (menor que 10kVA) onde o alto rendimento é um dos principais parâmetros de projeto, os inversores multiníveis estão tornando-se competitivos com inversores PWM de alta frequência. Além disso, os menores custos das chaves semicondutoras de potência e a demanda de inversores de alto rendimento vêm contribuindo para a sua maior utilização [4].

No estudo realizado por [4], observa-se o desenvolvimento de um inversor multinível de 3kVA, aplicado a sistemas isolados de geração de energia elétrica, que opera utilizando como fonte de alimentação um barramento CC formado a partir de painéis fotovoltaicos. Este inversor possui todas as características necessárias para a aplicação em UPS, como: forma de onda da tensão na saída de alta qualidade, alta eficiência e utilização de apenas uma fonte CC na entrada do conversor.

A topologia proposta para este trabalho, contempla o estudo de um sistema ininterrupto de energia na configuração *on-line* e potência de 3kVA na saída, utilizando o inversor multinível apresentado por [4], devendo ser capaz de operar atendendo aos seguintes requisitos:

- Tensão de saída senoidal com taxa de distorção harmônica menor que 5%;
- Corrente de entrada senoidal com fator de potência unitário;
- Correto condicionamento de carga das baterias;
- Alta confiabilidade e robustez;
- Baixa emissão de interferência eletromagnética (EMI);
- Isolação galvânica;
- Alto rendimento.

Para atingir aos requisitos apresentados, opta-se pela utilização dos seguintes conversores: Retificador com correção ativa de fator de potência, carregador de baterias (não implementado), conversor CC-CC elevador (não implementado) e inversor multinível. A figura 1.9 apresenta o diagrama de blocos da topologia proposta.

Atualmente, ocorre a utilização de estágios pré-reguladores com correção de fator de potência em sistemas UPS com potências acima de 1kVA, podendo ser empregados através de retificadores PWM [17] ou através da operação de um conversor CC-CC operando após um retificador utilizando ponte de diodo [18]. Em algumas situações, a necessidade de atender

normas internacionais leva a utilização destas técnicas, como é o caso da norma IEC61000-3-2, que abrange a necessidade de atender a baixa emissão de interferência eletromagnética (EMI) para equipamentos com corrente eficaz de fase menor ou igual a 16A. Para que o sistema satisfaça este requisito, opta-se pela utilização de um retificador em ponte associado a um conversor CC-CC elevador (*boost*).

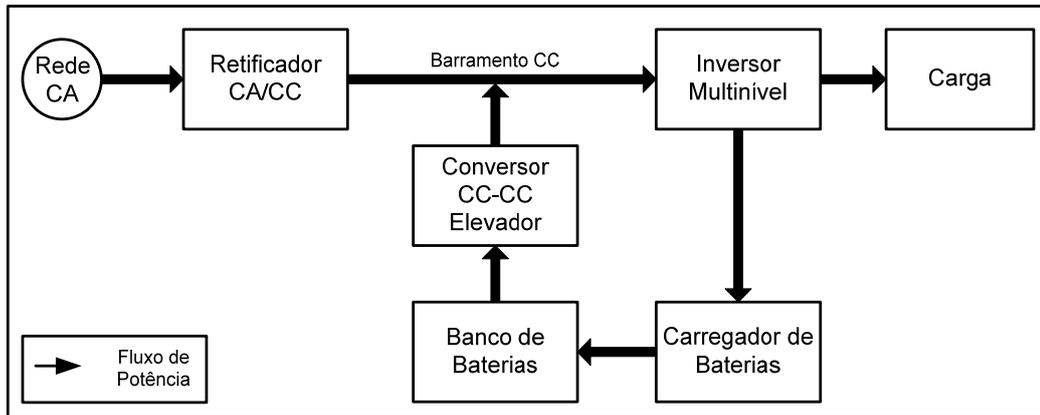


Figura 1.9 Diagrama de blocos da topologia proposta.

O sistema de armazenamento de energia idealizado (não implementado) utiliza um carregador de baterias baseado no conversor *buck*, com malhas de controle operando em paralelo (malha de tensão e malha de corrente) para garantir a correta carga do banco de baterias e um conversor elevador possibilitando a utilização de menores níveis de tensão do banco de baterias.

O inversor baseia-se em um transformador que opera em baixa frequência (60Hz ou 50 Hz) com múltiplos secundários isolados, onde a tensão multinível na saída é formada através da combinação dos enrolamentos secundários do transformador por chaves estáticas de potência operando em baixa frequência (menor que 3,5kHz). A figura 1.10 apresenta o esquemático da topologia proposta.

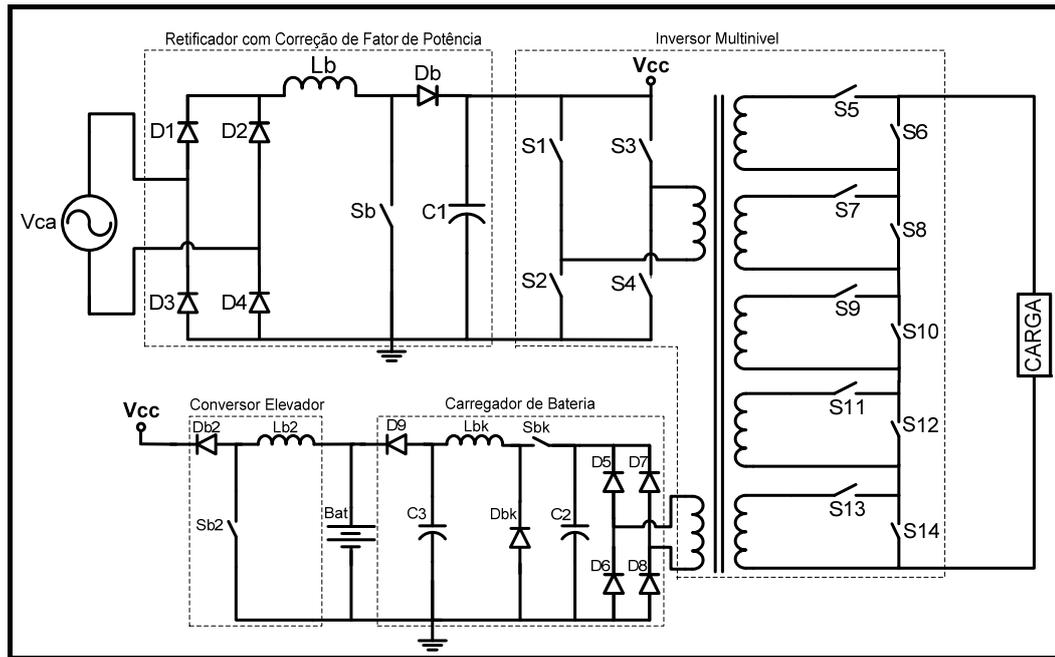


Figura 1.10 Esquemático completo da topologia proposta.

Através da topologia do inversor observa-se o isolamento galvânico da saída, que é necessário devido à exigência de normas técnicas como a IEC60601-1-1. O número de enrolamentos secundários do transformador determina o número de níveis do mesmo, sendo que para este caso igual a 5, os quais são suficientes para atingir uma tensão de saída com taxa de distorção harmônica na saída inferior a 5%.

1.5 Conclusão

O funcionamento de uma UPS deve apresentar tensão na saída senoidal com THD menor ou igual a 5% para qualquer tipo de carga, corrente de entrada senoidal com fator de potência quase unitário e transição instantânea do modo rede para o modo bateria no caso de falha ou falta de energia da rede elétrica. Após o estudo das configurações possíveis de sistemas ininterruptos de energia estáticos optou-se pela configuração *on-line*.

Analisando as topologias empregadas na literatura para atingir tais efeitos, observa-se a utilização dos inversores meia ponte e ponte completa, porém a utilização de inversores multiníveis para a execução de tal tarefa não foi encontrada. A topologia proposta apresenta a aplicação de inversores multiníveis em sistemas UPS, buscando agregar a este sistema a alta eficiência inerente a estas estruturas.

CAPÍTULO 2

ANÁLISES QUALITATIVA E QUANTITATIVA DO RETIFICADOR OPERANDO COM CORREÇÃO DE FATOR DE POTÊNCIA

2.1 Introdução

Com o objetivo da melhor utilização da energia proveniente da rede elétrica, alcançar baixos níveis de emissão de interferência eletromagnética e atingir menor distorção da corrente de entrada optou-se pela utilização de um retificador monofásico, com alto fator de potência, formado por um retificador ponte completa a diodos em série com um conversor elevador *boost* clássico [19-20].

Este capítulo apresenta as análises qualitativa e quantitativa do retificador operando em conjunto com o conversor CC-CC elevador com fator de potência unitário na entrada do sistema, mostrando as etapas de funcionamento, principais formas de onda, equacionamento da estrutura e estratégia de controle.

2.2 Topologia do Retificador

O estágio de entrada do sistema mostrado na figura 2.1, é composto pela associação de uma ponte de diodo em série com um conversor elevador (*boost* clássico) operando no modo de condução contínua (MCC). O funcionamento do sistema é baseado no controle do tempo de condução da chave S_b , através da técnica de modulação por largura de pulso (PWM), impondo uma corrente no indutor com forma igual à tensão da rede elétrica retificada. O método de controle empregado para atingir fator de potência unitário é o controle modo corrente média que será apresentado em mais detalhes em tópicos seguintes.

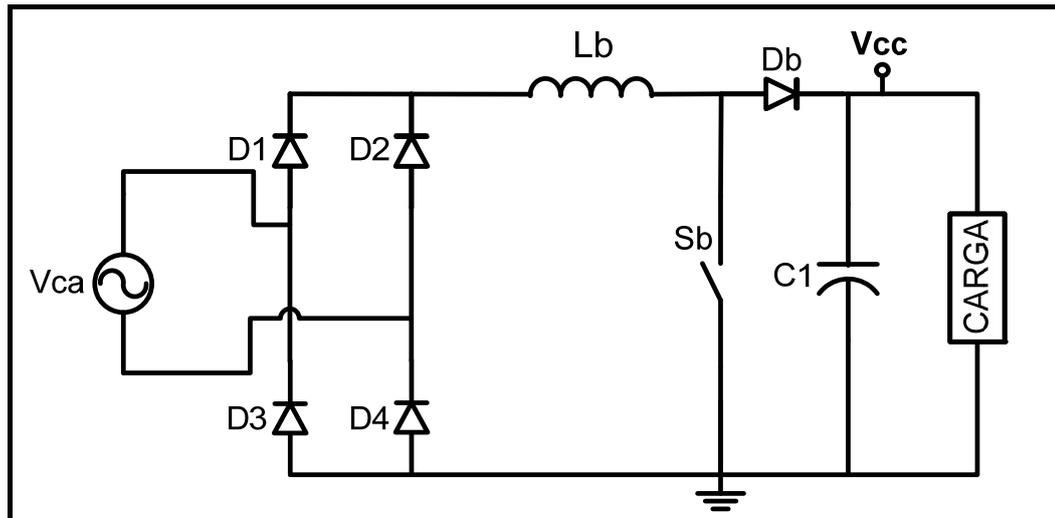


Figura 2.1 Topologia do retificador com PFC.

Esta topologia atrelada a sua estratégia de controle apresenta algumas vantagens e desvantagens quando comparada a outras topologias ou métodos de correção de fator de potência.

Temos como vantagens desta estrutura [21]:

- Utilização de poucos componentes (menor peso e volume);
- Frequência de operação constante;
- Introduz na rede baixa interferência eletromagnética (EMI);
- Os circuitos de potência e controle possuem a mesma referência, assim, o comando do interruptor não necessita de isolamento.

As principais desvantagens são:

- Comutação dissipativa;
- O conversor posterior deverá operar com tensão maior que a tensão máxima da fonte de alimentação;
- A posição do interruptor não permite que o controle do retificador proteja o circuito contra sobrecarga ou curto-circuito.

2.3 Descrição da Topologia do Conversor CC-CC Boost

Para o entendimento do princípio de funcionamento do retificador com correção de fator de potência é realizado primeiramente a análise do conversor CC-CC *boost* com tensão de entrada contínua [22], conforme apresentado na figura 2.2.

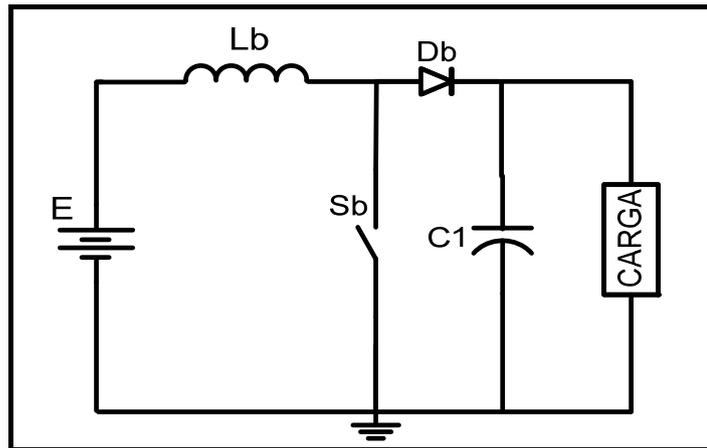


Figura 11 Conversor CC-CC elevador (boost).

Num período de comutação o conversor apresenta duas etapas de operação, sendo uma de acúmulo de energia e outra de transferência de energia. A tensão média na saída possui a mesma polaridade da tensão da fonte de alimentação, podendo ser maior ou igual à tensão média na entrada. A corrente na entrada, para o conversor operando no modo de condução contínua, possui uma pequena ondulação com frequência igual à de comutação da chave devido ao fluxo de energia para a carga só ocorrer durante o tempo em que a chave estiver aberta. O capacitor é responsável pela manutenção da tensão na carga durante o tempo em que a chave está em condução.

A razão cíclica (D) do conversor é dada pela relação entre o tempo de condução do interruptor e o período de comutação, como mostra a equação 2.1. Devido à relação de duas grandezas de mesma natureza a razão cíclica é adimensional e pode variar de 0 a 1.

$$D = \frac{t_{on_ret}}{T_{ret}} \quad (2.1)$$

Onde t_{on_ret} , T_{ret} são: tempo de condução do interruptor e período de comutação, respectivamente.

2.3.1 Etapas de Funcionamento

1º Etapa (t_0-t_1): Inicia-se no instante $t=t_0$ quando o interruptor S_b entra em condução, sendo a tensão da fonte aplicada sobre a indutância L_b cuja corrente cresce linearmente com o tempo. Durante esta etapa de operação o diodo D_b fica inversamente polarizado, não ocorrendo transferência de energia da fonte para a saída do conversor e a alimentação da carga é mantida pelo capacitor C_1 . Esta etapa finaliza quando o interruptor S_b é bloqueado. A figura 2.3 apresenta a corrente no conversor (linhas em negrito).

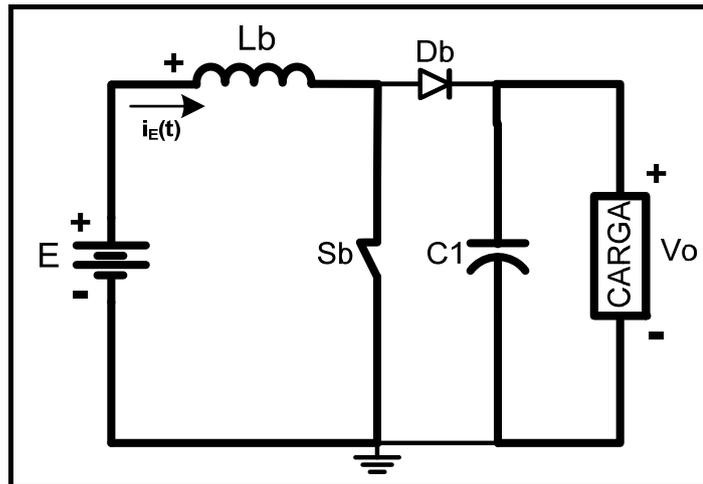


Figura 2.3 Primeira etapa de operação do retificador.

O valor instantâneo de corrente retirada da fonte pode ser determinada através da equação a seguir:

$$L_b \frac{di_E(t)}{dt} - E = 0 \quad (2.2)$$

No qual, L_b , $i_E(t)$ e E são: indutância do conversor *boost*, corrente instantânea através da fonte de tensão do conversor *boost* e tensão de alimentação do conversor *boost*, respectivamente.

O intervalo de tempo correspondente a etapa de funcionamento do conversor é dada por:

$$t_1 - t_o = DT_{ret} \quad (2.3)$$

2ª Etapa (t_2-t_1): Quando o interruptor S_b é bloqueado, o diodo D_b passa a conduzir, a energia da fonte e a energia armazenada no indutor no período anterior são transferidos a carga e ao capacitor de saída, onde a corrente na entrada decresce linearmente. O fim dessa etapa ocorre quando o interruptor entra em estado de condução, reiniciando o processo descrito na etapa 1. A figura 2.4 apresenta a corrente no conversor (linhas em negrito).

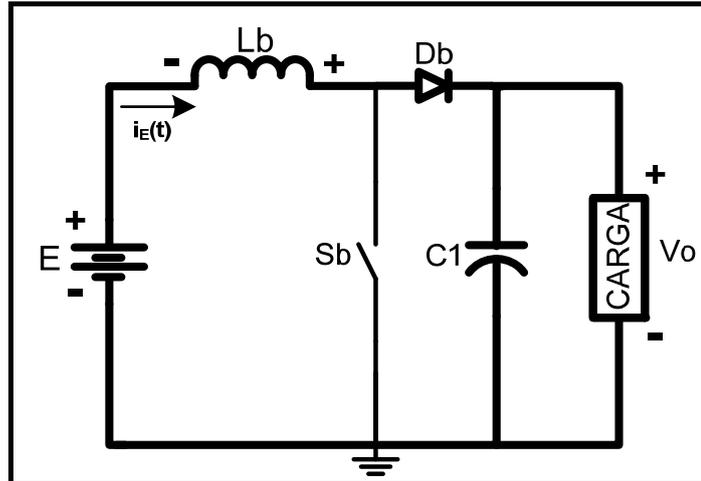


Figura 2.412 Segunda etapa de operação do retificador.

A corrente instantânea na entrada durante esta etapa de funcionamento é dada por:

$$L_b \frac{di_E(t)}{dt} - E + V_o = 0 \quad (2.4)$$

Onde V_o é a tensão na saída do conversor *boost*.

O intervalo de tempo desta etapa de operação é dada pela seguinte equação:

$$t_2 - t_1 = (1 - D)T_{ret} \quad (2.5)$$

2.3.2 Principais Formas de Onda

A figura 2.5 apresenta as principais formas de onda de tensão e corrente nos componentes do conversor para dois períodos de comutação, onde pode-se considerar a tensão no interruptor como referência para avaliar as mudanças nos níveis de tensão e corrente em cada um dos elementos.

Para a análise das formas de onda considera-se que os componentes são ideais, a frequência de comutação permanece constante ao longo do tempo, o sistema opera em regime permanente e em modo de condução contínua (MCC). Temos que: $v_{Sb}(t)$, $i_{Lb}(t)$, $i_{Sb}(t)$, $i_{Db}(t)$, $v_o(t)$, $i_{C1}(t)$, $i_o(t)$ são, respectivamente, os valores instantâneos da tensão sobre a chave S_b , corrente através do indutor L_b , corrente através da chave S_b , corrente através do diodo D_b , tensão na saída do conversor *boost* V_o , corrente através do capacitor C_1 , corrente na saída do conversor *boost*. Os valores de I_M e I_m correspondem respectivamente ao valor máximo e mínimo da corrente na entrada do circuito e I_o é a corrente média através da saída do conversor *boost*.

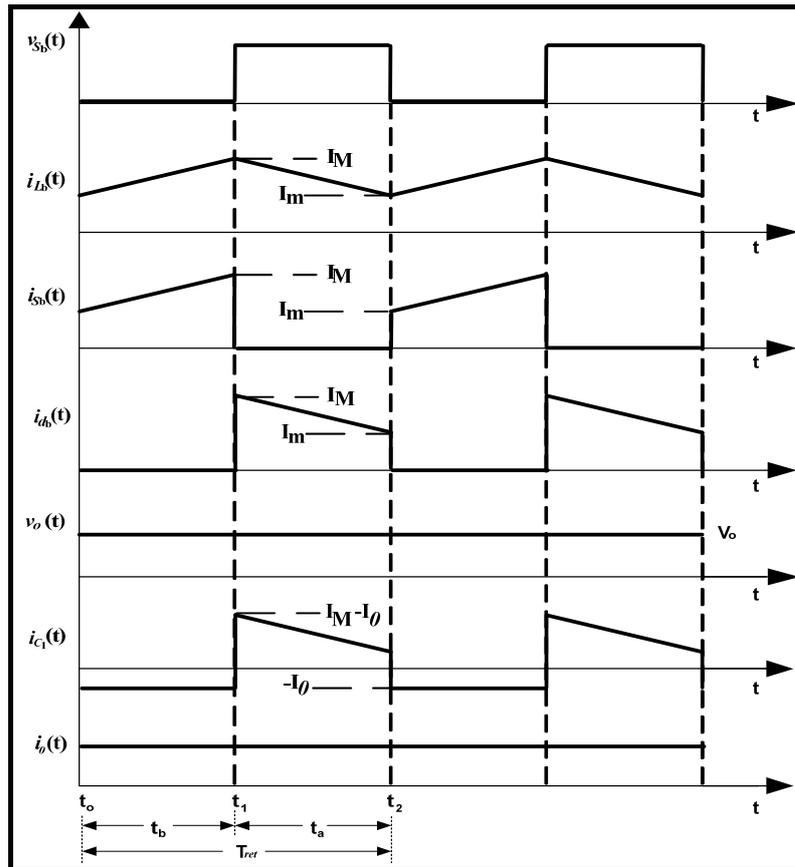


Figura 13 Principais formas de onda do conversor boost.

2.3.3 Equações Básicas

A determinação das equações que descrevem as formas de onda apresentadas na figura 2.5 servem como base para calcular o valor médio e eficaz dos esforços de tensão e corrente nos componentes do conversor. Os valores instantâneos de corrente nos componentes são apresentados a seguir.

Considerando que a corrente no indutor é a mesma da entrada, o valor instantâneo é dado pela seguinte equação:

$$i_E(t) = \begin{cases} I_m + \frac{E}{L_b} \cdot t & t_0 \geq t \leq t_1 \\ I_M - \frac{(V_o - E)}{L_b} \cdot t & t_1 \geq t \leq t_2 \end{cases} \quad (2.6)$$

O valor da corrente instantânea no interruptor é dado por:

$$i_{sb}(t) = \begin{cases} I_m + \frac{E}{L_b} \cdot t & t_0 \geq t \leq t_1 \\ 0 & t_1 \geq t \leq t_2 \end{cases} \quad (2.7)$$

A corrente no diodo é dada por:

$$i_{db}(t) = \begin{cases} 0 & t_0 \geq t \leq t_1 \\ I_M - \frac{(V_o - E)}{L_b} \cdot t & t_1 \geq t \leq t_2 \end{cases} \quad (2.8)$$

A corrente no capacitor de filtro de saída será:

$$i_{c_1}(t) = \begin{cases} -I_o & t_0 \geq t \leq t_1 \\ I_M - \frac{(V_o - E)}{L_b} \cdot t - I_o & t_1 \geq t \leq t_2 \end{cases} \quad (2.9)$$

2.3.4 Determinação do Ganho Estático

A análise considerada baseia-se na lei da conservação de energia, onde a energia cedida pela fonte é igual a energia utilizada na saída. Portanto, considera-se o sistema sem perdas operando com frequência fixa e razão cíclica variável.

A energia da fonte cedida à carga é dada pela equação 2.10.

$$W_E = E \cdot I_{Lb} \cdot T_{ret} \quad (2.10)$$

Onde:

W_E - energia cedida pela fonte do conversor *boost*;

T_{ret} - período de comutação do conversor;

I_{Lb} – corrente média no indutor *boost*.

A energia absorvida na saída pela carga é igual a:

$$W_{Vo} = V_o \cdot I_{Lb} \cdot t_a \quad (2.11)$$

Onde:

W_{Vo} – energia absorvida pela carga do conversor *boost*;

t_a – intervalo de tempo entre t_1 e t_2 .

Como anteriormente observado, considerando o sistema sem perdas, tem-se:

$$W_E = W_{Vo} \quad (2.12)$$

Então:

$$E \cdot I_{Lb} \cdot T_{ret} = V_o \cdot I_{Lb} \cdot t_a \quad (2.13)$$

Onde:

$$t_a = (1 - D)T_{ret} \quad (2.14)$$

A equação que descreve o ganho estático do conversor ideal:

$$\frac{V_o}{E} = \frac{1}{1 - D} \quad (2.15)$$

O gráfico apresentado na figura 2.6 mostra o comportamento do ganho estático em função da razão cíclica para o conversor *boost* ideal, sendo observado a relação da tensão de saída pela tensão de entrada em função do tempo de condução da chave S_b .

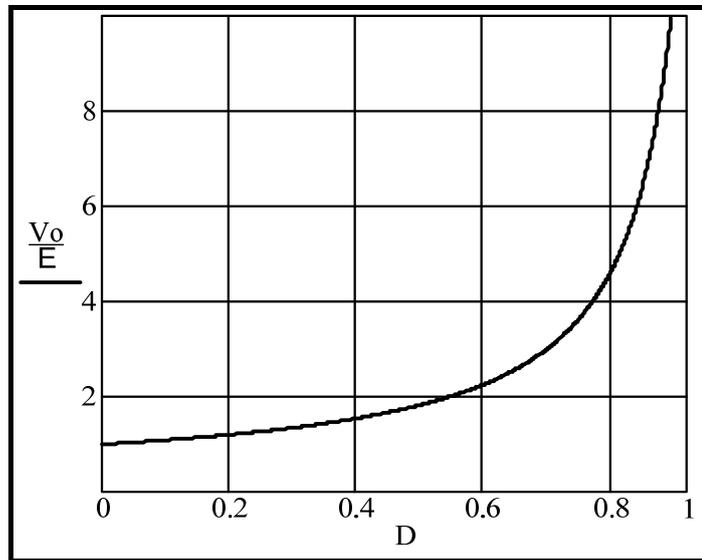


Figura 2.614 Ganho estático ideal do conversor *boost*.

De acordo com a equação 2.15, observa-se que a mínima tensão de saída ocorre para o caso em que D é igual a zero, situação essa em que a tensão de saída é igual à tensão de entrada. Para um caso ideal, a tensão de saída pode atingir qualquer valor maior que a tensão de entrada. Na realidade, existem não-idealidades que limitam o valor máximo da tensão de saída que possa ser alcançado pelo conversor, ainda assim, podendo ser atingido altos valores de ganhos estáticos em casos em que os efeitos das não-idealidades sejam pequenos [23].

2.3.5 Esforços de Corrente e Tensão nos Componentes

Para avaliar os esforços nos componentes, torna-se necessário o cálculo dos valores máximo e mínimo de corrente (I_M e I_m) apresentados na figura 2.5. Utilizando as equações dadas em 2.6, tem-se:

$$I_M = I_m + \frac{E}{L_b} \cdot t_b \quad (2.16)$$

$$I_m = I_M - \frac{(V_o - E)}{L_b} \cdot t_a \quad (2.17)$$

Realizando o cálculo da corrente média na entrada do conversor *boost* (I_{md_E}), tem-se:

$$I_{md_E} = \frac{1}{T_{ret}} \int_0^{T_{ret}} i_{in}(t) dt \quad (2.18)$$

Sendo assim:

$$I_{md_E} = \frac{(I_M + I_m)}{2} \quad (2.19)$$

A corrente média na entrada do conversor *boost* pode ser calculada utilizando a potência média de saída, através da seguinte fórmula:

$$P_{in} = \frac{P_{out}}{\eta} \quad (2.20)$$

No qual:

P_{in} – Potência média de entrada;

P_{out} – Potência média de saída;

η – Rendimento do conversor *boost*;

Como:

$$P_{in} = E \cdot I_{md_E} \quad (2.21)$$

Então:

$$I_{md_E} = \frac{P_{out}}{\eta \cdot E} \quad (2.22)$$

Substituindo a equação 2.19 em 2.16 e 2.17, tem-se:

$$I_M = I_{md_E} + \frac{E \cdot D}{2 \cdot L_b \cdot f_s} \quad (2.23)$$

$$I_m = I_{md_E} - \frac{E \cdot D}{2 \cdot L_b \cdot f_s} \quad (2.24)$$

Onde f_s é a frequência de chaveamento do retificador, corresponde a $1/T_{ret}$.

2.3.5.1 Esforços no Interruptor S_b

A tensão máxima sobre o interruptor do circuito ($V_{m\acute{a}x_Sb}$) é igual a tensão da saída adicionada a queda de tensão sobre o diodo *boost* em condução V_{db} , portanto:

$$V_{m\acute{a}x_Sb} = V_o + V_{db} \quad (2.25)$$

Onde V_{db} é a queda de tensão sobre o diodo *boost* em condução.

O cálculo do valor médio da corrente é realizado aplicando a definição do valor médio, resultando na seguinte equação:

$$I_{md_Sb} = \frac{1}{T_{ret}} \int_0^{T_{ret}} i_{S_b}(t) dt \quad (2.26)$$

Aplicando as equações 2.7 em 2.26, tem-se:

$$I_{md_Sb} = \frac{1}{T_{ret}} \int_0^{t_b} \left(I_m + \frac{E}{L_b} \cdot t \right) dt \quad (2.27)$$

Resolvendo a equação acima e utilizando a equação 2.19, tem-se:

$$I_{md_Sb} = D \cdot I_{md_E} \quad (2.28)$$

O valor eficaz de corrente através do interruptor *boost* é encontrado utilizando a seguinte equação:

$$I_{ef_Sb} = \sqrt{\left(\frac{1}{T_{ret}} \int_0^{T_{ret}} i_{S_b}^2(t) dt \right)} \quad (2.29)$$

Utilizando as equações de 2.7 em 2.29, obtem-se:

$$I_{ef_Sb} = \sqrt{\left(\frac{1}{T_{ret}} \int_0^{t_b} \left(I_m + \frac{E}{L_b} t \right)^2 dt \right)} \quad (2.30)$$

Resolvendo a equação 2.30, o valor da corrente eficaz na chave é igual a:

$$I_{ef_Sb} = \frac{\sqrt{\left(36DI_{md_E}^2 + \frac{3E^2D^3T_{ret}^2}{L_b^2} \right)}}{6} \quad (2.31)$$

A corrente de pico através do interruptor *boost* é igual a corrente máxima na entrada do conversor, sendo:

$$I_{pk_Sb} = I_M \quad (2.32)$$

Então:

$$I_{pk_S_b} = I_{md_E} + \frac{E \cdot D}{2 \cdot L_b \cdot f_s} \quad (2.33)$$

2.3.5.2 Esforços no Diodo D_b

A máxima tensão sobre o diodo é igual a tensão na saída, consequentemente:

$$V_{D_b} = V_o \quad (2.34)$$

O valor médio de corrente através do diodo é calculado pela equação 2.35 utilizando a definição de valores médios:

$$I_{md_D_b} = \frac{1}{T_{ret}} \int_0^{T_{ret}} i_{D_b}(t) dt \quad (2.35)$$

Utilizando as equações apresentadas em 2.8, teremos a seguinte equação:

$$I_{md_D_b} = \frac{1}{T_{ret}} \int_0^{t_a} \left(I_M - \frac{(V_o - E)}{L_b} t \right) dt \quad (2.36)$$

Resolvendo a equação anterior, obtemos a equação 2.37.

$$I_{md_D_b} = (1 - D) I_{md_E} \quad (2.37)$$

O cálculo do valor eficaz de corrente através do diodo é realizado através da equação 2.38:

$$I_{ef_D_b} = \sqrt{\left(\frac{1}{T_{ret}} \int_0^{T_{ret}} i_{D_b}^2(t) dt \right)} \quad (2.38)$$

Substituindo 2.8 em 2.38, temos a equação 2.39.

$$I_{ef_D_b} = \sqrt{\left(\frac{1}{T_{ret}} \int_0^{t_a} \left(I_M - \frac{(V_o - E)}{L_b} t \right)^2 dt \right)} \quad (2.39)$$

Então:

$$I_{ef_D_b} = \frac{\sqrt{\left(3(1 - D)(D^2 E^2 T_{ret}^2 + 12 I_{md_E}^2 L_b^2) \right)}}{6 L_b} \quad (2.40)$$

O valor de pico da corrente que circula pelo diodo boost é igual à máxima corrente na entrada, sendo portanto:

$$I_{pk_D_b} = I_M \quad (2.41)$$

Então:

$$I_{pk_D_b} = I_{md_E} + \frac{E \cdot D}{2 \cdot L_b \cdot f_s} \quad (2.42)$$

2.3.5.3 Esforços no Indutor

A variação de corrente através do indutor *boost* pode ser calculada como a diferença entre a máxima e a mínima corrente da entrada do conversor, sendo dada por:

$$\Delta I_{L_b} = I_M - I_m \quad (2.43)$$

Utilizando as equações 2.23 e 2.24 na equação 2.43, resulta na equação 2.44.

$$\Delta I_{L_b} = \frac{E \cdot D}{L_b f_s} \quad (2.44)$$

A corrente no indutor é igual a corrente na entrada, consequentemente pode-se afirmar que a corrente eficaz através do indutor *boost* pode ser calculada através de:

$$I_{ef_L_b} = \sqrt{\left(\frac{1}{T_{ret}} \int_0^{T_{ret}} i_{in}^2(t) dt \right)} \quad (2.45)$$

Considerando uma pequena ondulação na corrente de entrada do conversor, tem-se:

$$I_{ef_L_b} = I_{md_E} \quad (2.46)$$

2.3.5.4 Esforços no Capacitor

A tensão sobre o capacitor *boost* é igual a tensão na saída, portanto:

$$V_{max_C1} = V_o \quad (2.47)$$

Para o cálculo da ondulação de tensão sobre o capacitor de saída, considera-se a variação de corrente através do capacitor linear durante a sua carga e descarga a cada período de funcionamento. A corrente que alimenta a carga do conversor durante o intervalo de tempo em que a chave está em condução é proveniente do capacitor, portanto:

$$I_o = C_1 \frac{\Delta V_{C1}}{t_1 - t_0} \quad (2.48)$$

Onde ΔV_{C1} é a variação de tensão sobre o capacitor *boost*.

Utilizando a relação de ganho para as correntes e substituindo a equação 2.3 em 2.48, a variação de tensão sobre o capacitor é igual a:

$$\Delta V_{C1} = \frac{(1-D)DI_{md_E}}{f_s C_1} \quad (2.49)$$

O valor eficaz da corrente que circula através do capacitor, como mostrado na figura 2.5 e equacionado em 2.9, é calculado através de:

$$I_{ef_C_1} = \sqrt{\left(\frac{1}{T_{ret}} \int_0^{T_{ret}} i_{C_1}^2(t) dt \right)} \quad (2.50)$$

Então:

$$I_{ef_C_1} = \sqrt{\left\{ \frac{1}{T_{ret}} \left[\left(\int_0^{t_b} (-I_o)^2 dt \right) + \left(\int_0^{t_a} \left(I_M - \frac{(V_o - E)}{L_b} t - I_o \right)^2 dt \right) \right] \right\}} \quad (2.51)$$

Temos:

$$I_{ef_C_1} = \sqrt{\frac{3D(DE^2T_{ret}^2 + 12I_{md_E}^2L_b^2) \cdot (1-D)}{6L_b^2}} \quad (2.52)$$

Os cálculos apresentados para determinar os esforços nos componentes do conversor podem ser simplificados considerando a entrada do conversor *boost* como uma fonte de corrente ideal e a saída do mesmo como uma fonte de tensão ideal, como apresentado por [24].

2.4 Conversor *Boost* Operando com PFC

No item anterior observou-se o comportamento do conversor *boost* com uma fonte de tensão contínua na entrada e com a razão cíclica constante durante todo o período de comutação. Para a análise do conversor realizando correção de fator de potência, acrescenta-se uma ponte retificadora de onda completa na entrada do conversor *boost*, como apresentado na figura 2.7.

Neste caso, como a tensão na entrada não é mais contínua, a razão cíclica varia continuamente de forma a manter a tensão de saída constante e garantir que a corrente no indutor tenha um formato de onda senoidal retificada e em fase com a tensão de entrada. Devido à necessidade de controlar essas duas variáveis, o controle da razão cíclica ocorre aplicando a técnica de controle modo corrente média e modulação por largura de pulso (PWM – *pulse width modulation*) implementada através do CI 3854 que utiliza uma malha de corrente para modelar a corrente na entrada e uma malha de tensão para regular a tensão de saída do conversor [13], [15], [25] e [26], como apresentado no tópico seguinte. A figura 2.7 apresenta as formas de onda de corrente no indutor e tensão na entrada da ponte retificadora.

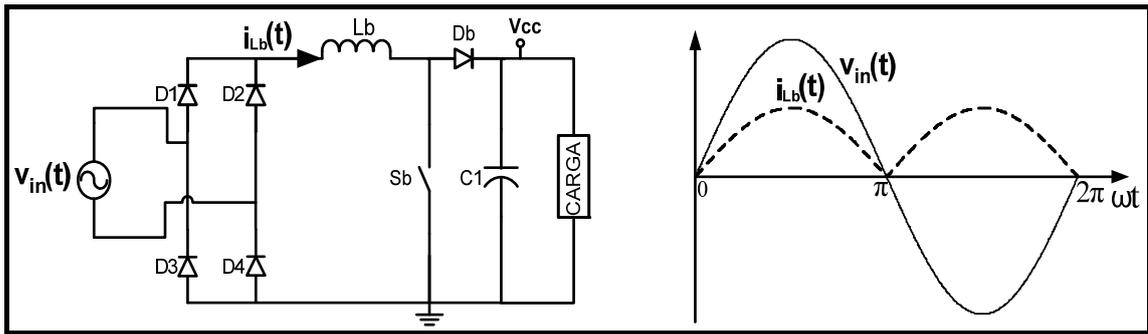


Figura 15 Topologia com PFC e formas de onda.

2.4.1 Método de Controle

Para o controle da corrente na entrada do retificador torna-se necessário a implementação de duas malhas de controle, sendo uma da corrente através do indutor e outra da tensão de saída, para garantir a correção do fator de potência e a regulação da tensão de saída. A malha de corrente é responsável pela modelagem do formato da corrente de entrada e sua referência é a própria tensão de alimentação, proporcionando corrente em fase e com mesma frequência da tensão da fonte. A malha de tensão atua regulando a tensão de saída do conversor *boost* e corrigindo possíveis desvios decorrentes de variações na carga. A figura 2.8 apresenta o circuito operando com correção de fator de potência e seu circuito de controle baseado no CI3854.

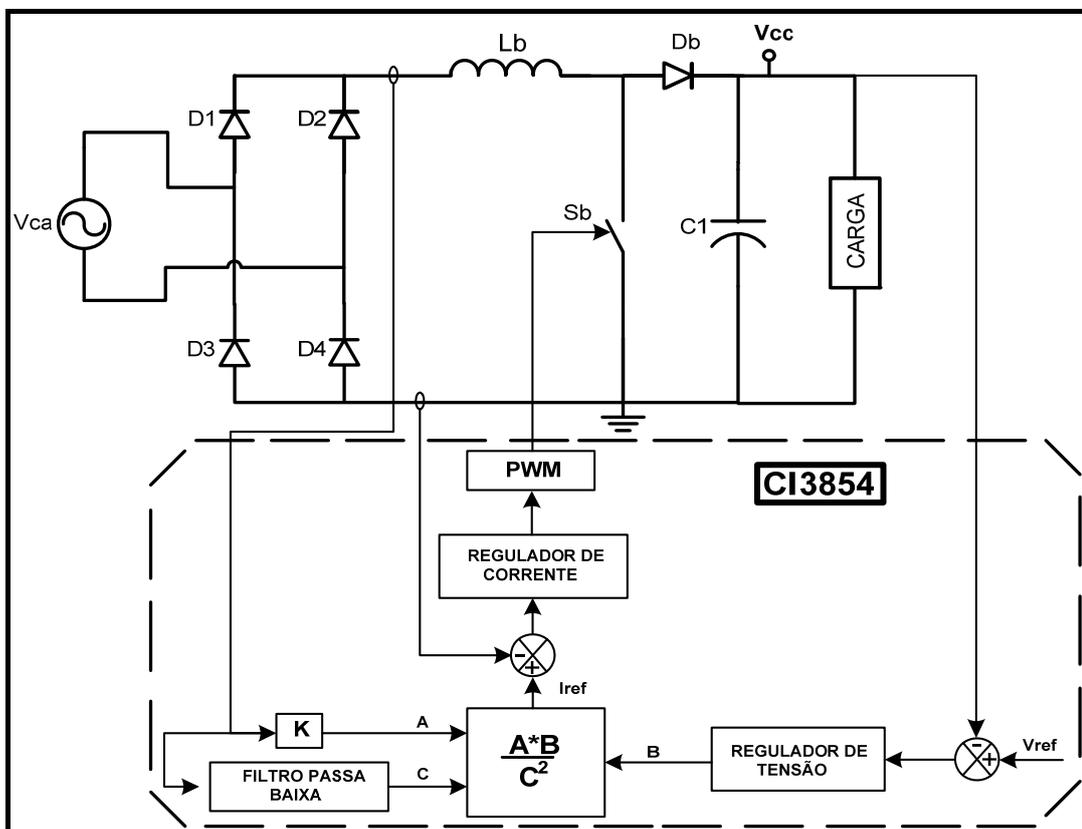


Figura 16 Conversor com PFC e controle.

A lógica de funcionamento do circuito integrado baseia-se em um sinal de referência gerado por um multiplicador/divisor analógico que é comparado com um sinal de amostragem da corrente de entrada. O resultado dessa comparação é utilizado pela malha de corrente que opera gerando o sinal de controle para o comparador PWM.

A saída do multiplicador/divisor analógico é basicamente modelada pela tensão da rede retificada, fazendo com que a corrente no conversor apresente um comportamento de carga resistiva para a rede elétrica. As entradas do multiplicador/divisor analógico são:

Sincronismo (Entrada A) – Responsável pelo formato e frequência da corrente de referência. Esse sinal é obtido através da tensão de entrada retificada.

Regulador de Tensão de Saída (Entrada B) – Opera modificando a amplitude da corrente de referência e conseqüentemente da corrente da entrada do conversor, conforme ocorra variação na carga do circuito.

Malha de Realimentação da Tensão de Entrada (Entrada C) – O sinal da tensão senoidal retificada de entrada é atenuada e filtrada gerando uma tensão CC proporcional ao valor eficaz da tensão de entrada. Essa entrada opera ajustando a amplitude da corrente de referência de forma a compensar qualquer variação da tensão da rede.

No multiplicador/divisor analógico o sinal de saída do compensador de tensão (Entrada A) é dividido pelo quadrado da tensão da malha de realimentação de entrada ou da malha de *feedforward* (Entrada C) e depois é multiplicado pelo sinal da tensão de entrada retificada, mantendo constante o ganho da malha de tensão. A malha de *feedforward* provê uma correção em laço aberto com características antecipatórias sobre a malha de tensão [25].

O circuito que mantém o ganho da malha de tensão constante torna-se um controlador de potência. Considerando o caso em que a tensão na entrada do conversor duplique, no mesmo instante, a amplitude do sinal de sincronismo duplicará. O sinal do compensador da tensão de saída permanecerá constante e a amplitude do sinal da malha de *feedforward* quadruplicará. O sinal resultante do multiplicador/divisor analógico diminuirá pela metade, corrigindo o aumento da tensão de entrada através da diminuição da corrente no indutor, conseqüentemente, a potência do conversor permanece constante.

2.4.2 Técnica de Modulação

A modulação utilizada acontece através da comparação de um sinal em rampa ou dente de serra com amplitude V_d com um sinal de controle $V_c(t)$ através do comparador PWM. O sinal de saída do comparador é utilizado para alimentar o circuito de acionamento

do interruptor. A figura 2.9 apresenta a modulação operando com tensão de controle igual à metade de V_d .

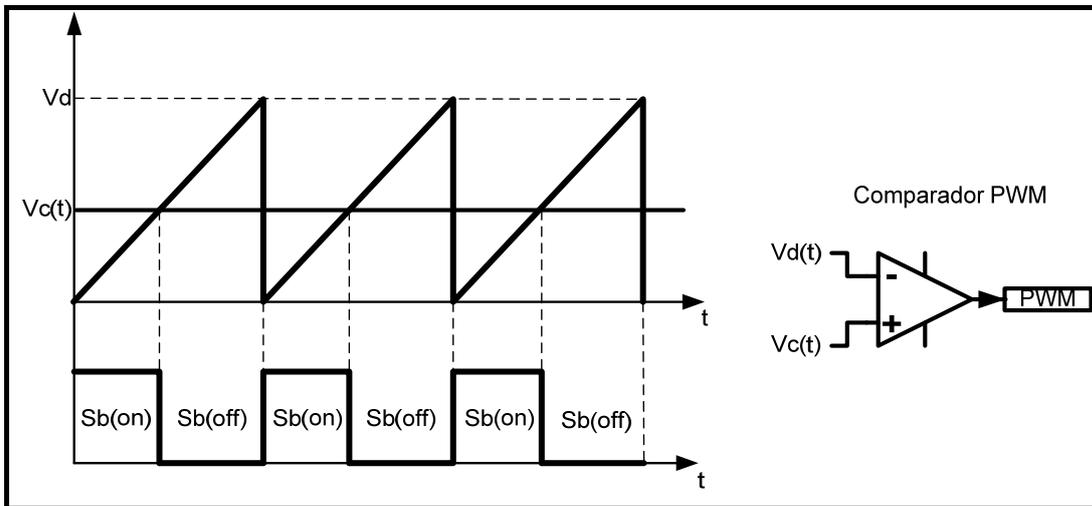


Figura 17 Técnica de modulação.

2.4.3 Formas de Onda para o Conversor com PFC

Algumas formas de onda do conversor operando com correção de fator de potência são apresentadas a seguir. A figura 2.10 (a) apresenta a tensão e a corrente na entrada do circuito e (b) o *ripple* de corrente. Observa-se a existência de uma componente de alta frequência na corrente proveniente da frequência de chaveamento como citado anteriormente.

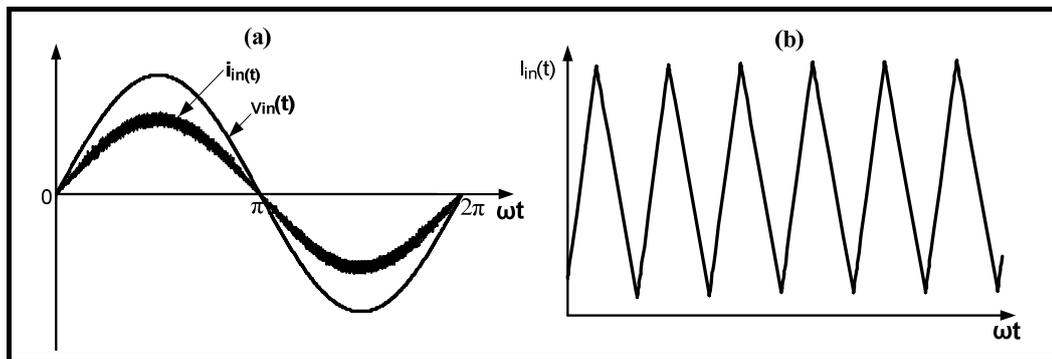


Figura 18 (a) Tensão e corrente instantânea na entrada e (b) ripple da corrente de entrada.

A tensão na chave em um período da rede e o detalhe da tensão para o período correspondente a frequência de chaveamento é apresentada na figura 2.11.

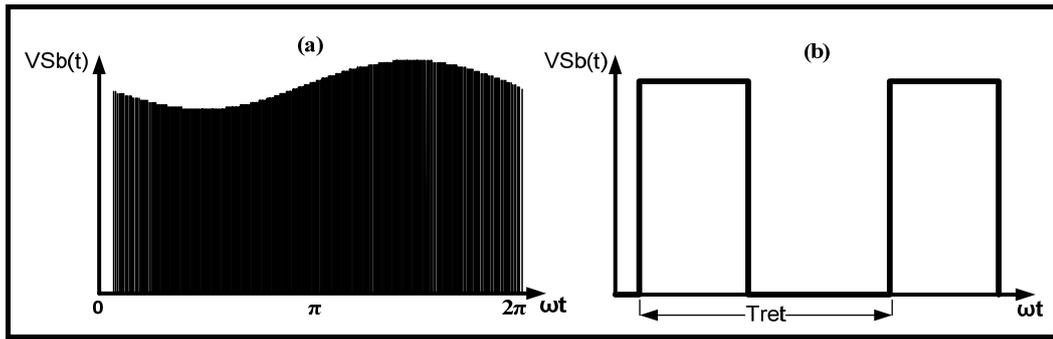


Figura 19 (a) Tensão na chave no período da rede e (b) detalhe da tensão.

A corrente através do diodo do conversor *boost* quando opera com PFC, apresenta uma componente alternada com frequência igual ao dobro da frequência da rede, que flui através do capacitor de saída do conversor. Para atenuar os efeitos dessa componente (como observado na figura 2.11) na tensão de saída deve-se projetar adequadamente esse capacitor. No item de equacionamento do capacitor apresenta-se essa análise com mais detalhes.

Na figura 2.12 tem-se a corrente através do diodo *boost* para a metade do período da rede e a forma de onda correspondente ao período de chaveamento.

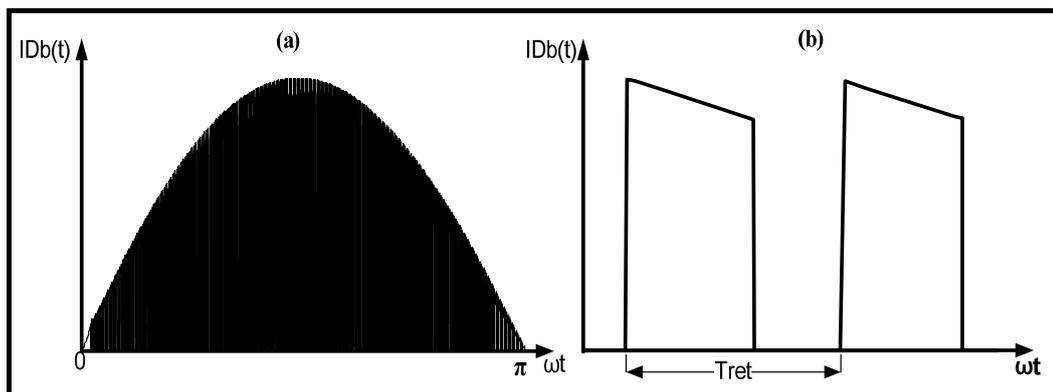


Figura 202 Corrente no diodo (a) detalhe em baixa frequência e (b) detalhe em alta frequência.

A corrente através da chave, para meio-ciclo da tensão de entrada e o detalhe da corrente é apresentado na figura 2.13.

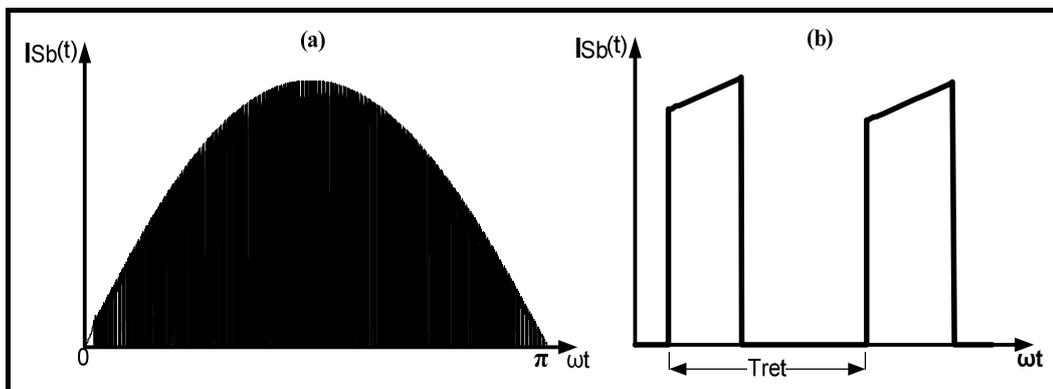


Figura 21.13 Corrente na chave (a) detalhe em baixa frequência e (b) detalhe em alta frequência.

A figura 2.14 apresenta a forma de onda da corrente através do capacitor para meio-ciclo da tensão de entrada e o detalhe em alta frequência.

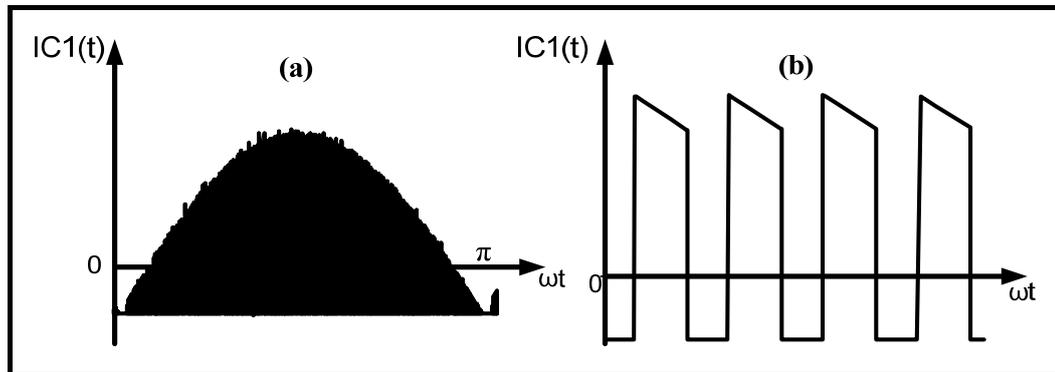


Figura 22 Corrente no capacitor (a) detalhe em baixa frequência e (b) detalhe em alta frequência.

2.4.4 Razão Cíclica do PFC

Para o cálculo da razão cíclica deve-se observar que a tensão na entrada do conversor é uma onda senoidal retificada, a tensão na saída permanece constante e a razão cíclica é variável no tempo. Com essas observações, aplica-se a equação 2.15, obtém-se a equação 2.53.

$$\frac{V_o}{|V_{ca}|} = \frac{1}{1-d(t)} \quad (2.53)$$

Sendo $|V_{ca}|$ a tensão senoidal retificada dada por:

$$|V_{ca}| = V_{pk} |\sin(\omega t)| \quad 0 \leq \omega t \leq \pi \quad (2.54)$$

Onde V_{pk} é a tensão de pico da tensão senoidal retificada.

Substituindo a equação 2.54 em 2.53, e reorganizando a equação, temos a equação 2.55.

$$d(t) = 1 - \frac{V_{pk} |\sin(\omega t)|}{V_o} \quad 0 \leq \omega t \leq \pi \quad (2.55)$$

De acordo com a equação 2.55 conclui-se que a razão cíclica assumirá seu valor de pico quando a tensão na entrada for mínima (passagem por zero) e que o valor de pico na tensão de entrada culmina na menor razão cíclica. O gráfico da figura 2.15 mostra a forma de onda da razão cíclica e da tensão de entrada no tempo.

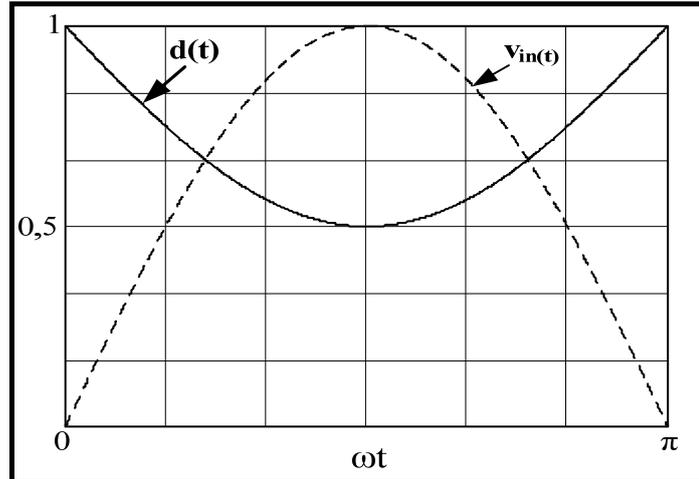


Figura 23 Tensão de entrada do retificador com PFC versus razão cíclica.

2.4.5 Esforços nos Componentes do Conversor Operando com PFC

Para o cálculo dos esforços nos componentes do conversor com correção de fator de potência, consideramos na entrada corrente e a tensão senoidais e sem deslocamento, ou seja, com fator de potência unitário, onde:

$$v_{in}(t) = V_{pk} \sin(\omega t) \quad 0 \leq \omega t \leq 2\pi \quad (2.56)$$

$$i_{in}(t) = I_{pk} \sin(\omega t) \quad 0 \leq \omega t \leq 2\pi \quad (2.57)$$

Para:

$v_{in}(t)$ - tensão instantânea na entrada;

$i_{in}(t)$ - corrente instantânea de entrada;

I_{pk} - valor de pico da corrente de entrada do retificador.

A potência instantânea de entrada pode ser encontrada através de:

$$p_{in}(t) = I_{pk} V_{pk} \sin^2(\omega t) \quad (2.58)$$

A corrente de pico através da entrada do conversor pode ser encontrada considerando que a tensão na saída do conversor permanece constante e que a potência média na entrada pode ser escrita em função de potência média de saída e do rendimento, conseqüentemente, tem-se:

$$P_{in_PFC} = \frac{P_{o_PFC}}{\eta_{PFC}} \quad (2.59)$$

$$P_{o_PFC} = V_o I_o \quad (2.60)$$

$$P_{in_PFC} = \frac{V_{pk} I_{pk}}{2} \quad (2.61)$$

Onde:

P_{in_PFC} – potência média na entrada do retificador;

P_{o_PFC} - potência média na saída do retificador;

η_{PFC} – rendimento do retificador.

Substituindo 2.60 e 2.61 em 2.59, tem-se:

$$I_{pk} = \frac{2V_o I_o}{V_{pk} \eta_{PFC}} \quad (2.62)$$

Definimos o parâmetro α (adimensional) dado como a relação da tensão de saída do conversor *boost* pela tensão de pico de entrada do retificador, como segue:

$$\alpha = \frac{V_o}{V_{pk}} \quad (2.63)$$

Substituindo 2.63 em 2.62, obtem-se:

$$I_{pk} = \frac{2\alpha I_o}{\eta_{PFC}} \quad (2.64)$$

Para o cálculo dos esforços de tensão e corrente nos componentes do retificador utiliza-se a equações descritas na seção 2.3 com as seguintes considerações:

- Cálculo dos esforços em função de ωt ;
- A tensão de entrada (E) será substituída pela tensão instantânea definida pela equação 2.56;
- A corrente média de entrada do conversor *boost* (I_{md_E}) será substituída pela corrente instantânea de entrada, dada pela equação 2.65;

$$i_{in}(t) = \frac{2\alpha I_o}{\eta_{PFC}} \sin(\omega t) \quad 0 \leq \omega t \leq 2\pi \quad (2.65)$$

- A razão cíclica para a análise do conversor CC-CC é substituída pela equação 2.66;

$$d(t) = 1 - \frac{|\sin(\omega t)|}{\alpha} \quad 0 \leq \omega t \leq \pi \quad (2.66)$$

- Os esforços são calculados para cada meio período da tensão de entrada.

2.4.5.1 Esforços no Interruptor S_b com PFC

A tensão máxima sobre o interruptor é igual a soma da tensão de saída e a queda de tensão sobre o diodo *boost* em condução (V_{db}), como segue:

$$V_{m\acute{a}x_Sb_PFC} = V_o + V_{db} \quad (2.67)$$

O valor da corrente média é obtida através da substituição de 2.66 e 2.65 em 2.28 e utilizando a definição do valor médio para meio período da tensão da rede:

$$I_{md_Sb_PFC} = \int_0^{\pi} \left[\left(1 - \frac{|\sin(\omega t)|}{\alpha} \right) \left(\frac{2\alpha I_o}{\eta_{PFC}} \sin(\omega t) \right) \right] d(\omega t) \quad (2.68)$$

Consequentemente,

$$I_{md_Sb_PFC} = \frac{I_o(4\alpha - \pi)}{\eta_{PFC}\pi} \quad (2.69)$$

A corrente eficaz pode ser calculada através da substituição de 2.56, 2.65 e 2.66 em 2.31 e aplicando a definição do valor eficaz:

$$I_{ef_Sb_PFC} = \sqrt{\left(\frac{1}{\pi} \int_0^{\pi} i_{ef_Sb}^2(t) dt \right)} \quad (2.70)$$

Resolvendo a equação 2.70, teremos:

$$I_{ef_Sb_PFC} = \frac{I_o}{\eta_{PFC}} \sqrt{\frac{6\alpha(3\pi\alpha - 8)}{9\pi}} \quad (2.71)$$

O valor de pico da corrente através do interruptor é igual a máxima corrente na entrada do conversor, dada por:

$$I_{pk_Sb_PFC} = \frac{2\alpha I_o}{\eta_{PFC}} \quad (2.72)$$

2.4.5.2 Esforços no Diodo Boost D_b com PFC

A máxima tensão sobre o diodo é igual a tensão na saída do conversor, portanto:

$$V_{Db} = V_o \quad (2.73)$$

Para o cálculo da corrente média através do diodo *boost*, substitui-se 2.65 e 2.66 em 2.35, onde obtem-se:

$$I_{md_Db_PFC} = \frac{1}{\pi} \int_0^{\pi} \left(\frac{2I_o \sin(\omega t)^2}{\eta_{PFC}} \right) d(\omega t) \quad (2.74)$$

Resolvendo a equação 2.74, tem-se:

$$I_{md_Db_PFC} = \frac{I_o}{\eta_{PFC}} \quad (2.75)$$

A corrente eficaz através do diodo poderá ser obtida através da substituição de 2.56, 2.65 e 2.66 em 2.40, onde é usado em:

$$I_{ef_Db_PFC} = \sqrt{\left(\frac{1}{\pi} \int_0^{\pi} i_{ef_Db}(t)^2 dt\right)} \quad (2.76)$$

A corrente eficaz será dada pela seguinte equação:

$$I_{ef_Db_PFC} = \frac{I_o}{\eta_{PFC}} \sqrt{\frac{16\alpha}{3\pi}} \quad (2.77)$$

A corrente de pico através do diodo é igual ao valor máxima de corrente na entrada do retificador, sendo igual a:

$$I_{pk_Db_PFC} = \frac{2\alpha I_o}{\eta_{PFC}} \quad (2.78)$$

2.4.5.3 Esforços no Indutor com PFC

Substituindo as equações 2.56 e 2.66 em 2.44, tem-se a variação de corrente instantânea no indutor, dada pela seguinte equação:

$$\Delta I_{Lb} = \frac{V_{pk} \sin(\omega t)(\alpha - \sin(\omega t))}{L_b f_s \alpha} \quad (2.79)$$

Como a corrente instantânea através do indutor *boost* para meio ciclo da tensão da rede é igual à corrente através da entrada do retificador, a corrente eficaz é encontrada por:

$$I_{ef_Lb_PFC} = \sqrt{\left(\frac{1}{\pi} \int_0^{\pi} i_{in}(t)^2 dt\right)} \quad (2.80)$$

O resultado da equação 2.80 será:

$$I_{ef_Lb_PFC} = \frac{I_o \alpha}{\eta_{PFC}} \sqrt{2} \quad (2.81)$$

A corrente de pico através do indutor tem valor igual à corrente máxima na entrada do conversor, como apresentado na equação 2.64. Assim:

$$I_{pk_Lb_PFC} = \frac{2\alpha I_o}{\eta_{PFC}} \quad (2.82)$$

Podemos observar na figura 2.16 que a variação de corrente parametrizada apresentará valores máximos dependentes do valor de α .

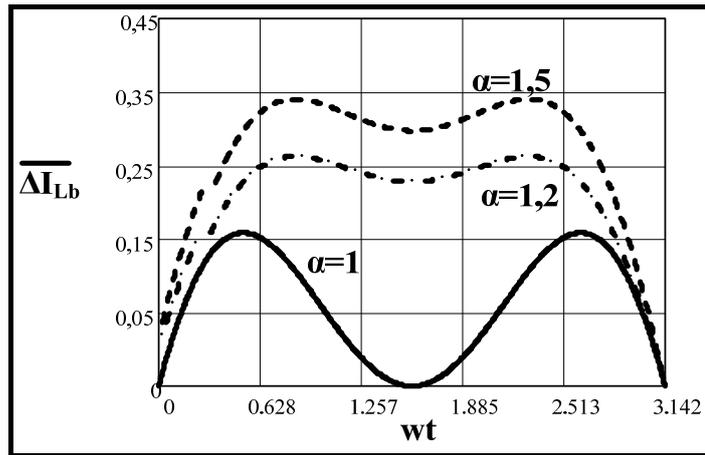


Figura 24 Variação de corrente no indutor.

Considerando que as máximas variações ocorrem para ωt entre $2\pi/9$ e $7\pi/9$ radianos, onde a variação de corrente parametrizada para o caso estudado é aproximadamente igual a 0,32 [21], podemos determinar o valor da indutância através da seguinte expressão:

$$L_b = \frac{0,32V_{pk}}{\Delta I_{Lb} f_s} \quad (2.83)$$

2.4.5.4 Esforços nos Diodos da Ponte Retificadora

O cálculo dos esforços nos diodos da ponte retificadora será realizado para o diodo D1, como apresentado na figura 2.7, onde o mesmo cálculo poderá ser realizado para a determinação dos esforços em qualquer diodo da ponte.

A tensão de pico sobre o diodo é igual a tensão de pico de entrada, conseqüentemente, teremos:

$$V_{D1} = V_{pk} \quad (2.84)$$

Cada diodo conduz por meio período da tensão da rede e durante o tempo restante permanece no estado de bloqueio, portanto, o valor médio de corrente é dado por:

$$I_{md_D1} = \frac{1}{2\pi} \int_0^{\pi} i_{in}(t) dt \quad (2.85)$$

Resolvendo a equação anterior:

$$I_{md_D1} = \frac{2\alpha I_o}{\pi \eta_{PFC}} \quad (2.86)$$

A corrente eficaz pode ser calculada através da seguinte equação:

$$I_{ef_D1} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} i_{in}(t)^2 dt} \quad (2.87)$$

Portanto:

$$I_{ef_D1} = \frac{\alpha I_o}{\eta_{PFC}} \quad (2.88)$$

O valor da corrente de pico nos diodos da ponte é igual a corrente de pico na entrada do conversor, como apresentado na equação 2.64, sendo:

$$I_{pk_D1} = \frac{2\alpha I_o}{\eta_{PFC}} \quad (2.89)$$

2.4.5.5 Esforços no Capacitor com PFC

A tensão máxima sobre o capacitor é igual a tensão na saída do circuito, portanto:

$$V_{\max_C1_PFC} = V_o \quad (2.90)$$

A corrente na saída do conversor é composta por três componentes de diferentes frequências, sendo: uma componente contínua proveniente da alimentação da carga, uma componente devido à frequência de chaveamento do conversor e uma componente CA com o dobro da frequência da tensão de alimentação. O capacitor do circuito tem a função de absorver essas componentes alternadas de forma que a tensão na carga não seja influenciada pelas mesmas.

Considerando a relação de ganho de corrente para o caso do conversor operando com PFC, tem-se:

$$i_o(t) = (1 - d(t))i_{in}(t) \quad (2.91)$$

Substituindo na equação anterior as equações 2.66 e 2.57 e resolvendo a equação, tem-se:

$$i_o(t) = \underbrace{\frac{1}{2} \frac{V_{pk} I_{pk}}{V_o}}_{DC} - \underbrace{\frac{1}{2} \frac{V_{pk} I_{pk}}{V_o} \cos 2\omega t}_{AC} \quad (2.92)$$

A partir da equação 2.92 podemos calcular a ondulação da tensão de saída do conversor devido a segunda harmônica de corrente aplicando a seguinte equação:

$$V_{Ripple_C1} = \frac{1}{\omega C_1} \int \left(\frac{1}{2} \frac{V_{pk} I_{pk}}{V_o} \cos 2\omega t \right) d(\omega t) \quad (2.93)$$

Através da equação anterior, obtemos o valor máximo da ondulação de tensão ($V_{ripple_máx_C1}$):

$$V_{Ripple_Máx_C1} = \frac{V_{pk} I_{pk}}{8\pi f_r C_1 V_o} \quad (2.94)$$

Onde f_r é a frequência da rede elétrica.

O cálculo da capacitância pode ser realizado em função da variação máxima de tensão na saída do circuito. Portanto, a partir da equação 2.94, obtemos:

$$C_1 = \frac{P_o}{2\pi f_r \Delta V_{C1} V_o^2} \quad (2.95)$$

A corrente eficaz através do capacitor pode ser calculada por:

$$I_{ef_C1_PFC} = \sqrt{\left(\frac{1}{\pi} \int_0^{\pi} i_{C1}^2(t) dt \right)} \quad (2.96)$$

Substituindo 2.56, 2.65 e 2.66 em 2.52 e aplicando em 2.96, teremos a corrente eficaz no capacitor a partir de:

$$I_{ef_C1_PFC} = \frac{I_o}{\eta_{PFC}} \sqrt{\left(\frac{32\alpha - 9\pi}{6\pi} \right)} \quad (2.97)$$

2.5 Modelagem do Conversor *Boost*

Para a efetiva operação do conversor torna-se necessário o correto projeto das malhas de controle. Como descrito anteriormente, o circuito é composto por três malhas de controle, sendo: malha de tensão, malha de corrente e malha de *feedforward*. Para o cálculo das malhas de tensão e de corrente torna-se necessário determinar as suas respectivas funções de transferência, como descrito nos itens seguintes. A figura 2.17 apresenta o diagrama de blocos do método de controle empregado no conversor.

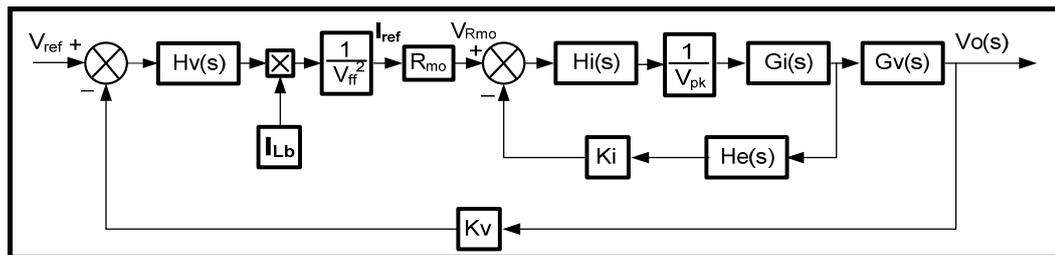


Figura 25 Diagrama de blocos do método de controle modo corrente média.

A determinação das funções de transferência de corrente e tensão do conversor, é feita usando o modelo de pequenos sinais da chave PWM operando em modo de condução contínua, proposto por *Vorpérian* [27]. A figura 2.18 apresenta o modelo aplicado ao conversor *boost*.

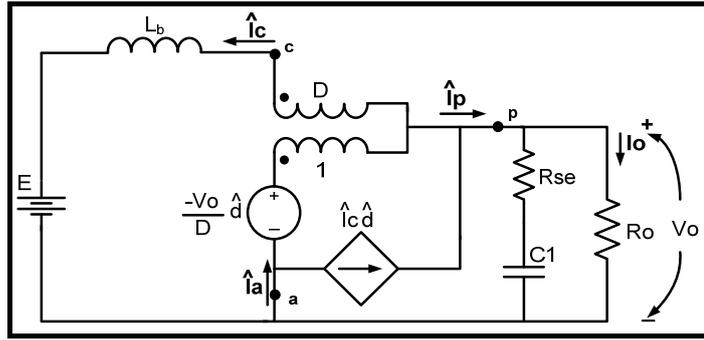


Figura 26 Modelo da chave PWM aplicado ao conversor boost em MCC.

2.5.1 Função de Transferência da Corrente no Indutor

A obtenção da função de transferência da corrente através do indutor ocorre considerando variações somente na razão cíclica (variável de controle). Portanto, as perturbações na fonte de tensão de alimentação e na tensão de saída são consideradas nulas. Baseando-se na figura 2.18, tem-se:

$$G_i(s) = \frac{\hat{i}_{L_b}(s)}{\hat{d}(s)} = \frac{V_o}{sL_b} \quad (2.98)$$

De acordo com [28], para adicionar uma maior robustez ao método de controle por corrente média deve ser considerado um ganho de amostragem, dado por dois zeros no semi-plano direito, junto à função de transferência da malha de corrente, sendo dado por:

$$H_e(s) = 1 - \frac{s}{2f_s} + \frac{s^2}{\pi^2 f_s^2} \quad (2.99)$$

2.5.2 Função de Transferência da Tensão de Saída

Para determinar a função de transferência da tensão de saída perturbando a corrente através do indutor (variável de controle), é desprezada qualquer variação da razão cíclica e da fonte de alimentação. Através da figura 2.18, obtêm-se a seguinte função:

$$G_V(s) = \frac{\hat{v}_o(s)}{\hat{i}_{L_b}(s)} = (1-D) \frac{R_{se}R_o}{R_o + R_{se}} \frac{s + \frac{1}{R_{se}C_1}}{s + \frac{1}{C_1(R_o + R_{se})}} \quad (2.100)$$

Observamos que a resistência série do capacitor adiciona um zero na função de transferência da tensão de saída, no entanto, este zero está localizado em uma frequência muito superior a do pólo formado por R_o e C_1 , fazendo com que o pólo seja dominante em relação ao zero [21]. O valor da razão cíclica corresponde ao seu valor médio durante um ciclo da tensão de alimentação.

2.6 Projeto das Malhas de Controle

O projeto das funções de transferência dos compensadores das malhas de tensão de saída e corrente de entrada, bem como, os critérios de alocação de pólos e zeros aplicados serão apresentados neste item. A malha de *feedforward* também será apresentada e discutida.

2.6.1 Projeto do Compensador da Malha de Corrente

O compensador de corrente utilizado é apresentado na figura 2.19, onde podemos observar que é um proporcional-integral (PI) com filtro. Este compensador possui um zero e dois pólos como mostra a equação 2.101. A escolha desse compensador baseia-se no seu desempenho satisfatório para essa malha de controle como apontado por [15], [25] e [26].

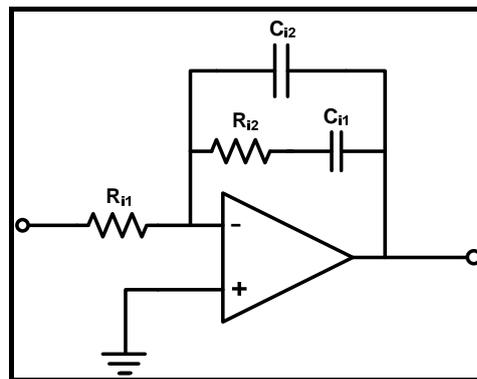


Figura 2.19 Compensador PI com filtro da malha de corrente.

$$H_i(s) = \frac{1 + C_{i1}R_{i2}s}{R_{i1}(C_{i1} + C_{i2}) \left(1 + \frac{R_{i2}C_{i1}C_{i2}}{C_{i1} + C_{i2}} s \right) s} \quad (2.101)$$

A alocação dos pólos e zeros do compensador deve seguir alguns critérios de forma a obter o seu correto desempenho:

- A frequência de referência para o controle é a frequência no indutor que é igual a duas vezes a frequência da rede;
- Uma maior frequência de cruzamento do sistema tende a tornar a malha mais rápida, o que culmina numa forma de onda de corrente de entrada mais fiel a referência, porém deve ser menor que a metade da frequência de comutação, caso contrário, o sistema tende a se tornar instável.
- O zero é alocado uma década abaixo da metade da frequência de chaveamento;
- Um pólo é colocado na origem para diminuir o erro estático em regime permanente.

- O segundo pólo é colocado acima da metade da frequência de chaveamento.

2.6.2 Projeto do Compensador da Malha de Tensão

A configuração do compensador utilizado é o mesmo aplicado a malha de corrente com dois pólos e um zero, como mostra a figura 2.20. Essa malha possui a particularidade de trabalhar com uma baixa frequência de cruzamento para evitar que ocorram distorções na corrente de entrada. A equação 2.102 apresenta a função de transferência do compensador.

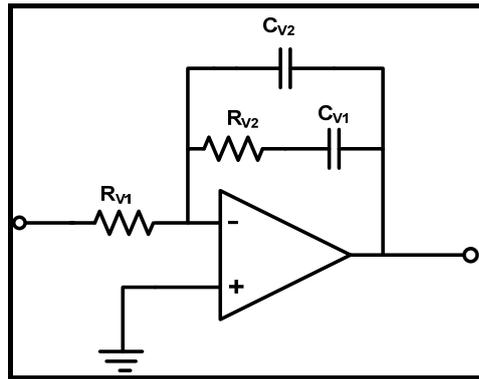


Figura 27 Compensador PI com filtro da malha de tensão.

$$H_v(s) = \frac{1 + C_{v1}R_{v2}s}{R_{v1}(C_{v1} + C_{v2}) \left(1 + \frac{R_{v2}C_{v1}C_{v2}}{C_{v1} + C_{v2}} s \right) s} \quad (2.102)$$

Para o projeto do compensador de tensão devemos utilizar os seguintes critérios de alocação de pólos e zeros:

- A frequência de cruzamento deve ser menor que um quarto da frequência da corrente através do indutor (120Hz);
- Um pólo é alocado na origem com o objetivo de diminuir o erro estático em regime permanente;
- O outro pólo do compensador pode ser alocado com frequência igual ou superior a frequência da rede;
- O zero é alocado uma década abaixo da frequência de cruzamento;

2.6.3 Projeto da Malha de Feedforward

Esta malha possui a função de compensar qualquer variação da tensão da fonte de alimentação de forma a minimizar os efeitos dessas variações na tensão da carga. Trata-se de um filtro passa baixa de dois pólos que amostra a tensão senoidal retificada na entrada do conversor e transforma em um nível CC proporcional a tensão eficaz do sinal amostrado, como mostra a figura 2.21.

O sinal CC gerado pelo filtro modifica a amplitude da tensão do sinal de referência do multiplicador/divisor, podendo caracterizar um efeito de caráter antecipativo, uma vez que, propõe uma correção na malha de tensão antes que a tensão na carga sofra influencia mais severa. A tensão CC antes de entrar no multiplicador/divisor é elevado ao quadrado, o que propicia um ganho da malha de tensão constante.

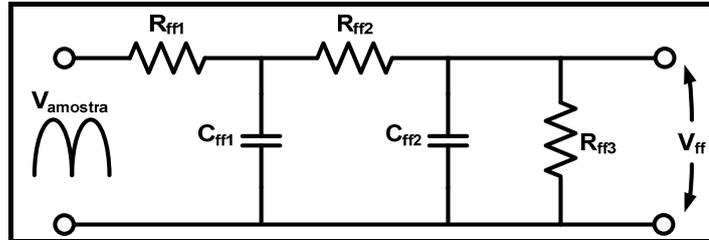


Figura 2.21 Filtro passa baixa de dois pólos da malha de feedforward.

A determinação dos elementos do filtro é realizada utilizando como referência [15]. A tensão na saída do filtro V_{ff} deve assumir valores entre 1,4V e 4,5V [25] e devido a tensão na entrada do filtro ser originada de um transformador abaixador de medição, deve-se integrar as equações uma relação de ganho de amostragem (adimensional) dado por:

$$a_{amostragem} = \frac{V_{ef_out_Ta}}{V_{ef_in_Ta}} \quad (2.103)$$

Onde $V_{ef_out_Ta}$ é a tensão eficaz sobre a saída do transformador de amostragem e $V_{ef_in_Ta}$ é a tensão eficaz sobre a entrada.

Para o cálculo dos valores dos componentes do filtro, deve-se considerar um valor para R_{ff1} , a frequência de corte do filtro é escolhido igual a um terço da frequência da rede ($f_{c_{ff}}$), a tensão recomendada sobre o resistor R_{ff2} é de 4,5V (V_{ffc}) e a tensão sobre R_{ff3} igual a 1,5V (V_{ff}).

$$R_{ff2} = \frac{R_{ff1}(V_{ff} - V_{ffc})}{V_{ffc} - 0,8V_{ef_in_mín}a_{amostragem}} \quad (2.104)$$

Onde $V_{ef_in_mín}$ é a mínima tensão eficaz da fonte de alimentação.

$$R_{ff3} = \frac{V_{ff}(R_{ff1} + R_{ff2})}{0,8V_{ef_in_mín}a_{amostragem} - V_{ff}} \quad (2.105)$$

$$C_{ff1} = \frac{1}{2\pi f_{c_{ff}}R_{ff2}} \quad (2.106)$$

Redefinindo a frequência de corte para um valor real com os valores comerciais dos componentes calculados, tem-se:

$$f_{c_ffreal} = \frac{1}{2\pi C_{ff1} R_{ff2}} \quad (2.107)$$

Utilizando a equação anterior, podemos calcular o valor de C_{ff2} :

$$C_{ff2} = \frac{1}{2\pi f_{c_ffreal} R_{ff3}} \quad (2.108)$$

Podemos calcular os valores de V_{ff} e V_{ffc} através de:

$$V_{ff} = \frac{0,8V_{ef_in_mín} a_{amostragem} R_{ff3}}{R_{ff1} + R_{ff2} + R_{ff3}} \quad (2.109)$$

$$V_{ffc} = 0,8V_{ef_in_mín} a_{amostragem} \frac{R_{ff2} + R_{ff3}}{R_{ff1} + R_{ff2} + R_{ff3}} \quad (2.110)$$

2.7 Conclusão

Neste capítulo foi realizada a análise qualitativa e quantitativa do retificador com correção de fator de potência partindo de sua estrutura básica, o conversor CC-CC *boost*. A topologia estudada é bem conhecida na literatura, sendo caracterizada pela sua relativa simplicidade e pelos bons resultados que são adquiridos com sua implementação.

São discutidos os cálculos dos esforços de tensão e corrente para a determinação dos componentes do circuito de potência, bem como, as novas características provenientes do método de operação, como é o caso do aparecimento de uma componente de tensão CA, com o dobro da frequência da tensão de alimentação, nos capacitores que formam o barramento CC.

O método de controle estudado para a aplicação foi o modo corrente média, implementado através do CI3854. A determinação das funções de transferência do conversor foram realizadas por meio do modelo da chave PWM e mostrados os critérios dos compensadores das malhas de tensão e corrente. A malha de *feedforward* foi descrita, seguindo as determinações do fabricante do circuito integrado, e seu método de cálculo apresentado.

CAPÍTULO 3

ANÁLISE DO INVERSOR MULTINÍVEL

3.1 Introdução

Os inversores multiníveis são conhecidos por suas aplicações em altas potências e tensões, reduzidos esforços de tensão sobre os semicondutores de potência e operação em baixa frequência, apresentando baixas perdas de comutação (consequentemente, melhor rendimento) e baixos níveis de interferência eletromagnética (EMI). Porém, também são conhecidos por seu elevado número de semicondutores e complexidade nos métodos de controle. Constitui-se um desafio o desenvolvimento de novas aplicações para estes tipos de inversores aliado a alternativas que minimizem a complexidade destas estruturas [29-32].

Aplicações dessa classe de inversores em baixas potências (<10kVA) vem sendo objeto de estudo principalmente para sistemas fotovoltaicos, onde o inversor é considerado como elemento crítico [33-34]. Este capítulo apresenta o projeto de um inversor multinível para aplicações em sistemas ininterruptos de energia tomando por base a concepção proposta por [4].

3.2 Proposta do Inversor Multinível para UPS

A topologia objeto deste capítulo pode ser vista como a união de três estágios, sendo: um conversor ponte-H, um transformador com múltiplos secundários e um estágio de saída formado por chaves bidirecionais, como mostrado na figura 3.1.

A ponte-H tem a função de gerar uma onda quadrada com frequência igual à desejada na tensão de saída. As chaves semicondutoras deste estágio estarão submetidas à tensão do barramento CC. Uma importante ação é realizada nesta etapa que é a identificação e a correção do desbalanceamento magnético do transformador, sendo este mecanismo discutido em tópicos seguintes.

O transformador com múltiplos secundários recebe em seu primário uma tensão quadrada proveniente da ponte-H. Em seus secundários são induzidas forças eletromotrizes também quadradas com magnitudes que diferenciam entre si com o objetivo de serem combinadas para a formação da onda de tensão multinível. A estrutura responsável pela combinação dos vários secundários é o estágio de saída, composto por chaves estáticas que

realizam a correta soma das tensões dos secundários e garantem a regulação da magnitude e da frequência da tensão de saída.

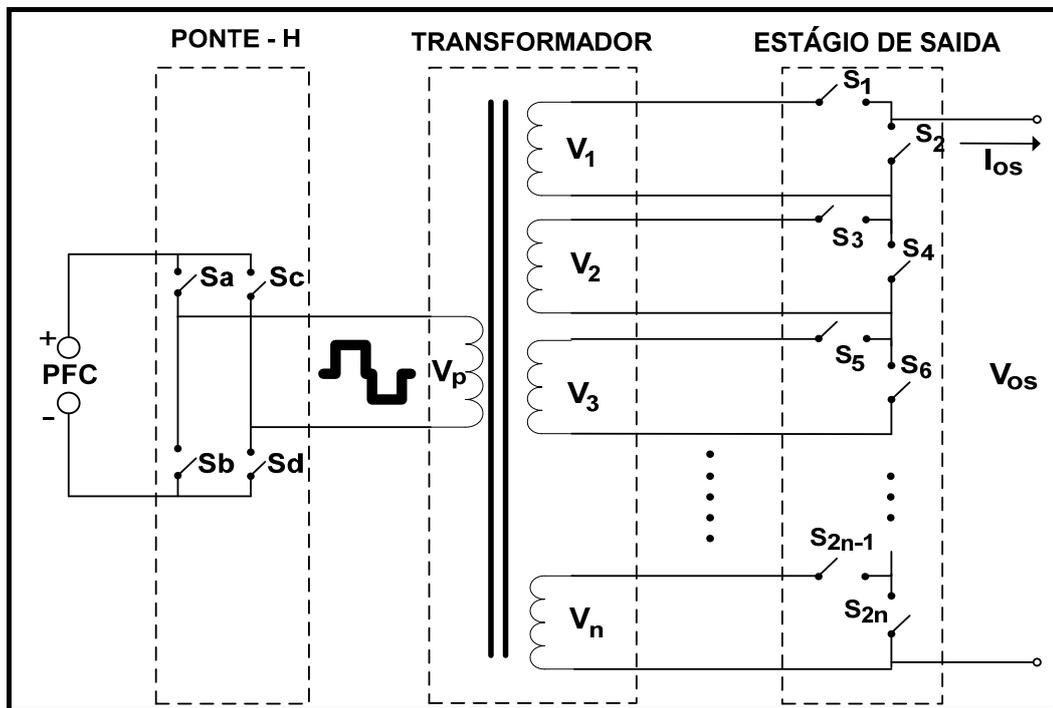


Figura 28 Topologia proposta para o inversor multinível.

Existem basicamente duas tecnologias de chaves semicondutoras amplamente difundidas no mercado que são utilizadas na implementação destas estruturas, que são IGBT e MOSFET. Para a ponte-H, devido à tensão do barramento ser de 400V, as chaves de melhores desempenhos (menores perdas e melhores características elétricas) são os IGBT's. Para a operação da ponte-H, estas chaves devem ser capazes de bloquear tensões de uma mesma polaridade, devido a alimentação da ponte ser proveniente do barramento CC.

No caso das chaves semicondutoras presentes nos secundários, a maior tensão será menor que a metade da tensão do barramento de entrada, o que implica na implementação de MOSFET's como a melhor alternativa. Devido à possibilidade de o inversor alimentar cargas reativas, torna-se necessário à característica de bloqueio de tensões CA nas chaves do secundário, essa implementação será discutida em tópicos adiante.

3.2.1 Conceito de Onda Multinível

Para que se possa prosseguir na discussão de inversores multiníveis torna-se necessário a definição de alguns conceitos. A figura 3.2 exemplifica uma forma de onda de 7 níveis.

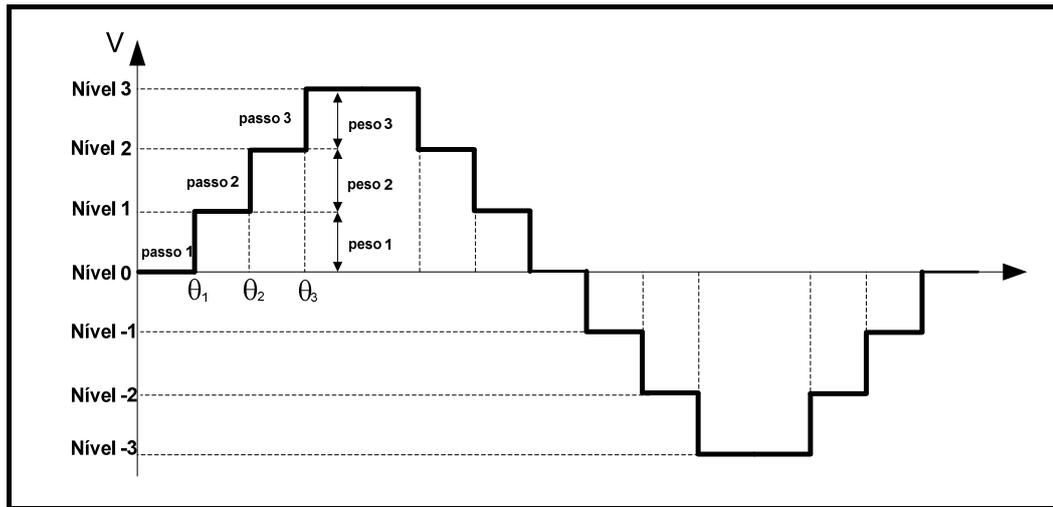


Figura 29 Onda multinível com 7 níveis.

Na figura acima pode-se identificar uma forma de onda com três níveis positivos e três níveis negativos além do nível zero. Pode-se definir como nível cada magnitude de tensão correspondente a uma combinação única de chaves semicondutoras da estrutura. Na forma de onda apresentada pode-se ajustar tanto a largura (dada por $\theta_n - \theta_{n-1}$) quanto o peso de cada passo, porém os pesos geralmente são mantidos constantes e a largura é ajustada de acordo com o formato da onda de saída desejada.

Para o equacionamento do conversor define-se como n o número de níveis da onda de saída, p' o número de passos para um quarto ciclo e p o número de passos do conversor. A partir destas definições pode-se determinar que:

$$n = 2 \cdot p' + 1 \quad (3.1)$$

$$p = 4 \cdot p' \quad (3.2)$$

Para que o número de níveis gerados pelo conversor dependa somente do número de células de saída e de seus respectivos valores de tensão, torna-se necessário que todas as tensões nos secundários do transformador sejam de valores distintos e que suas combinações não possuam valores idênticos. Este trabalho considera todas as tensões nos secundários do transformador como múltiplos de 2 da tensão do enrolamento de menor magnitude.

Definindo como N o número de estágios de saída da estrutura e levando em consideração as condições anteriormente impostas, pode-se dizer que:

$$n = 2^{N+1} - 1 \quad (3.3)$$

Uma onda multinível é formada por um número finito de níveis, onde é importante considerar que o valor de pico da onda pode diferir do valor calculado a partir de seu valor RMS. Para quantificar essa diferença, definimos um parâmetro de qualidade chamado de

índice de modulação (M_i) da forma de onda, que pode ser usado como uma medida da regulação de tensão, como mostrado na equação 3.4.

$$M_i = \frac{(V_{pk_inv} / \sqrt{2})}{V_{RMS}} \quad (3.4)$$

Onde: V_{pk_inv} e V_{RMS} são os valores das tensões de pico e eficaz da onda multinível, respectivamente.

3.3 Descrição da Topologia do Inversor Multinível

Seguindo os principais requisitos apresentado no item 1.2, os que se referem diretamente ao inversor são: garantir tensão e frequência dentro de faixas toleráveis pela carga, onde a tensão deve possuir uma THD menor que 5%. Considerando estes parâmetros como básicos para validação de topologias de alta resolução como os inversores multiníveis, deve-se considerar outros parâmetros que os diferenciem e que os justifiquem dentro das aplicações a que se destinam. A seguir serão discutidas as principais características da estrutura, a descrição de operação do conversor e o seu equacionamento.

3.3.1 Principais Características do Inversor

De acordo com [4], o inversor proposto além de atender aos principais requisitos para UPS, ele possui três características que o diferencia, sendo, a confiabilidade, eficiência e a capacidade de suportar altos picos de corrente (transitórios de corrente).

3.3.1.1 Confiabilidade

A definição de confiabilidade pode ser dada como a probabilidade de um componente ou sistema em desempenhar sua função, em um dado ambiente, por um período de tempo específico, sendo representado em termos do tempo médio entre falhas ou *Mean Time Between Failure* (MTBF) e modelado pela ‘curva da bacia’ [35-36].

A confiabilidade dos semicondutores é fortemente influenciada pelas condições que são impostas para a sua operação. Esforços de tensão e altas temperaturas são grandezas que afetam os componentes diminuindo seu tempo de vida [37]. Dado a este fato, pode-se concluir que sistemas que operam em baixa frequência (menores esforços de tensão) e com alta eficiência (menor quantidade de calor gerado e conseqüentemente menor temperatura a ser dissipada nos semicondutores) possuem o potencial de alcançar maiores confiabilidades para o sistema, como é o caso dos inversores multiníveis.

3.3.1.2 Eficiência

Além de estar intimamente relacionada com a confiabilidade do sistema, como apresentado no item anterior, a eficiência para o caso de um sistema ininterrupto de energia tem um valor fundamental quando relacionado a otimização da utilização da energia do banco de baterias, promovendo uma maior durabilidade de todo o sistema.

Existe uma relação muito próxima entre o aumento de eficiência e o aumento de custo, uma vez que a primeira implica, por exemplo, na utilização de semicondutores de melhor desempenho e núcleos magnéticos de melhor qualidade. Deve-se, portanto, avaliar a aplicação para se poder determinar se o incremento de eficiência é realmente significativo a ponto de compensar esse aumento do valor final do projeto. Algumas topologias se destacam por apresentarem melhor desempenho em relação às demais, quanto à eficiência. Neste caso, pode-se citar os inversores multiníveis devido principalmente a sua operação em baixa frequência.

3.3.1.3 Capacidade de Suportar Transitórios de Corrente

Embora não seja comum para uma UPS a sua utilização na alimentação de carga com altas corrente de partida como motores elétricos e refrigeradores, a topologia aqui apresentada, possui a capacidade de suportar altas correntes por curtos períodos de tempo (mais que três vezes a sua corrente nominal). Essa capacidade torna-se interessante para o caso em que ocorra a falha de alguma carga conectada a saída do sistema, de forma a conservar a integridade da estrutura em caso de anormalidades.

3.3.2 Principais Formas de Onda

Para a descrição de operação da topologia será utilizado como exemplo, a estrutura de dois estágios de saída, para proporcionar uma melhor visualização do princípio de funcionamento do conversor. A figura 3.3 apresenta a topologia simplificada utilizada para análise.

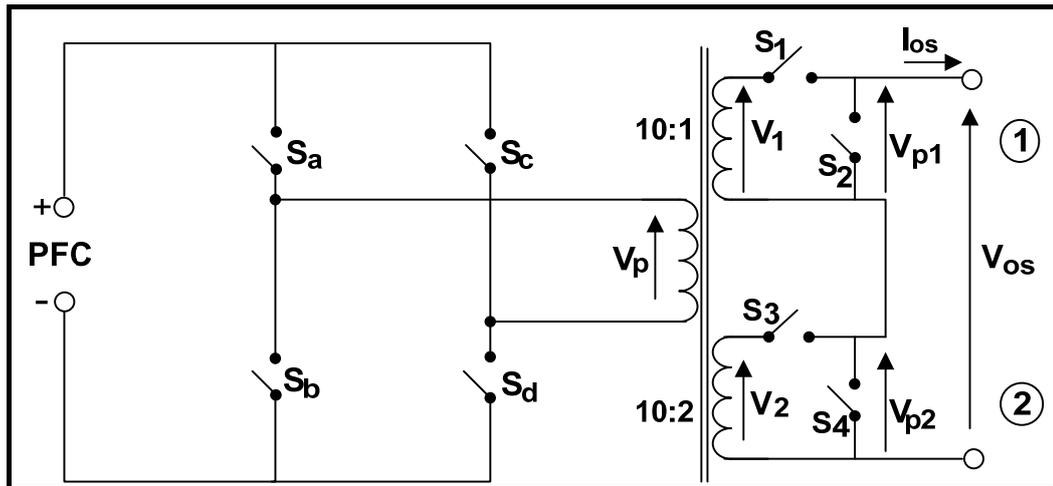


Figura 30 Topologia do inversor multinível simplificada.

Como descrito anteriormente, a ponte-H opera aplicando uma tensão de onda quadrada, na frequência da tensão de saída desejada, sobre o primário do transformador. Esta tensão induzirá tensões que dependerão da relação de espiras nos enrolamentos secundários, e que serão combinadas pelos interruptores do estágio de saída. Utilizando a equação 3.3, determina-se o número máximo de níveis gerado igual a 7 níveis.

As tensões de saída V_{p1} e V_{p2} podem assumir os valores 0 e V_1 (para V_{p1}) e 0 e V_2 (para V_{p2}). No caso da célula 1, se a chave S_1 permanecer aberta e a chave S_2 permanecer fechada a tensão parcial V_{p1} é igual a zero, em uma segunda situação onde S_1 permanecer fechada e a chave S_2 permanecer aberta a tensão parcial V_{p1} é igual a tensão no enrolamento V_1 . A tensão na saída será igual à soma das tensões parciais em cada célula. Conclui-se que S_1 e S_2 devem operar complementarmente, o mesmo ocorrendo para S_3 e S_4 .

As principais formas de onda para a topologia da figura 3.3 são apresentadas na figura 3.4. Observa-se que a frequência de comutação das chaves do estágio de saída é diferenciada para cada célula. Existe uma relação entre os enrolamentos de menor tensão e as células que operam com maior frequência de chaveamento.

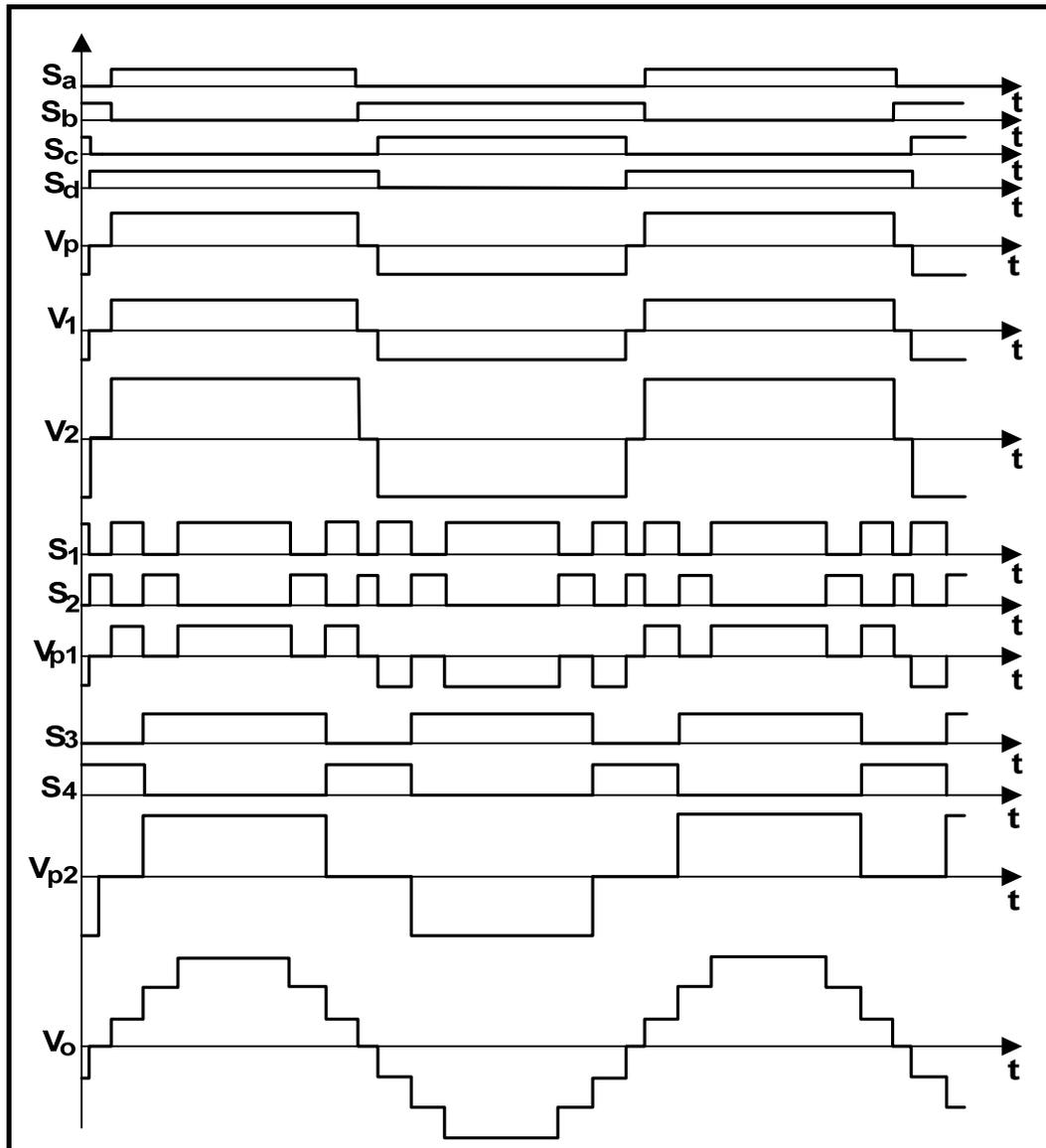


Figura 31 Principais formas de onda.

3.3.3 Equações Básicas

O cálculo da tensão de pico de saída do inversor pode ser encontrado pela soma de todas as tensões parciais que, para o caso do modelo utilizado onde a configuração de tensão dos enrolamentos são múltiplos de 2 do enrolamento de menor tensão, é dado por:

$$V_{os_pk} = (2^N - 1) \cdot V_1 \quad (3.5)$$

Onde: V_1 é a tensão no enrolamento de menor tensão e V_{os_pk} é a tensão de pico da tensão de saída do inversor multinível.

Neste modelo pode-se encontrar a relação entre os valores de tensão dos enrolamentos consecutivos para um conversor com N secundários, de acordo com:

$$V_n = 2 \cdot V_{n-1}, \text{ para } n=2,3\dots N \text{ (nível)} \quad (3.6)$$

Onde: V_n é a tensão no n-ésimo enrolamento.

Para se determinar a corrente de entrada em função da corrente de saída do transformador, é levado em conta a relação de transformação e o estado das chaves do estágio de saída do conversor. Por simplificação, considerar-se-á o inversor multinível operando com infinitos níveis, possibilitando a modelagem do transformador com uma entrada e uma saída e com relação de transformação ajustável. Neste caso, a corrente instantânea através do primário ($i_p(t)$) é dada por:

$$i_p(t) = r(t) \cdot i_{os}(t) \quad (3.7)$$

Onde: $r(t)$ é o valor efetivo da relação de transformação que depende do estado das chaves do estágio de saída do conversor no instante t e da relação de transformação física, $i_p(t)$ é a corrente instantânea através da entrada do inversor e $i_{os}(t)$ é a corrente instantânea através da saída do inversor.

Considerando os infinitos níveis na tensão de saída, a relação de transformação $r(t)$ é dada por:

$$r(t) = R_{pk} \cdot |\sin(t)| \quad (3.8)$$

Para: R_{pk} é o valor de pico da relação de transformação.

O valor de pico da relação de transformação é dado pela seguinte equação:

$$R_{pk} = p' \cdot R_1 \quad (3.9)$$

No qual R_1 é a relação de transformação do enrolamento de menor tensão.

Considerando o inversor alimentando uma carga puramente resistiva, tem-se:

$$i_{os}(t) = I_{os_pk} \cdot \sin(t) \quad (3.10)$$

Onde: I_{os_pk} é a corrente de pico na saída do inversor.

Substituindo 3.10 e 3.8 em 3.7, obtém-se a equação 3.11:

$$i_p(t) = R_{pk} \cdot I_{os_pk} \cdot \sin(t) \cdot |\sin(t)| \quad (3.11)$$

Através da equação 3.11 pode-se calcular o valor RMS da corrente no primário do transformador e as correntes eficaz e média nas chaves da ponte-H. A corrente eficaz no primário do transformador é dada por:

$$I_{p_eficaz} = 0,866 \cdot R_{pk} \cdot I_{os_eficaz} \quad (3.12)$$

Onde: I_{p_eficaz} é a corrente eficaz através do primário do transformador;

I_{os_eficaz} é a corrente eficaz através da saída do inversor.

A corrente eficaz e média através das chaves da ponte-H podem ser calculadas através de:

$$I_{S_eficaz_ponteH} = 0,612 \cdot R_{pk} \cdot I_{os_eficaz} \quad (3.13)$$

$$I_{S_medio_ponteH} = 0,354 \cdot R_{pk} \cdot I_{os_eficaz} \quad (3.14)$$

As equações 3.12, 3.13 e 3.14 são realizadas considerando um número infinito de níveis na saída do conversor, porém, de acordo com [38] utilizando cálculos numéricos pode ser mostrado que o erro para cargas resistivas com $p' > 7$ é menor que 2%.

A determinação das correntes nos secundários do transformador não é trivial pois a corrente entre as chaves e os enrolamentos é fortemente influenciada pelo número de níveis usados para formar a tensão de saída e também pelo formato da onda. Na tabela do apêndice A apresentam-se as correntes normalizadas para o caso do conversor operando com 5 células de saída, funcionando com p' de 7 até 31 níveis.

Pode-se determinar a frequência de comutação das chaves no estágio de saída através da seguinte equação:

$$f_{n_c} = f_L \cdot (2^{N-n_c+2} - 2) \quad (3.15)$$

Onde:

f_{n_c} é a frequência de comutação da n -ésima célula do estágio de saída;

f_L é a frequência da tensão de saída;

n_c é o número da célula que se quer determinar a frequência;

N é o número de células da estrutura.

3.3.4 Método de Identificação e Mecanismo de Correção de Desbalanceamento do Transformador

A utilização do transformador com múltiplos secundários implica na necessidade de propor medidas de correção de desbalanceamento magnético quando ocorrer a presença de nível CC de tensão. Esse nível CC pode ocorrer por vários motivos, dentre os quais pode-se destacar: assimetria de tensão no primário do transformador; cargas não-lineares na saída do inversor; condições de partida do conversor; e degraus de carga.

Para a medição da corrente de magnetização (I_m), não é necessário realizar o monitoramento no enrolamento primário durante todo o ciclo, mas somente no final dos semiciclos positivos e negativos. Para eliminar a corrente refletida das cargas no primário do transformador no instante da medição, a topologia do inversor nos permite que possamos isolar eletricamente as cargas conectadas a saída através da correta combinação das chaves no

estágio de saída. A figura 3.5 mostra a configuração das chaves do inversor no instante de medição.

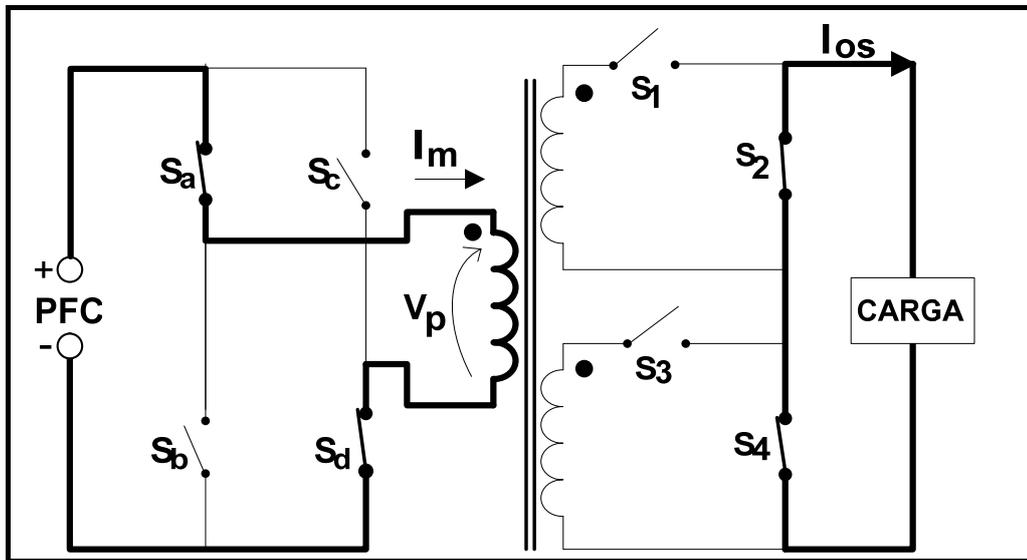


Figura 32 Configuração das chaves no instante de medição.

Neste instante podemos observar que a configuração das chaves do estágio de saída garantem a continuidade de corrente na carga, o que é de fundamental importância para o caso do inversor operar alimentando cargas indutivas. Outra particularidade está relacionado ao momento em que ocorre a medição, pois, devido a técnica empregada manter um maior tempo da tensão de saída no nível zero, não ocorrerá modificações consideráveis na operação normal do inversor, causando apenas uma pequena distorção na passagem por zero na tensão de saída.

A condição de desbalanceamento do transformador pode ser realizada por meio direto ou por seus efeitos. Os instantes de medição para o caso de desbalanceamento quando o transformador está saturado na direção positiva é mostrado na figura 3.6, em que pode-se observar o maior valor de pico no semi-ciclo positivo.

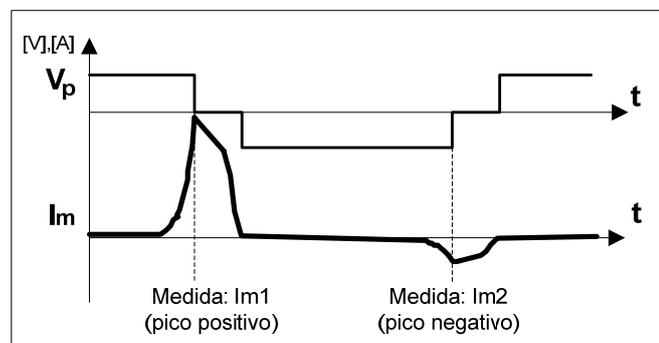


Figura 33 Corrente de magnetização para a condição de desbalanceamento.

A comparação das medidas dos valores máximos da corrente de magnetização realizadas para ambos os semi-ciclos servirão de parâmetro para a identificação da condição de operação do transformador.

O método de controle de balanceamento é realizado através da diminuição ou aumento nos tamanhos de cada passo de um semi-ciclo, ajustando o valor correspondente no semi-ciclo seguinte de forma a manter a frequência desejada. Por exemplo, uma vez detectada que existe uma condição de desbalanceamento do transformador na direção positiva como é o caso apresentado na figura 3.6, o controle da forma de onda de saída realizará um aumento do semi-ciclo negativo e diminuirá o semi-ciclo positivo, como apresentado na figura 3.7. Este mecanismo de controle realiza uma atualização a cada ciclo da tensão de saída, sendo o controle no sentido 1 para o desbalanceamento na direção positiva e sentido 2 para a direção negativa.

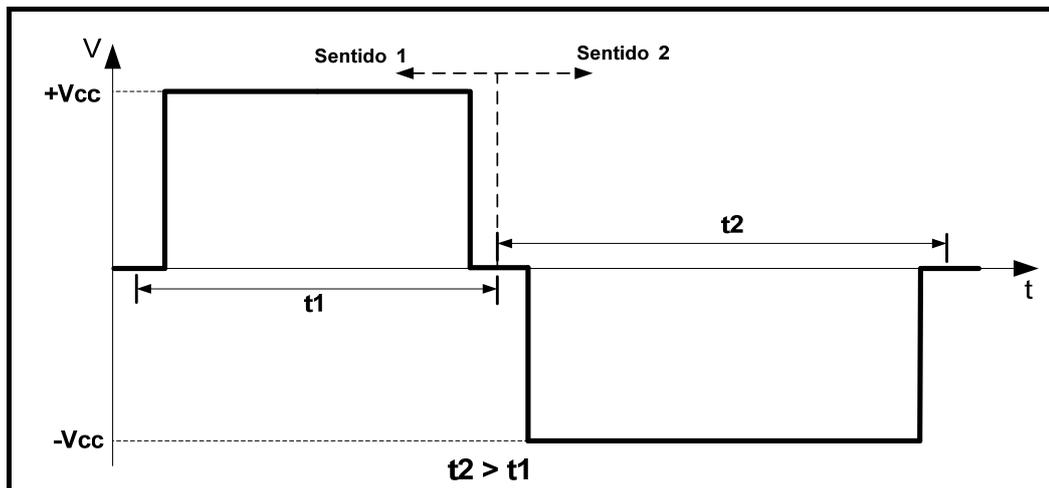


Figura 34 Mecanismo de controle de balanceamento do transformador.

3.3.5 Otimização na Regulação da Forma de Onda

Os inversores multiníveis são conhecidos pela alta complexidade de controle para formar sua tensão de saída. Os métodos de otimização e formas de implementação de controle são objetos de vários estudos [39-41]. Criar formas de onda com a menor THD possível utilizando o mínimo de níveis se constitui um desafio na aplicação destas topologias.

Para que se possa entender a metodologia empregada na construção da onda multinível, primeiro discute-se os efeitos do número de níveis na qualidade da onda e depois apresenta-se o método de otimização aplicado para a forma de onda.

3.3.5.1 Formação da Onda Multinível

A figura 3.8 apresenta uma comparação entre ondas senoidal e multinível com p' igual a 3. Pode-se observar que os valores máximos instantâneos são iguais e o ângulo de chaveamento é definido no ponto em que coincide com a metade do passo.

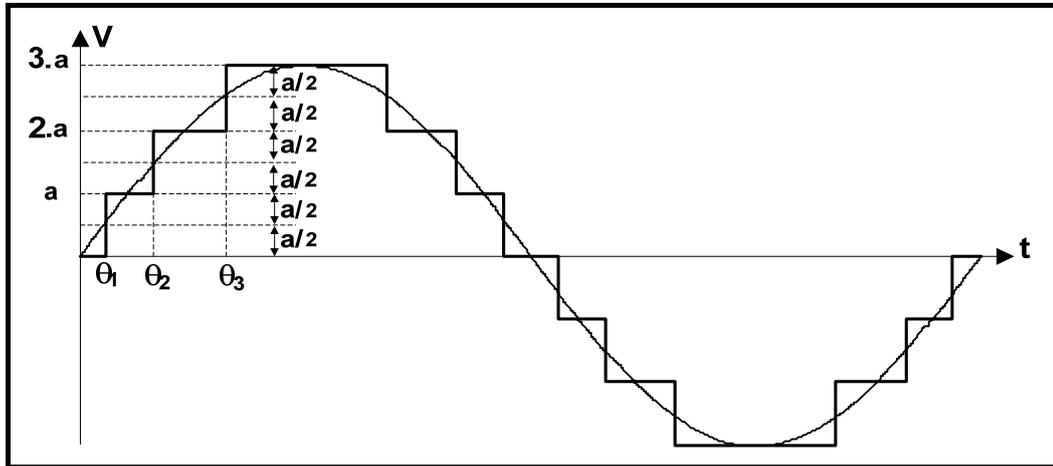


Figura 35 Comparação entre as formas de onda multinível e senoidal.

Quanto maior o número de níveis da tensão, maior será a sua aproximação com a onda senoidal. Para análise de qualidade da forma de onda, utiliza-se a taxa de distorção harmônica que deve ser a menor possível (THD) e o índice de modulação (M_i) que no caso ideal deve ser igual a 1. Na tabela 3.1 apresenta-se a análise da THD da tensão multinível em função do número de passos por quarto de ciclo (p') e pelo índice de modulação (M_i).

Em muitas aplicações de inversores multiníveis, como em altas potências, devido ao elevado custo ou complexidade de controle são geradas formas de onda de baixa resolução que podem apresentar altos níveis de THD o que leva a utilização de técnicas de otimização, como a de eliminação das harmônicas de mais baixa ordem ou pelo critério de mínimo conteúdo de THD. Na tabela 3.2 apresenta-se a análise comparativa das harmônicas para uma tensão de baixa resolução com p' entre 1 e 7 com e sem utilizar a técnica de otimização pelo critério de mínimo conteúdo de THD. A taxa de distorção harmônica avaliada até a 50ª harmônica é considerada como padrão para este trabalho.

Tabela 3.1 Qualidade da tensão multinível em função de p' e M_i

p'	7	8	9	10	15	20	25	30	31
THD13	1.32	0.97	0.74	0.59	0.29	0.20	0.16	0.13	0.12
THD40	3.81	2.73	2.30	1.95	1.02	0.65	0.40	0.28	0.27
THD50	4.50	3.89	2.84	2.39	1.17	0.78	0.51	0.40	0.38
THD63	4.61	3.98	3.54	3.16	1.46	0.84	0.62	0.47	0.45
Mi	1.007	1.006	1.005	1.004	1.002	1.001	1.001	1.001	1.001

Tabela 3.2 Análise harmônica para um tensão multinível de baixa resolução

	M_i [-]	THD [%]	H_3 [%]	H_5 [%]	H_7 [%]	H_9 [%]	H_{11} [%]	H_{13} [%]	H_{15} [%]
P'=1	1.15	30.0	0.0	20.0	14.3	0.0	9.1	7.7	0.0
P'=1*	1.21	27.9	11.6	10.6	15.2	10.0	1.4	5.3	7.3
P'=2	1.05	16.4	2.1	1.9	6.5	2.9	10.8	4.	0.8
P'=2*	1.11	15.3	3.5	5.6	2.7	2.9	5.5	8.9	3.7
P'=3	1.03	11.0	1.5	0.1	2.0	3.6	1.7	4.1	3.9
P'=3*	1.08	10.4	1.9	2.1	2.9	0.4	1.8	2.8	2.0
P'=4	1.02	8.3	1.1	0.4	0.6	1.9	2.3	0.7	2.4
P'=4*	1.06	7.6	1.4	1.6	1.5	1.9	0.5	1.9	2.0
P'=5	1.01	6.4	0.8	0.5	0.1	0.9	1.6	1.5	0.1
P'=5*	1.04	6.1	0.5	0.7	0.8	1.1	1.4	0.3	1.4
P'=6	1.01	5.3	0.6	0.4	0.1	0.5	1.0	1.3	0.9
P'=6*	1.03	5.1	0.1	0.3	0.9	1.3	0.6	0.8	0.6
P'=7	1.01	4.5	0.5	0.4	0.1	0.2	0.6	0.9	0.9
P'=7*	1.03	4.3	0.2	0.2	0.9	0.6	1.2	0.2	0.1

* Utiliza técnica de otimização pelo critério de mínimo conteúdo de THD

Na tabela 3.3 e 3.4 apresenta-se uma análise da forma de onda multinível de alta resolução com e sem a aplicação de técnica de otimização pelo critério de mínimo conteúdo de THD. Pode-se observar que mesmo sem a aplicação da técnica de otimização, para qualquer valor de p' maior ou igual a 7, tem-se uma THD menor que 5%.

Tabela 3.3 Análise harmônica para uma tensão multinível de alta resolução sem otimização

p'	7	8	9	10	12	14	20	25	30
M_i	1.007	1.006	1.005	1.004	1.003	1.003	1.001	1.001	1.001
THD[%]	4.50	3.89	2.84	2.39	1.64	1.30	0.78	0.51	0.40
H₃ [%]	0.52	0.43	0.37	0.32	0.25	0.20	0.12	0.08	0.07
H₅ [%]	0.38	0.33	0.29	0.26	0.21	0.17	0.11	0.08	0.06
H₇ [%]	0.13	0.16	0.17	0.17	0.15	0.13	0.09	0.07	0.06
H₉ [%]	0.22	0.09	0.01	0.03	0.07	0.08	0.07	0.06	0.05
H₁₁ [%]	0.62	0.39	0.24	0.15	0.05	0.02	0.04	0.04	0.04
H₁₃ [%]	0.94	0.68	0.49	0.35	0.18	0.06	0.00	0.02	0.03
H₁₅ [%]	0.93	0.81	0.65	0.52	0.31	0.15	0.04	0.00	0.01

Tabela 3.4 Análise harmônica para uma tensão multinível de alta resolução com otimização

p'	7	8	9	10	12	14	20	25	30
M_i	1.027	1.022	1.017	1.019	1.011	1.009	1.009	1.004	1.005
THD[%]	4.30	3.40	2.63	2.21	1.53	1.20	0.66	0.45	0.31
H3 [%]	0.20	0.30	0.04	0.04	0.15	0.02	0.01	0.02	0.00
H5 [%]	0.21	0.22	0.40	0.37	0.01	0.02	0.03	0.07	0.01
H7 [%]	0.94	0.70	0.28	0.33	0.24	0.09	0.01	0.05	0.00
H9 [%]	0.62	0.79	0.37	0.14	0.21	0.10	0.09	0.04	0.00
H11 [%]	1.16	0.31	0.87	0.77	0.02	0.02	0.19	0.01	0.02
H13 [%]	0.22	0.66	0.65	0.55	0.18	0.02	0.25	0.07	0.04

3.3.5.2 Formas de Regulação da Tensão Multinível

A regulação da tensão de saída pode ser obtida através da modificação do formato da onda e/ou mudança do número de níveis. A otimização da forma de onda de saída do conversor compreende os dois métodos com o objetivo de manter o THD tão baixo quanto possível e o índice de modulação igual a 1. Neste trabalho o controle da tensão RMS por mudança no número de níveis foi aplicado e a modificação do formato de onda é realizado para ajustar o índice de modulação. A figura 3.9 apresenta o método por mudança do número de níveis.

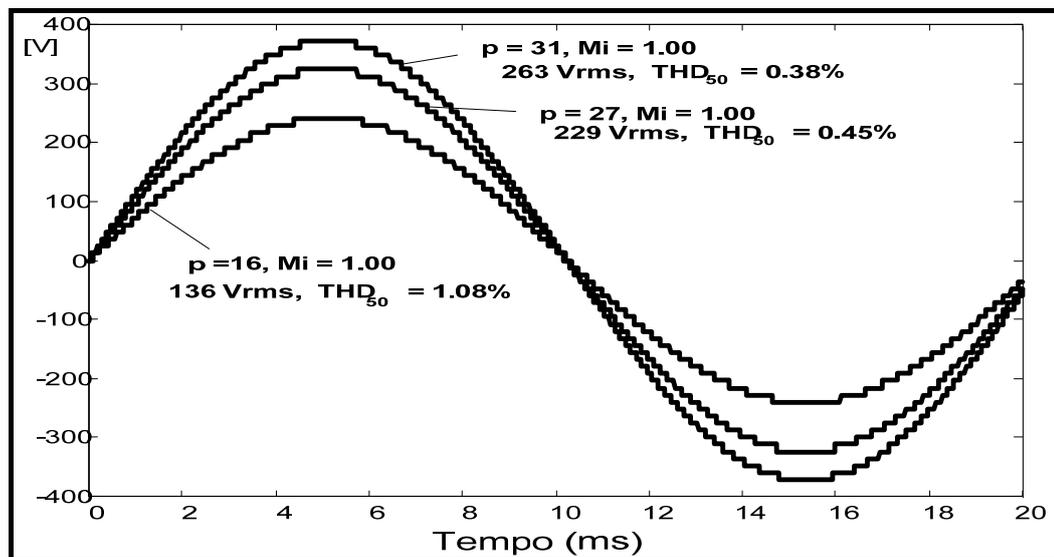


Figura 36 Controle da tensão RMS pela modificação do número de níveis.

Pode-se notar que quanto maior o número de níveis aplicado para a formação da tensão melhor será a qualidade da onda, como demonstrado pela THD. A figura 3.10 apresenta o ajuste do índice de modulação através da modificação do ângulo de chaveamento do último nível e sua relação com a qualidade da forma de onda.

Tabela 3.6 Limites de M_i para $THD < 5\%$

p'	7	8	9	10	15	20	25	30	31
Mi max	1.060	1.070	1.075	1.075	1.75	1.075	1.075	1.075	1.075
Mi min	0.985	0.910	0.905	0.890	0.925	0.935	0.960	0.965	0.965
Vmin	6.9	7.28	8.15	8.90	13.88	18.70	24.00	28.95	29.92
Vmax	7.42	8.56	9.68	10.75	16.13	21.50	26.88	32.25	33.33

3.3.5.3 Otimização da Onda Multinível de Alta Resolução

A implementação do controle da tensão de saída do inversor é resumida pela síntese de um grupo de formas de onda em função de p' e M_i [38]. O método empregado utiliza o ângulo de chaveamento do nível de maior tensão para ajustar o índice de modulação (M_i) para o valor mais próximo da unidade e a magnitude de tensão é controlada através da modificação do número de níveis. Um grupo de formas de onda é organizado em tabelas com seus respectivos ângulos de chaveamento e número de níveis.

A figura 3.11 apresenta o método proposto para o controle de M_i , onde variando a tensão senoidal de referência, modifica-se o número de níveis do conversor e o ângulo θ_3 é ajustado para manter o M_i mais próximo da unidade.

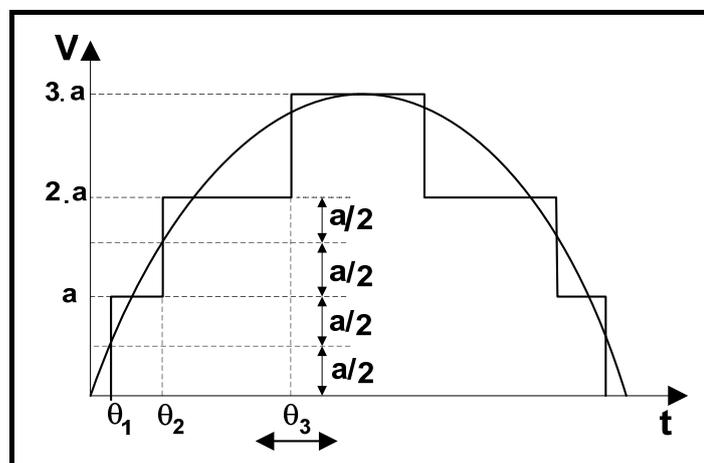


Figura 38 Controle do índice de modulação.

O algoritmo proposto para a implementação do método de otimização da onda multinível é apresentado na figura 3.12.

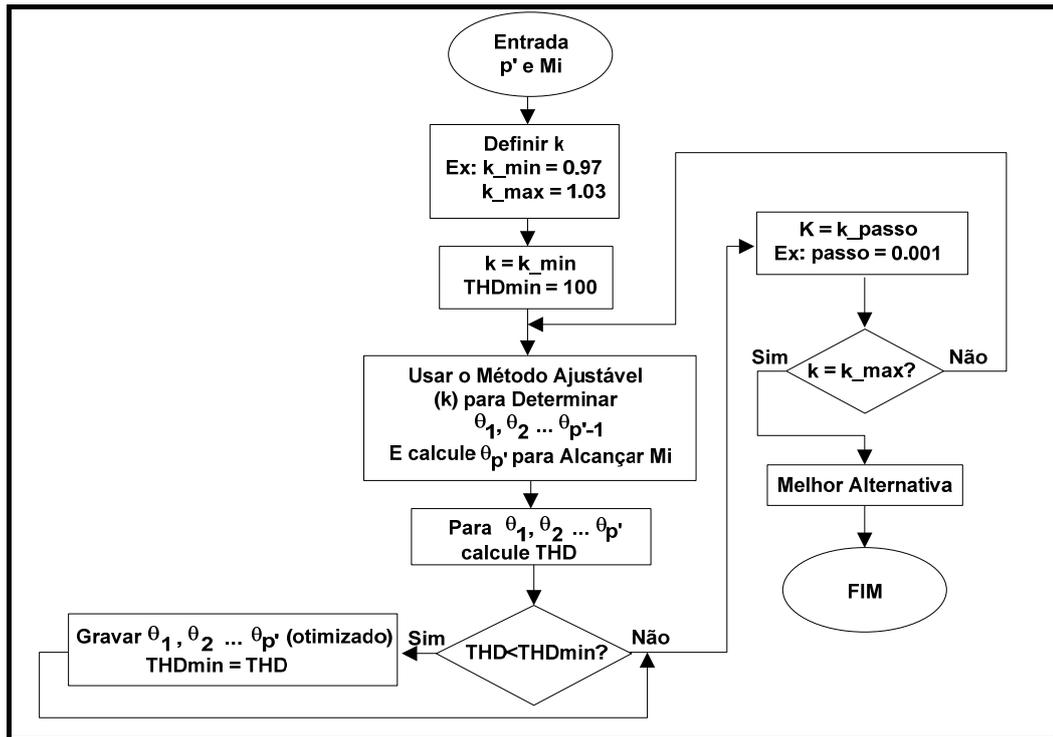


Figura 3.139 Algoritmo para encontrar a forma de onda otimizada com p' e M_i .

3.3.6 Configuração dos Interruptores Bidirecionais do Estágio de Saída

Como discutido anteriormente, as chaves do estágio de saída devem ser capazes de operar com tensões e correntes CA, porém, para que isso aconteça é necessário realizar uma combinação de chaves semicondutoras que proporcione essa característica. A figura 3.13 mostra a configuração utilizada para este trabalho.

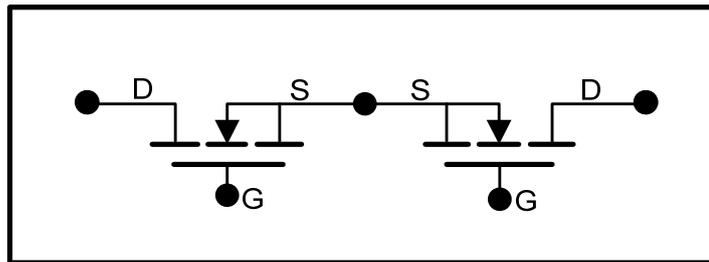


Figura 40 Configuração dos interruptores bidirecionais do estágio de saída.

A possibilidade de utilizar MOSFET como chave no estágio de saída do conversor permite obter baixas perdas de potência, utilizar sua capacidade de condução bidirecional, e ainda, pode ser modelado como duas resistências quando em condução.

3.3.6.1 Análise da Comutação dos Semicondutores do Estágio de Saída

Para simplificar o controle utiliza-se um único sinal de acionamento para ambas as chaves. A figura 3.14 apresenta o inversor alimentando uma carga indutiva onde os *snubbers*

das chaves são responsáveis por fornecer um caminho para a corrente durante o tempo morto, como explicado a seguir.

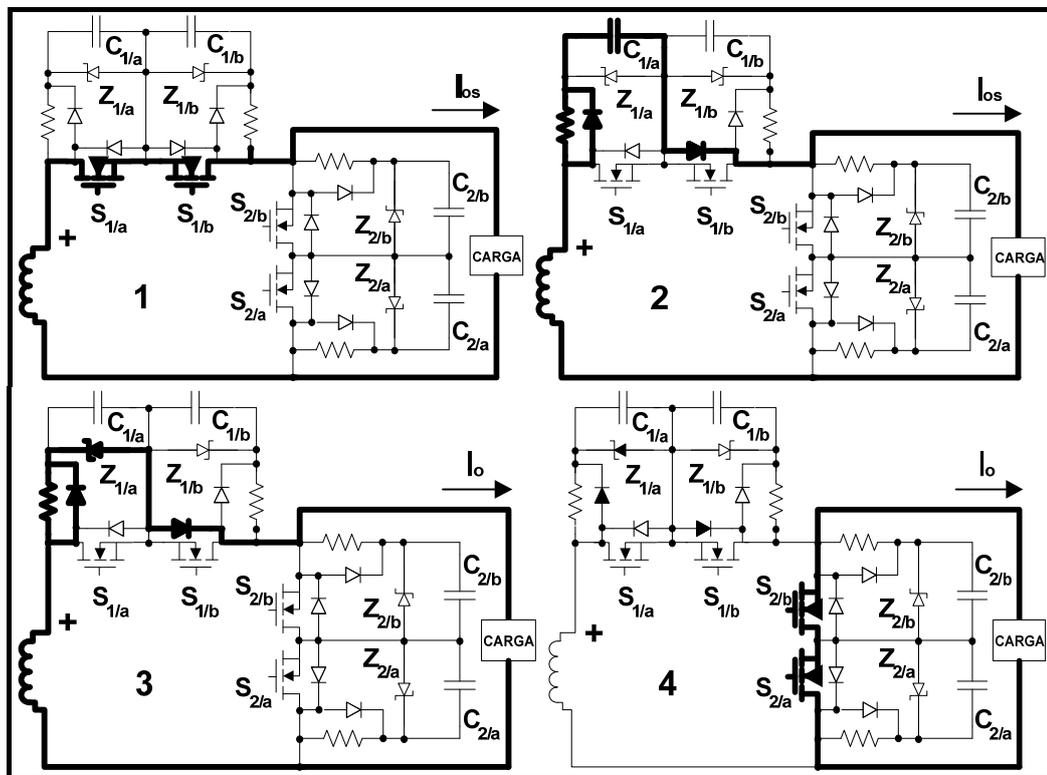


Figura 3.141 Corrente nos interruptores do estágio de saída.

No instante 1 a tensão induzida no enrolamento é fornecida à carga e as chaves $S_{1a/b}$ estão em condução e as chaves $S_{2a/b}$ estão abertas. No instante 2 em que as chaves $S_{1a/b}$ são comandadas a abrir a corrente passa a ser conduzida até a carga pelo circuito do *snubber* com dv/dt limitado sobre $S_{1a/b}$. Esta etapa termina quando o capacitor do *snubber* atinge a tensão do diodo zener em paralelo. No instante 3 a tensão no capacitor atinge a tensão zener do diodo em paralelo com o capacitor do *snubber*, grampeando o valor máximo de tensão sobre $S_{1a/b}$, e a condução de corrente ocorre através do diodo zener e do diodo em anti-paralelo da chave. No instante 4, as chaves $S_{2a/b}$ são comandadas a entrar em condução e a corrente da carga passa a ser conduzida pelas as mesmas.

O *snubber* deverá ser capaz não somente de grampear a máxima tensão sobre a chave mas também de conduzir toda a corrente da carga durante curtos intervalos de tempo. Devido a frequência de chaveamento ser baixa e os intervalos de tempo morto pequenos, a energia dissipada no *snubber* é pequena.

3.4 Conclusão

Neste capítulo discutiu-se o inversor multinível proposto, conceituou-se a onda multinível e foram apresentadas suas principais características definidas em [14] para aplicações em sistemas fotovoltaicos isolados da rede. As formas de onda de um inversor simplificado com dois estágios de saída são mostradas e o equacionamento do conversor realizado.

O método de identificação e a correção de possível desbalanceamento magnético do transformador são analisados e descritos. A configuração das chaves bidirecionais no estágio de saída do conversor é apresentada junto ao seu funcionamento na estrutura com o *snubber* (responsável pela condução da corrente da carga durante o tempo morto das chaves).

Realizou-se a exemplificação das técnicas de otimização aplicadas na formação das ondas multiníveis e o método de regulação da tensão de saída foi discutido. A formação otimizada para a proposta contempla a mínima THD na saída, onde é mostrado o algoritmo para encontrar os valores dos ângulos de chaveamento das chaves do estágio de saída que garanta a THD mínima desejada.

CAPÍTULO 4

METODOLOGIA E EXEMPLO DE PROJETO

4.1 Introdução

Neste capítulo é apresentado o projeto do pré-regulador com correção de fator de potência apresentado no capítulo 2 e do inversor multinível de 3kVA de potência de saída apresentado no capítulo 3. O dimensionamento dos elementos de cada conversor e seus esforços de tensão e corrente são determinados. A metodologia de projeto do controle empregado para cada conversor também é contemplado neste capítulo.

4.2 Projeto do Conversor *Boost* com PFC

As principais especificações e considerações do conversor *boost* com correção de fator de potência são apresentadas na tabela 4.1.

Tabela 4.1 Principais especificações e considerações do conversor *boost*

<i>Especificações</i>	
Potência de Saída (P_{o_PFC})	3250 VA
Tensão Eficaz de Entrada (V_{ca})	220 V
Máxima Variação da Tensão de Entrada (ΔV_{ca})	+ 20 % e -25 %
Tensão de Saída no Barramento CC (V_o)	400 V
Frequência da Rede Elétrica (f_r)	60 Hz
<i>Considerações</i>	
Rendimento (η_{PFC})	0,95
Frequência de Chaveamento (f_s)	40 kHz
Máxima Variação da Tensão no Barramento CC (ΔV_o)	1,5 %
Máxima Variação de Corrente no Indutor <i>boost</i> (ΔI_{Lb})	15 %
Fator de Potência na Entrada	1

4.2.1 Projeto do Circuito de Potência

A figura 4.1 mostra o estágio de potência do conversor, onde são calculados os elementos do circuito e os esforços de tensão e corrente considerando as especificações dadas.

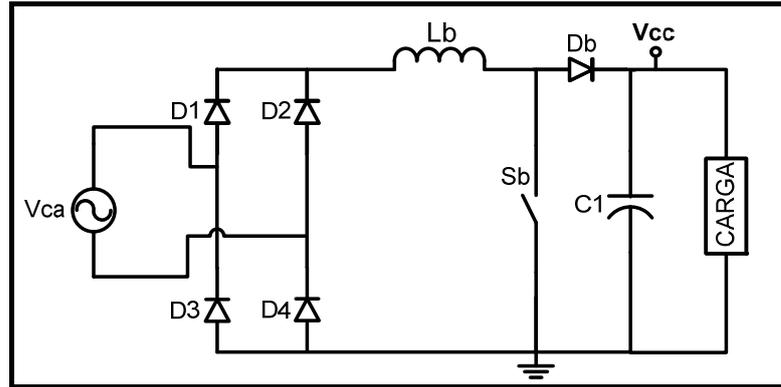


Figura 42 Estágio de potência do boost com PFC.

A potência de entrada do conversor é dada por:

$$P_{in_PFC} = \frac{P_{o_PFC}}{\eta_{PFC}} = \frac{3250}{0,95} = 3420VA \quad (4.1)$$

Os valores da tensão eficaz nominal, máxima e mínima de entrada do conversor são, respectivamente:

$$V_{in_ef_nom} = 220V \quad (4.2)$$

$$V_{in_ef_máx} = 220 + 0,2V_{in_ef_nom} = 264V \quad (4.3)$$

$$V_{in_ef_mín} = 220 - 0,25V_{in_ef_nom} = 165V \quad (4.4)$$

As tensões de pico nominal, máxima e mínima, respectivamente, são:

$$V_{in_pk_nom} = \sqrt{2} \cdot 220 = 311V \quad (4.5)$$

$$V_{in_pk_máx} = \sqrt{2} \cdot 264 = 373V \quad (4.6)$$

$$V_{in_pk_mín} = \sqrt{2} \cdot 165 = 233V \quad (4.7)$$

As correntes eficazes nominais, mínimas e máximas na entrada do conversor são, respectivamente:

$$I_{in_ef_nom} = \frac{P_{o_PFC}}{\eta_{PFC} \cdot V_{in_ef_nom}} = 15,55A \quad (4.8)$$

$$I_{in_ef_mín} = \frac{P_{o_PFC}}{\eta_{PFC} \cdot V_{in_ef_máx}} = 13A \quad (4.9)$$

$$I_{in_ef_máx} = \frac{P_{o_PFC}}{\eta_{PFC} \cdot V_{in_ef_mín}} = 20,73A \quad (4.10)$$

As correntes de pico nominais, mínimas e máximas na entrada do conversor são, respectivamente:

$$I_{in_pk_nom} = \sqrt{2} \cdot I_{in_ef_nom} = 22A \quad (4.11)$$

$$I_{in_pk_mín} = \sqrt{2} \cdot I_{in_ef_mín} = 18,33A \quad (4.12)$$

$$I_{in_pk_máx} = \sqrt{2} \cdot I_{in_ef_máx} = 29,32A \quad (4.13)$$

4.2.1.1 Dimensionamento do Indutor L_b

O valor eficaz e de pico de tensão e corrente na entrada do conversor são iguais aos do indutor devido ao elemento estar em série com a fonte de alimentação.

O cálculo da indutância do indutor é realizado utilizando a equação 2.83, onde temos:

$$L_b = \frac{0,32 \cdot V_{pk}}{\Delta I_{Lb} \cdot f_s} = 477,5 \mu H \quad (4.14)$$

Para a escolha do elemento magnético são utilizados os seguintes parâmetros:

Fator de ocupação do núcleo (K_w) = 0,7

Máxima densidade de corrente ($J_{máx}$) = 350 A/cm²

Máxima densidade de fluxo ($B_{máx}$) = 0,3 T

O método utilizado para a escolha do núcleo está baseado no cálculo do produto das áreas:

$$A_e A_w = \frac{L_b \cdot I_{Lb_ef_máx} \cdot I_{Lb_pk_máx}}{K_w \cdot J_{máx} \cdot B_{máx}} \cdot 10^4 = 39,5 cm^4 \quad (4.15)$$

O núcleo utilizado foi o NEE-76/25 da Thornton com as seguintes especificações:

$$A_e = 6,4 cm^2 \quad e \quad A_w = 8,6 cm^2$$

Onde A_w é a área da janela e A_e é área magnética.

O produto das áreas é igual a:

$$A_e A_w = 55,04 cm^4 \quad (4.16)$$

O número de espiras é dado através da seguinte equação:

$$N_{Lb} = \frac{L_b \cdot I_{Lb_pk_máx}}{A_e \cdot B_{máx}} \cdot 10^4 = 72,92 \text{ espiras} \quad (4.17)$$

Devido ao efeito de borda no entreferro do núcleo podemos reduzir o número de espiras, no caso, será:

$$N_{Lb} = 70 \text{ espiras} \quad (4.18)$$

Devido o efeito pelicular o diâmetro máximo do fio não deverá ultrapassar:

$$2 \cdot \Delta = \frac{7,5}{\sqrt{fs}} = 0,075cm \quad (4.19)$$

A seção total do condutor é encontrada utilizando a seguinte expressão:

$$S_{Lb} = \frac{I_{Lb_ef_máx}}{J_{máx}} = 0,06cm^2 \quad (4.20)$$

O fio escolhido para as espiras do enrolamento foi o 26 AWG, onde a seção sem isolamento e com isolamento do fio indicado são:

Diâmetro = 0,041 (menor que 2Δ)

26 AWG (sem isolamento) = 0,001287 cm²

26 AWG (com isolamento) = 0,001671 cm²

O número de fios em paralelo é igual a:

$$n_{fios_paralelo_Lb} = \frac{S_{Lb}}{26AWG_{sem_isol}} = 47 \text{ fios} \quad (4.21)$$

O cálculo do entreferro do núcleo é dado por:

$$\frac{lg}{2} = \frac{\mu_o \cdot N_{Lb}^2 \cdot A_e}{L_b} \cdot 10^{-2} = 0,413cm \quad (4.22)$$

Sendo μ_o a permeabilidade magnética do ar igual a $4\pi 10^{-7}$ H/m.

Existem basicamente dois tipos de perdas no indutor, que são as perdas magnéticas e as perdas por efeito Joule do enrolamento do indutor. A tabela 4.2 apresenta os parâmetros para o cálculo das perdas no indutor.

Tabela 4.2 Parâmetros de operação do indutor

Temperatura ambiente (T_a)	40°C
Comprimento médio de uma espira (lt)	13cm
Resistividade do cobre a 20°C ($\rho_{r_Cu_20^\circ C}$)	$1,7 \cdot 10^{-6} \Omega \cdot cm$
Constante de dilatação linear do cobre (α_{Cu})	$0,00393 \text{ C}^{-1}$
Coefficiente de perdas por histerese para o material do núcleo (K_H)	$4 \cdot 10^{-5}$
Coefficiente de perdas por correntes parasitas para o material do núcleo (K_E)	$4 \cdot 10^{-10}$
Volume do núcleo (V_e)	140cm ³

Para o cálculo das perdas por efeito Joule deve-se primeiro determinar a resistividade do cobre para a temperatura de operação do indutor, como descrito por 4.23:

$$\rho_{r_Cu}(T_o) = \rho_{r_Cu_20^\circ} \cdot [1 + \alpha_{Cu} \cdot (T_a - 20)] = 2,1 \cdot 10^{-6} \Omega \cdot cm \quad (4.23)$$

Então, as perdas no cobre são:

$$P_{Cu} = \frac{\rho_{r_Cu}(T_o) \cdot lt \cdot N_{Lb} \cdot I_{Lb_ef_máx}^2}{26AWG_{sem_isol} \cdot n_{fios_paralelo_Lb}} = 13,59W \quad (4.24)$$

Para determinar as perdas magnéticas calcula-se a variação máxima de densidade de fluxo magnético:

$$\Delta B = \frac{\Delta I_{Lb}}{I_{Lb_pk_máx}} B_{máx} = 0,045T \quad (4.25)$$

As perdas no núcleo pode ser calculada através de:

$$P_{núcleo} = \Delta B^x \cdot (K_H \cdot f_S + K_E \cdot f_L^2) \cdot V_e = 0,3W \quad (4.26)$$

Onde x é um coeficiente que depende do material do núcleo, para o caso de material IP12, x é igual a 2,33.

A perda total no indutor é dada pela soma das perdas no cobre e as perdas no núcleo como mostrado na equação 4.27:

$$P_{total_indutor} = P_{núcleo} + P_{Cu} = 13,82W \quad (4.27)$$

A variação na temperatura do indutor quando o mesmo estiver em regime permanente e operando na situação de maior corrente, é igual a:

$$\Delta T_L = 59,28 \cdot V_e^{-0,544} \cdot P_{total_indutor} = 56^\circ C \quad (4.28)$$

4.2.1.2 Dimensionamento do Interruptor Sb

A tensão reversa máxima sobre a chave é igual a soma da tensão do barramento (devemos considerar a oscilação da tensão de saída) mais a queda de tensão sobre o diodo (consideramos o pior caso de 2V), demonstrado na equação 4.29.

$$V_{máx_Sb_PFC} = V_o + V_{db} = 405V \quad (4.29)$$

Os valores dos esforços de corrente na chave são realizados para o pior caso, que é alcançado quando a tensão na entrada do conversor é mínima. Por simplificação nos cálculos, determinamos no equacionamento uma grandeza adimensional dada pela equação 2.63, como segue:

$$\alpha = \frac{V_o}{V_{in_pk_mín}} = 1,71 \quad (4.30)$$

A corrente média através da chave é calculada por:

$$I_{md_sb_PFC} = \frac{I_o(4\alpha - \pi)}{\eta_{PFC}\pi} = 10,11A \quad (4.31)$$

O valor eficaz da corrente é encontrado através da aplicação da equação 2.70.

$$I_{ef_sb_PFC} = \frac{I_o}{\eta_{PFC}} \sqrt{\frac{6\alpha(3\pi\alpha - 8)}{9\pi}} = 14,73A \quad (4.32)$$

A corrente de pico através da chave é igual a máxima corrente na entrada do conversor, sendo dada por:

$$I_{pk_sb} = \frac{2\alpha I_o}{\eta_{PFC}} = 29,32A \quad (4.33)$$

O interruptor escolhido para a aplicação foi o IGBT IRGP50B60PD1 e as suas principais especificações são apresentadas na tabela 4.3.

Tabela 4.3 Principais especificações do IGBT

Referência do componente	IRGP50B60PD1
Tensão máxima de bloqueio (Vce)	600V
Tensão coletor-emissor em condução (Vce_on)	2,6V
Queda de tensão limiar no IGBT (Vce_lm)	1V
Corrente máxima (Ic) @ 100°C	45A
Tempo de desligamento (t _{f_sb})	11 · 10 ⁻⁹ s
Tempo de entrada de condução (t _{r_sb})	10 · 10 ⁻⁹ s
Resistência térmica junção-capsula (R _{th_jc_sb})	0,32° C / W
Resistência térmica capsula-dissipador (R _{th_cd_sb})	0,24° C / W

A potência dissipada no conversor é encontrada através da metodologia simplificada proposta por [42]. As perdas por condução no interruptor são calculadas utilizando o modelo da chave apresentada na figura 4.2, onde R_d é a resistência dinâmica característica do aumento da queda de tensão durante a condução na chave quando a corrente em seu coletor aumenta.

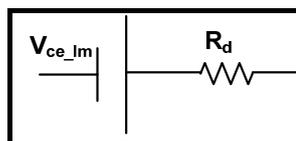


Figura 4.2 Modelo para cálculo das perdas da chave por condução.

$$P_{cond_Sb} = \frac{V_{ce_on} - V_{ce_lm}}{I_c} \cdot I_{ef_Sb_PFC}^2 + V_{ce_lm} \cdot I_{md_Sb_PFC} = 17,83W \quad (4.34)$$

As perdas por comutação são encontradas através da seguinte equação:

$$P_{com_Sb} = \frac{f_s \cdot (t_{f_Sb} + t_{r_Sb}) \cdot I_{Lb_ef_máx} \cdot V_o}{2} = 3,5W \quad (4.35)$$

O cálculo da resistência térmica dissipador-ambiente (R_{th_da}) é realizada utilizando a equação 4.36, onde a temperatura ambiente (T_a) é considerada de 40°C e a temperatura na junção (T_j) de 100°C.

$$R_{th_da} = \frac{T_j - T_a - (P_{cond_Sb} + P_{com_Sb}) \cdot (R_{th_jc_Sb} + R_{th_cd_Sb})}{(P_{cond_Sb} + P_{com_Sb})} = 1,455^\circ C/W \quad (4.36)$$

4.2.1.3 Dimensionamento do Diodo D_b

A máxima tensão no diodo *boost* é igual a tensão de saída, considerando a ondulação da tensão, temos:

$$V_{Db} = 403V \quad (4.37)$$

A corrente média na saída do conversor é igual a:

$$I_{md_Db_PFC} = \frac{P_o_PFC}{V_o} = 8,125A \quad (4.38)$$

O cálculo da corrente eficaz é realizado a partir da equação 2.77.

$$I_{ef_Db_PFC} = \frac{I_o}{\eta_{PFC}} \sqrt{\frac{16\alpha}{3\pi}} = 14,6A \quad (4.39)$$

A corrente de pico através do diodo é igual a máxima corrente na entrada do retificador, sendo dada por:

$$I_{pk_Db} = \frac{2\alpha I_o}{\eta_{PFC}} = 29,32A \quad (4.40)$$

O diodo escolhido para a aplicação foi o HFA25PB60, a tabela 4.4 apresenta as suas principais características:

Tabela 4.4 Principais especificações do diodo

Referência do componente	HFA25PB60
Tensão máxima de bloqueio (V_R)	600V
Queda de tensão em condução direta (V_{FN}) @ $I_F=25A$ e $T_j=125^\circ C$	1,7V
Queda de tensão limiar (V_{FO})	1V
Corrente máxima (I_F) @ $T_c=100^\circ C$	25A
Carga total da capacitância (Q_{rr}) @ $T_c=125^\circ C$	$420 \cdot 10^{-9} C$
Resistência térmica junção-capsula ($R_{th_jc_Db}$)	$0,83^\circ C/W$
Resistência térmica capsula-dissipador ($R_{th_cd_Db}$)	$0,25^\circ C/W$

As perdas de condução no diodo *boost* são realizadas considerando o mesmo modelo da chave apresentada na figura 4.2, sendo dada pela seguinte equação:

$$P_{cond_Db} = \frac{V_{FN} - V_{FO}}{I_F} \cdot I_{ef_Db_PFC}^2 + V_{FO} \cdot I_{md_Db_PFC} = 13,79W \quad (4.41)$$

O cálculo das perdas por comutação é feito através de:

$$P_{com_Db} = Q_{rr} \cdot V_o \cdot f_s = 6,72W \quad (4.42)$$

A soma das perdas no diodo *boost* é calculada por:

$$P_{T_Db} = P_{cond_Db} + P_{com_Db} = 20,53W \quad (4.43)$$

Para o cálculo da resistência térmica dissipador-ambiente no diodo ($R_{th_da_Db}$) é realizada utilizando a equação 4.44, onde a temperatura ambiente (T_a) é considerada de $40^\circ C$ e a temperatura na junção (T_j) de $100^\circ C$.

$$R_{th_da} = \frac{T_j - T_a - P_{T_Db} \cdot (R_{th_jc_Db} + R_{th_cd_Db})}{P_{T_Db}} = 1,84^\circ C/W \quad (4.44)$$

4.2.1.4 Dimensionamento do Capacitor C_1

Os esforços no capacitor são calculados usando as equações do capítulo 2. A tensão máxima sobre o capacitor é dada por:

$$V_{m\acute{a}x_C1_PFC} = V_o = 403V \quad (4.45)$$

A capacitância é encontrada usando a equação 2.95.

$$C_1 = \frac{P_o}{2 \cdot \pi \cdot f_r \cdot \Delta V_o \cdot V_o^2} = 3,6 \cdot 10^{-3} F \quad (4.46)$$

Para a determinação da corrente eficaz através do capacitor, é usada a seguinte equação:

$$I_{ef_C1_PFC} = \frac{I_o}{\eta_{PFC}} \cdot \sqrt{\left(\frac{32\alpha - 9\pi}{6\pi}\right)} = 10,22A \quad (4.47)$$

Considerando a capacitância desejada e a disponibilidade de componentes, são feitos o paralelismo de oito capacitores eletrolíticos de 470 μ F, conforme tabela 4.5.

Tabela 4.5 Especificações dos capacitores

Referência do componente	EPCOS B43501 A5477M
Capacitância	470 μ F
Tensão máxima	450V
Corrente eficaz	5,3A
Resistência série equivalente (Rse)	430m Ω

Os cálculos das perdas nos capacitores do barramento (P_{cap}) são referentes ao resistor série equivalente da associação, conforme equação a seguir:

$$P_{cap} = \frac{R_{se}}{n_{cap}} \cdot I_{ef_C1}^2 = 5,6W \quad (4.48)$$

Onde n_{cap} é o número de capacitores ligados em paralelo, que na aplicação é igual a 8.

4.2.1.5 Dimensionamento da Ponte Retificadora

A máxima tensão nos diodos da ponte retificadora é igual a máxima tensão da fonte de alimentação, portanto:

$$V_{ponte_m\acute{a}x} = V_{in_ef_m\acute{a}x} = 373V \quad (4.49)$$

A corrente média através dos diodos da ponte é encontrada por:

$$I_{md_ponte} = I_{md_D1} = \frac{2 \cdot \alpha \cdot I_o}{\pi \cdot \eta_{PFC}} = 9,39A \quad (4.50)$$

O valor da corrente eficaz através dos diodos da ponte é igual a:

$$I_{ef_ponte} = I_{ef_D1} = \frac{\alpha \cdot I_o}{\eta_{PFC}} = 14,75A \quad (4.51)$$

A ponte de diodos utilizada para o retificador é um GBPC3510, suas principais especificações são apresentadas na tabela 4.6.

Tabela 4.6 Especificações da ponte de diodo

Referência do componente	GBPC3510
Tensão máxima de bloqueio (V_{R_PONTE})	1000V
Queda de tensão em condução direta (V_{FN_PONTE}) @Tj=25°C	1,1V
Corrente máxima (I_{F_PONTE}) @ Tc=100°C	35A
Resistência térmica junção-capsula ($R_{th_jc_ponte}$)	0,15° C / W
Resistência térmica capsula-dissipador ($R_{th_cd_ponte}$)	0,3° C / W

Considerando que a ponte opera em baixa frequência é desconsiderado as perdas por chaveamento e calculadas as perdas por condução:

$$P_{cond_ponte} = 4 \cdot V_{FN_PONTE} \cdot I_{md_ponte} = 41W \quad (4.52)$$

O cálculo da resistência térmica dissipador-ambiente na ponte ($R_{th_da_ponte}$) é realizada utilizando a equação 4.53, onde a temperatura ambiente (T_a) é considerada de 40°C e a temperatura na junção (T_j) de 100°C.

$$R_{th_da} = \frac{T_j - T_a - P_{cond_ponte} (R_{th_jc_ponte} + R_{th_cd_ponte})}{P_{cond_ponte}} = 0,77^\circ C / W \quad (4.53)$$

4.2.2 Projeto do Circuito de Controle

Como discutido no item 2.4, o método de controle é a técnica por modo corrente média e para a sua operação é necessário a implementação de três malhas de controle, sendo: malha de corrente, malha de tensão e malha de *feedforward*. Neste tópico são apresentados os projetos de cada malha e os valores dos demais componentes necessários para a aplicação do CI 3854 da *Texas Instruments*. A figura 4.3 apresenta os componentes do circuito de controle.

Para a utilização do sensor no circuito de controle, torna-se necessário eliminar a tensão de *off-set* do sensor, para isso, é utilizado um amplificador de diferenças, como apresentado na figura 4.4.

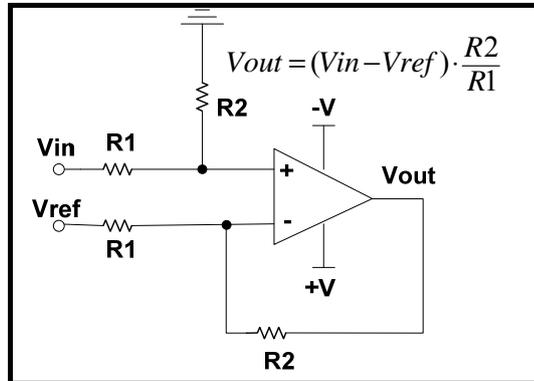


Figura 44 Amplificador diferenciador.

4.2.2.2 Dimensionamento da Malha de Feedforward

O circuito da malha de *feedforward* é mostrado na figura 4.5.

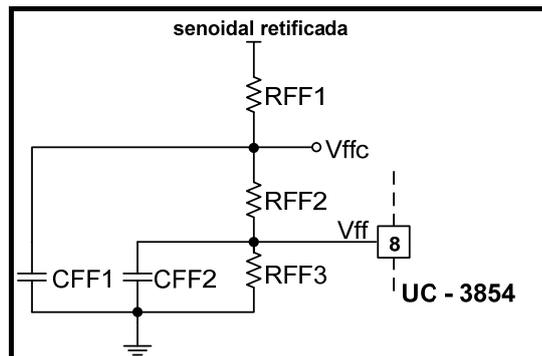


Figura 45 Malha de feedforward.

Essa malha consiste de um filtro passa-baixa de dois pólos que tem a função de gerar um sinal CC proporcional a tensão eficaz na entrada do retificador. No projeto do retificador foi utilizado um transformador abaixador com o objetivo de realizar a amostragem da tensão de entrada do circuito, com ganho de amostragem igual 0,055. As demais especificações da malha seguem de acordo com o item 2.6.3. Considerando o valor de R_{ff1} igual a 100k Ω , pode-se calcular os demais componentes da malha a seguir:

$$R_{ff2} = \frac{R_{ff1} \cdot (V_{ff} - V_{ffc})}{V_{ffc} - 0,8 \cdot V_{in_ef_mín} \cdot a_{amostragem}} = 1,087 \cdot 10^5 \Omega \quad (4.55)$$

O valor comercial adotado para R_{ff2} foi de 110k Ω , utilizando na seguinte equação:

$$R_{ff3} = \frac{V_{ff} \cdot (R_{ff1} + R_{ff2})}{0,8 \cdot V_{in_ef_mín} \cdot a_{amostragem} - V_{ff}} = 5,47 \cdot 10^4 \Omega \quad (4.56)$$

O resistor comercial mais próximo do calculado para R_{ff3} é 56k Ω .

$$C_{ff1} = \frac{1}{2\pi f_{c\text{ff}} R_{ff2}} = 7,234 \cdot 10^{-8} F \quad (4.57)$$

$$C_{ff2} = \frac{C_{ff1} R_{ff2}}{R_{ff3}} = 1,61 \cdot 10^{-7} F \quad (4.58)$$

No projeto é assumido o valor C_{ff1} igual a 82nF e C_{ff2} igual a 160nF.

4.2.2.3 Resistor R_{Vac}

Na entrada A do multiplicador tem-se uma corrente que deve ser limitada ao valor máximo de 250 μ A de acordo com [25]. Para isso é calculado o resistor que deve ficar em série com essa entrada (R_{Vac}). A leitura é realizada pelo transformador, portanto, é acrescentado o ganho de amostragem neste cálculo. Esse resistor poderá ser calculado através de:

$$R_{Vac} = \frac{V_{in_pk_m\acute{a}x} \cdot a_{amostragem}}{250 \cdot 10^{-6}} = 8,214 \cdot 10^4 \Omega \quad (4.59)$$

É adotado o resistor comercial de 82k Ω .

4.2.2.4 Resistor R_{mo}

O resistor R_{mo} é responsável pela limitação da máxima potência na saída do retificador. A corrente máxima na saída do multiplicador é calculada através de:

$$I_{mo_m\acute{a}x} = \frac{V_{in_pk_m\acute{i}n} \cdot (V_{ea} - 1,5)}{K_{mo} \cdot R_{Vac} \cdot V_{ff}^2} \cdot a_{amostragem} = 334 \mu A \quad (4.60)$$

Onde: V_{ea} é o valor de saturação da malha de tensão, igual a 6,3V;

K_{mo} é constante com valor igual a 1V⁻¹;

O valor de R_{mo} é encontrado através da equação 4.61.

$$R_{mo} = \frac{P_o \cdot R_{sh} \cdot K_{mo} \cdot R_{Vac} \cdot V_{ff}^2}{V_{in_ef_m\acute{i}n}^2 \cdot \eta \cdot (V_{ea} - 1,5) \cdot a_{amostragem}} = 3,483 \cdot 10^3 \Omega \quad (4.61)$$

Para o projeto assume-se o valor de R_{mo} igual a 3k3 Ω .

4.2.2.5 Dimensionamento da Malha de Corrente

A função de transferência de malha aberta da corrente no indutor do retificador é dada por:

$$FTMA_i(s) = F_m \cdot G_i(s) \cdot R_{sh} \cdot H_e(s) \quad (4.62)$$

A função de transferência da corrente no indutor e o ganho de amostragem foram discutidos no item 2.5.1. O ganho do modulador é dado por:

$$Fm = \frac{1}{V_{pk_ds}} \quad (4.63)$$

Onde V_{pk_ds} é a amplitude da onda dente de serra do modulador, cujo valor segundo o catálogo do CI3854 é igual a 5,2V.

O diagrama de Bode da $FTMAi(s)$ é apresentado na figura 4.6.

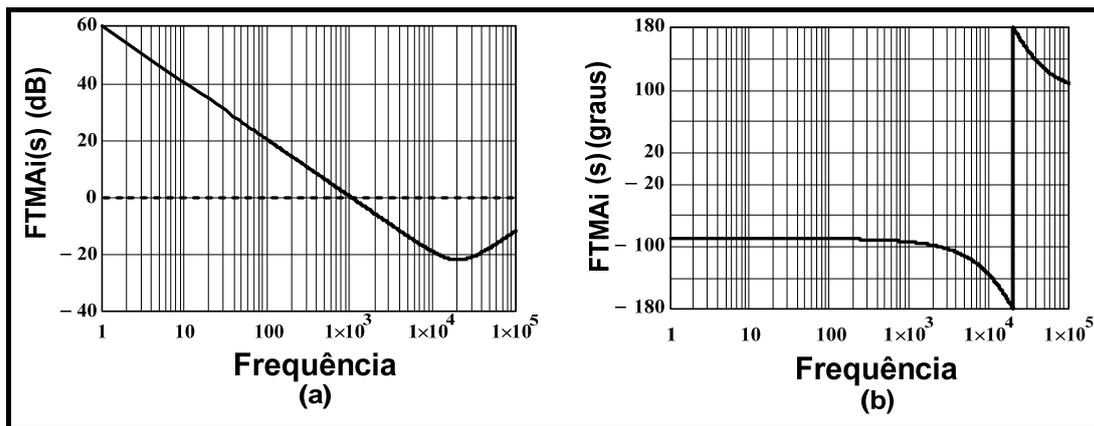


Figura 4.6 Diagrama de bode da $FTMA(s)$, onde (a) ganho e (b) fase.

Para a malha de corrente é usado o compensador PI com filtro e os critérios apresentados no item 2.5.1. Para a frequência de cruzamento (f_c) da função de transferência em Laço Aberto $FTLA(s)$, tem-se:

$$f_{c_mi} = \frac{1}{6} f_s = 6,7kHz \quad (4.64)$$

Os ganhos são calculados para determinar os valores dos componentes do compensador:

$$H_{i2} = 20 \cdot \log(|FTMAi(s)|) = -16,06dB \quad (4.65)$$

$$A_{i2} = 10^{\frac{|H_{i2}|}{20}} = 6,356 \quad (4.66)$$

O zero do compensador é colocado uma década abaixo da metade da frequência de chaveamento.

$$f_{z_mi} = \frac{1}{10} \cdot \frac{f_s}{2} = 2kHz \quad (4.67)$$

Um pólo (f_{p1}) do compensador é colocado na origem para minimizar o erro estático e o segundo pólo acima da metade da frequência de chaveamento. Neste caso o segundo pólo (f_{p2}) foi adotado com frequência igual a frequência de chaveamento.

$$f_{p_mi1} = 0Hz \quad (4.68)$$

$$f_{p_mi2} = f_s = 40kHz \quad (4.69)$$

Para identificar os componentes calculados do compensador, a figura 4.7 apresenta o compensador proposto.

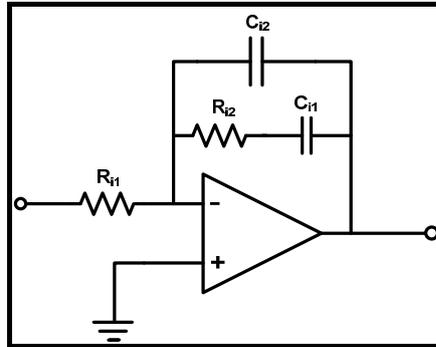


Figura 4.746 Compensador PI com filtro da malha de corrente.

O valor de R_{i1} deve ser escolhido para o cálculo dos demais componentes, assim temos:

$$R_{i1} = RMO = 3,3k\Omega \quad (4.70)$$

Assumindo o valor de R_{i1} igual a $3,3k\Omega$ é calculado os outros componentes do compensador como segue:

$$R_{i2} = A_2 \cdot R_{i1} = 21k\Omega \quad (4.71)$$

$$C_{i1} = \frac{1}{2 \cdot \pi \cdot R_{i2} \cdot f_Z} = 3,8nF \quad (4.72)$$

$$C_{i2} = \frac{C_{i1}}{(2 \cdot \pi \cdot R_{i2} \cdot C_{i1} \cdot f_{p2}) - 1} = 200pF \quad (4.73)$$

A função de transferência do compensador é dada por:

$$H_i(s) = \frac{1 + C_{i1}R_{i2}s}{R_{i1}(C_{i1} + C_{i2}) \left(1 + \frac{R_{i2}C_{i1}C_{i2}}{C_{i1} + C_{i2}}s \right) s} \quad (4.74)$$

A função de transferência em laço aberto da corrente no indutor $FTL_{Ai}(s)$ considerando o compensador da malha, é dada por:

$$FTL_{Ai}(s) = FTMAi(s) \cdot H_i(s) \quad (4.75)$$

O diagrama de bode da função de transferência $FTL_{Ai}(s)$ é apresentado na figura 4.8. A frequência de cruzamento encontra-se no valor desejado (aproximadamente 6,7kHz) e a margem de fase é igual a 33 graus, o que garante a estabilidade do sistema.

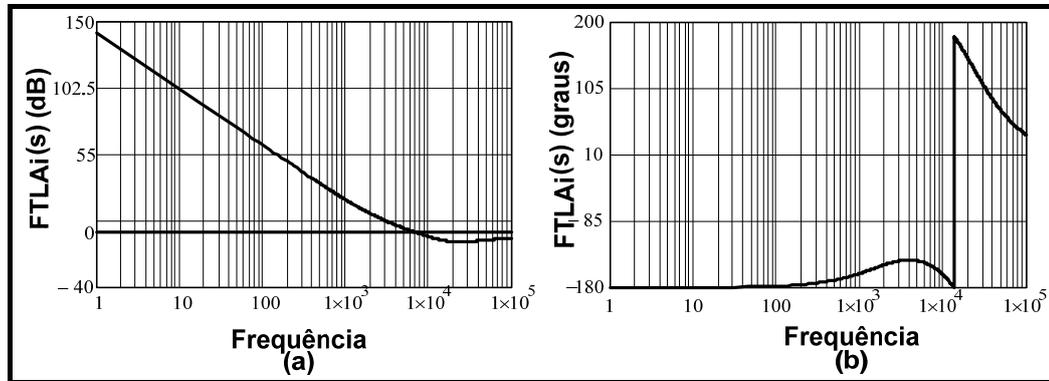


Figura 4.8 Diagrama de bode da $FTL_{Ai}(s)$, onde (a) ganho e (b) fase.

4.2.2.6 Dimensionamento da Malha de Tensão

A função de transferência em malha aberta da tensão de saída do retificador é dada por:

$$FTMA_v(s) = A_v \cdot G_v(s) \cdot A_i \cdot \frac{1}{V_{ff}^2} \cdot I_{ac_mín} \quad (4.76)$$

Na $FTMA_v(s)$ temos $G_v(s)$ que é a função de transferência da tensão de saída pela corrente no indutor. Os valores de A_v e A_i que é respectivamente o ganho do sensor de tensão e o ganho da malha de corrente, podem ser calculados por:

$$A_v = \frac{V_{ref}}{V_o} = 7,5 \cdot 10^{-3} \quad \text{e} \quad A_i = \frac{R_{mo}}{R_{sh}} = 8,3 \cdot 10^4 \quad (4.77)$$

Onde V_{ref} é a tensão de referência dada pelo CI3854BN que é igual a 3V.

O valor de $I_{ac_mín}$ pode ser encontrado através da seguinte equação:

$$I_{ac_mín} = \frac{V_{in_pk_mín} \cdot a_{amostragem}}{R_{Vac}} = 157 \mu A \quad (4.78)$$

O diagrama de bode da $FTMA_v(s)$ é dada pela figura 4.9.

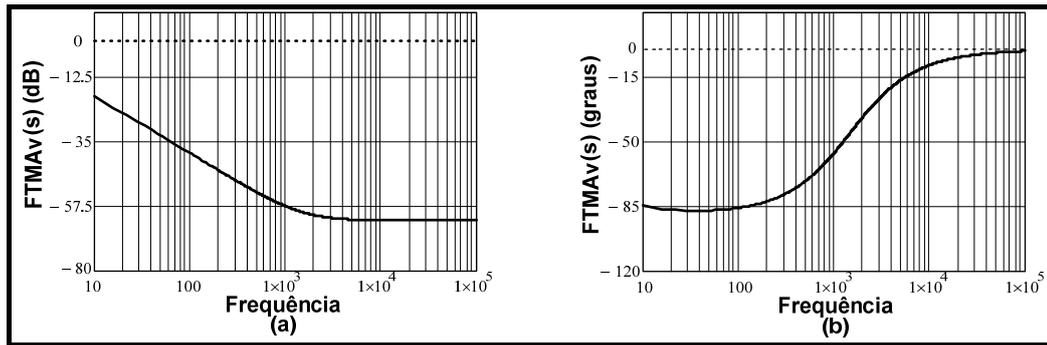


Figura 4.9 Diagrama de bode $FTMAv(s)$, onde (a) ganho e (b) fase.

O projeto desta malha segue os critérios apresentados no item 2.6.2, onde a frequência de cruzamento deve ser escolhida de forma que cause o mínimo de distorção na corrente de entrada, portanto escolhe-se:

$$f_{c_mv} = 25\text{Hz} \quad (4.79)$$

Os cálculos dos ganhos para posterior determinação dos elementos do compensador são:

$$H_{v2} = 20 \cdot \log(|FTMAv(s)|) = -26,97\text{dB} \quad (4.80)$$

$$A_{v2} = 10^{\frac{|H_2|}{20}} = 22,3 \quad (4.81)$$

O compensador escolhido para a malha de tensão é o PI com filtro, sendo o mesmo usado na malha de corrente, de acordo com a figura 4.10.

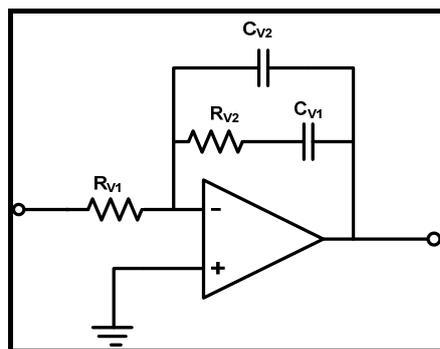


Figura 47 Compensador PI com filtro da malha de tensão.

Os critérios adotados para o projeto deste compensador seguem de acordo com o item 2.6.2, onde a frequência do zero do compensador é alocado uma década abaixo da frequência de cruzamento.

$$f_{z_mv} = \frac{f_{c_mv}}{10} = 2,5\text{Hz} \quad (4.82)$$

Um pólo é alocado na frequência da tensão de entrada do retificador e o segundo pólo na origem para minimizar o erro estático.

$$f_{p_mv1} = 60\text{Hz} \quad (4.83)$$

$$f_{p_mv2} = 0\text{Hz} \quad (4.84)$$

Para o cálculo dos componentes do compensador, é considerado o valor de R_{v1} , assim:

$$R_{v1} = 10\text{k}\Omega \quad (4.85)$$

Os demais componentes do compensador são calculados por:

$$R_{v2} = A_{v2} \cdot R_{v1} = 223\text{k}\Omega \quad (4.86)$$

$$C_{v1} = \frac{1}{2 \cdot \pi \cdot R_{v2} \cdot f_{z_mv}} = 285\text{nF} \quad (4.87)$$

$$C_{v2} = \frac{C_{v1}}{2 \cdot \pi \cdot R_{v2} \cdot C_{v1} \cdot f_{p_mv1} - 1} = 12,4\text{nF} \quad (4.88)$$

A função de transferência do compensador é dada pela equação 4.89.

$$H_v(s) = \frac{1 + C_{v1}R_{v2}s}{R_{v1}(C_{v1} + C_{v2}) \left(1 + \frac{R_{v2}C_{v1}C_{v2}}{C_{v1} + C_{v2}} s \right) s} \quad (4.89)$$

A função de transferência em laço aberto $FTLAv(s)$ com compensador de tensão é dada por:

$$FTLAv(s) = FTMAv(s) \cdot H_v(s) \quad (4.90)$$

O diagrama de bode da $FTLAv(s)$ é dado pela figura 4.11. Onde se observa que a frequência de cruzamento está aproximadamente no valor determinado pelo projeto (25Hz) e sua margem de fase é igual a 64,7 graus.

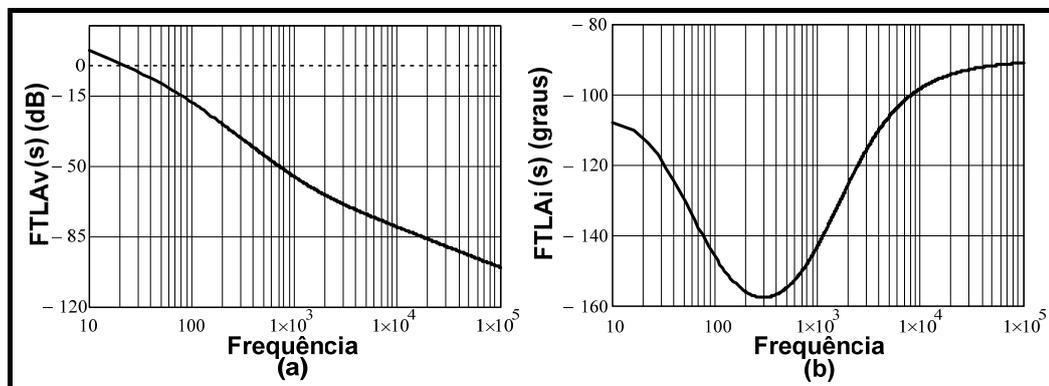


Figura 48 Diagrama de bode da $FTLAv(s)$, onde (a) ganho e (b) fase.

4.3 Projeto do Inversor Multinível

A proposta do inversor consiste na utilização da tensão de saída do retificador com PFC (400V) como fonte de alimentação da ponte-H. Na saída temos uma tensão de alta resolução baixa THD de saída (<5%) operando em baixa frequência. A potência de saída projetada foi de 3kVA com tensão eficaz de saída de 220V em 60Hz. A tabela 4.8 apresenta um resumo das principais especificações e considerações do inversor.

Tabela 4.8 Principais especificações e considerações do inversor multinível

<i>Especificações</i>	
Potência média de saída (P_{o_inv})	3000VA
Tensão eficaz de saída (V_{os})	220V
Tensão de entrada (V_o)	400V
Frequência da tensão de saída (f_L)	60Hz
<i>Considerações</i>	
Taxa de distorção harmônica	<5%
Regulação de Tensão de Saída	+5% , -10%

4.3.1 Dimensionamento do Transformador Multinível

Para que o conversor possa ser equacionado seguindo a determinação do número de níveis e tensões máximas pelo método apresentado no capítulo 3, deve-se assegurar que os critérios do modelo considerado sejam atingidos, onde as tensões nos enrolamentos são múltiplos de 2 do enrolamento de menor tensão. O transformador multinível foi especificado seguindo esse parâmetro. Com o objetivo de gerar uma forma de onda de alta resolução ($p' > 7$), utilizamos cinco secundários. As tensões nos 5 secundários são 12V, 24V, 48V, 96V e 192V.

Seguindo a tabela do apêndice A, as correntes nos enrolamentos secundários do transformador devem ser aproximadamente iguais a corrente de saída. Portanto, igual a:

$$I_{os_eficaz} = \frac{P_{o_inv}}{V_{os}} = 13,63A \quad (4.91)$$

Para o cálculo da corrente eficaz através do primário do transformador (I_{p_eficaz}) é usada a equação 3.12, onde é determinado o valor máximo da relação de transformação, sendo dada por:

$$R_{pk} = p' \cdot \left(\frac{V_{s_1}}{V_{p_eficaz}} \right) = 0,93 \quad (4.92)$$

Onde: V_{s_1} é a menor tensão eficaz sobre o enrolamento secundário e V_{p_eficaz} é a tensão eficaz sobre o enrolamento primário do transformador.

Consequentemente:

$$I_{p_eficaz} = 0,866 \cdot R_{pk} \cdot I_{os_eficaz} = 11A \quad (4.93)$$

A tabela 4.9 apresenta um resumo das especificações do transformador utilizado no projeto do conversor. Já que o enrolamento de menor tensão possui 12V, as tensões nos demais enrolamentos podem ser determinados através da equação 3.6.

Tabela 4.9 Especificações do transformador multinível

Potência	4,8 kVA
Enrolamento primário (V_{p_eficaz} , I_{p_eficaz}) / Resistência	475V/9,2A – 415mΩ
Enrolamento secundário 1 (V_{s_1} , I_{s_1}) / Resistência	13V/12,3A – 12mΩ
Enrolamento secundário 2 (V_{s_2} , I_{s_2}) / Resistência	26V/12,3A – 23mΩ
Enrolamento secundário 3 (V_{s_3} , I_{s_3}) / Resistência	52V/12,3A – 43mΩ
Enrolamento secundário 4 (V_{s_4} , I_{s_4}) / Resistência	104V/12,3A – 90mΩ
Enrolamento secundário 5 (V_{s_5} , I_{s_5}) / Resistência	208V/12,3A – 190mΩ
Frequência de operação	60Hz
Peso	35Kg

4.3.2 Onda Multinível

O número de níveis alcançado pela estrutura é função no número de estágios de saída do conversor (N), sendo para esta proposta igual a 5, como apresentado na figura 4.12.

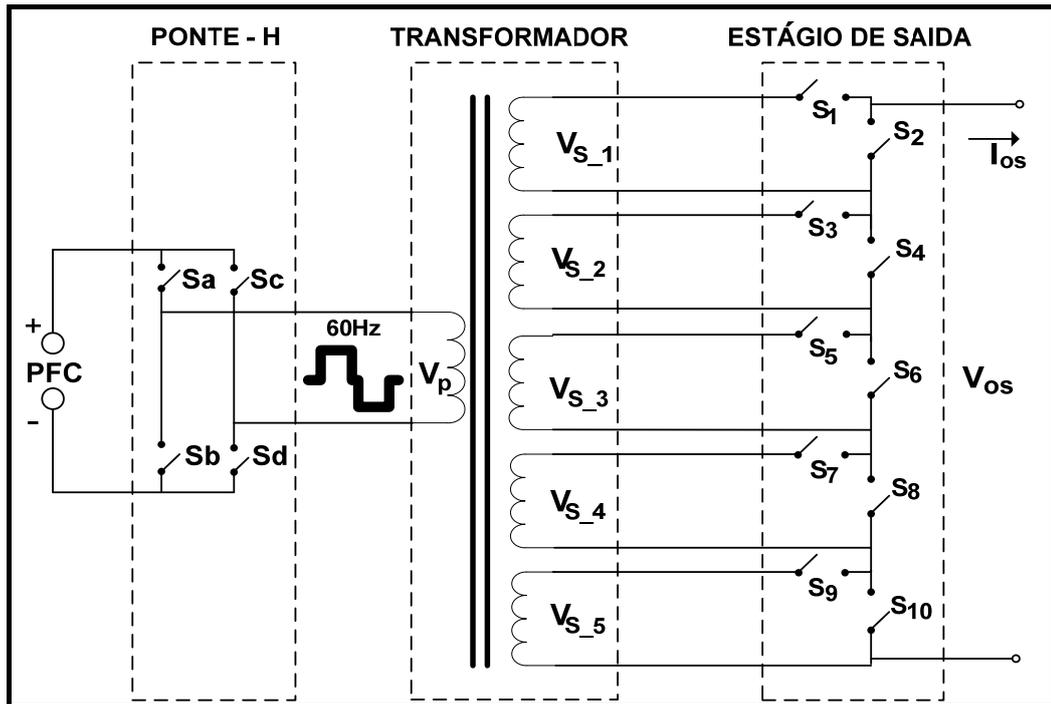


Figura 49 Inversor multinível com 5 estágios de saída.

O número de níveis máximo do conversor é encontrado através da equação 4.94.

$$n = 2^{N+1} - 1 = 63 \text{ níveis} \quad (4.94)$$

O número máximo de passos do conversor em um quarto de ciclo (p') e em um ciclo (p) é dado por:

$$p' = \frac{n-1}{2} = 31 \text{ passos} \quad (4.95)$$

$$p = 4 \cdot p' = 124 \text{ passos} \quad (4.96)$$

A tensão máxima instantânea é alcançada utilizando todos os níveis do inversor, sendo dada por:

$$V_{os_pk} = (2^N - 1) \cdot V_1 = 372V \quad (4.97)$$

Conseqüentemente, para a máxima tensão instantânea de saída e considerando o índice de modulação igual a 1, tem-se a tensão máxima eficaz na saída do inversor é de aproximadamente:

$$V_{rms} = \frac{V_{os_pk}}{\sqrt{2}} = 263V \quad (4.98)$$

A frequência de comutação para cada célula do estágio de saída é dada utilizando a equação 3.15, o que está representado na tabela 4.10. Pode-se observar que as células que operam com menores tensões possuem as maiores frequências de comutação.

Tabela 4.10 Frequência de comutação das chaves do estágio de saída ($p'=31$)

Secundário	Frequência de comutação da célula n_c
n_c - número da célula	$f_{n_c} = f_L \cdot (2^{N-n_c+2} - 2)$
Secundário 1 (f_{s_1})	3720 Hz
Secundário 2 (f_{s_2})	1800 Hz
Secundário 3 (f_{s_3})	840 Hz
Secundário 4 (f_{s_4})	360 Hz
Secundário 5 (f_{s_5})	120 Hz

O projeto da forma de onda multinível depende de vários fatores, como tensão de entrada, tensão de saída, queda de tensão nos componentes da estrutura e das harmônicas de tensão. Neste projeto, a tensão multinível é controlada pela mudança de níveis da tensão de saída entre 15 até 31 níveis, permanecendo com o índice de modulação igual a unidade e com regulação da tensão de saída entre -10% e +5% do valor especificado.

A regulação da tensão de saída é realizada por uma malha de controle de tensão implementada digitalmente através de tabelas que geram as formas de onda de acordo com a solicitação do sistema. As tabelas determinam o tempo que cada chave ficará aberta para o número de níveis correspondente, porém, para que ocorra a mudança entre tabelas torna-se necessário que o ciclo seja terminado, de acordo com o programa desenvolvido e apresentado no apêndice B. Isso significa que o número de níveis da tensão de saída poderá ser modificado somente ao final de cada ciclo, ou seja, a cada 0,0167 segundos.

4.3.3 Especificação das Chaves Semicondutoras e Snubbers

As correntes e tensões nas chaves do estágio de saída e a tensão sobre as chaves da ponte-H são iguais as apresentadas na tabela 4.9, considerando os valores correspondentes aos seus respectivos enrolamentos. A corrente média e eficaz nas chaves da ponte-H pode ser dada por:

$$I_{S_eficaz_ponteH} = 0,612 \cdot R_{pk} \cdot I_{os_eficaz} = 7,76A \quad (4.99)$$

$$I_{S_media_ponteH} = 0,354 \cdot R_{pk} \cdot I_{os_eficaz} = 4,49A \quad (4.100)$$

A tabela 4.11 apresenta um resumo dos interruptores utilizadas no inversor e seus respectivos elementos dos *snubbers*. A tecnologia empregada para as chaves da ponte-H foi IGBT e para as chaves dos secundários MOSFET. As chaves utilizadas possuem uma corrente

aproximadamente entre três ou quatro vezes a corrente especificada para a sua operação com o objetivo de promover maior robustez ao conversor.

Tabela 4.11 Resumo dos interruptores e snubbers do inversor multinível

Estágio	(V)	Dados dos Interruptores				Zn (V)	Rn (Ω)	Cn (nF)
		Referência	Vds (V)	Id (A)	Rds / Vce_on (100°C)			
Ponte H	400	IRFGP4063D	600	48	2,14V	440	330	47
Saída 1	12	IRFP064N	55	80	8 mΩ	-	330	47
Saída 2	24	IRFP064N	55	80	8 mΩ	-	330	47
Saída 3	48	IRFP064N	55	80	8 mΩ	56	330	47
Saída 4	96	IRFP4227N	200	46	21 mΩ	136	330	47
Saída 5	192	IRFGP4063D	600	48	2,14V	440	330	47

4.4 Conclusão

Neste capítulo foi realizado o projeto do retificador com correção de fator de potência e do inversor multinível de alta resolução. Estes dois conversores operando em conjunto, formam o modo rede de operação de um sistema ininterrupto de energia *on-line*. A escolha dos componentes foi realizada seguindo as equações apresentadas nos capítulos 2 e 3.

O projeto do retificador não contempla a utilização de supressor de sobretensão na chave do *boost*, que poderá ser causada pela presença de indutâncias parasitas decorrentes do *layout* da placa de circuito impresso do conversor.

A própria topologia do inversor garante o isolamento galvânico entre a rede elétrica e a carga, sendo que os efeitos da oscilação de tensão no barramento CC na taxa de distorção harmônica da tensão de saída foram desprezados. A implementação do método de controle do retificador baseia-se na utilização do CI3854.

CAPÍTULO 5

RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS

5.1 Introdução

A simulação e os resultados experimentais do retificador com correção de fator de potência e do inversor multinível de alta resolução são apresentados neste capítulo. As formas de onda obtidas por simulação foram adquiridas utilizando o *software* ORCAD versão 10.3. Os esquemáticos completos dos conversores utilizados na implementação, com os valores comerciais dos componentes, são mostrados no apêndice C.

O principal objetivo deste capítulo é a validação dos conversores propostos que podem ser usados na implementação de um UPS *on-line* operando no modo rede. Seguindo a ordem de análise dos dados experimentais, mostra-se o retificador com correção de fator de potência, o inversor multinível e finalmente o sistema UPS *on-line* operando no modo rede.

5.2 Resultados de Simulação

As formas de onda da corrente e da tensão de entrada do retificador são mostradas na figura 5.1. A corrente segue em fase com a tensão de entrada onde podemos observar uma componente de alta frequência característica do chaveamento do conversor *boost*. A corrente eficaz na entrada com tensão nominal é de 15,55A.

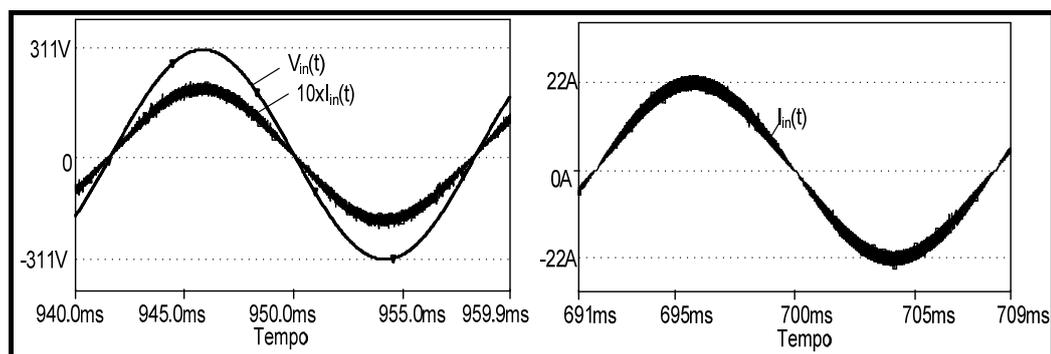


Figura 50 Tensão e corrente na entrada (esquerda) e corrente na entrada (direita).

As ondulações da tensão de saída (ΔV_{c1}) e da corrente do indutor (ΔI_{Lb}) foram analisadas para o caso do retificador operar com a mínima tensão de entrada (165Vrms), como apresentado na figura 5.2. A ondulação da tensão de saída apresentou-se igual a 6,3V e a ondulação de corrente de 4,785^a.

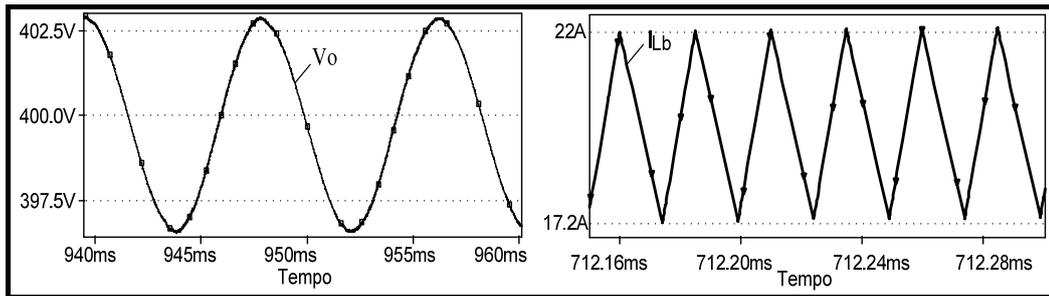


Figura 51 Ondulação da tensão de saída (esquerda) e corrente no indutor (direita).

A corrente na chave do retificador é mostrada na figura 5.3 para um período da frequência de chaveamento e meio-ciclo da tensão de entrada, com tensão mínima na entrada no conversor.

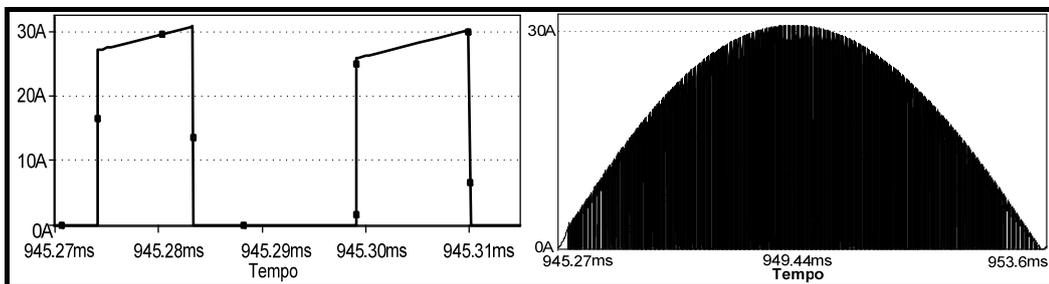


Figura 52 Corrente na chave para um período de chaveamento (esquerda) e meio-ciclo da tensão da rede (direita).

A tensão na chave para um ciclo da tensão da rede é apresentada na figura 5.4, onde se observa a ondulação 120Hz na tensão de saída do conversor.

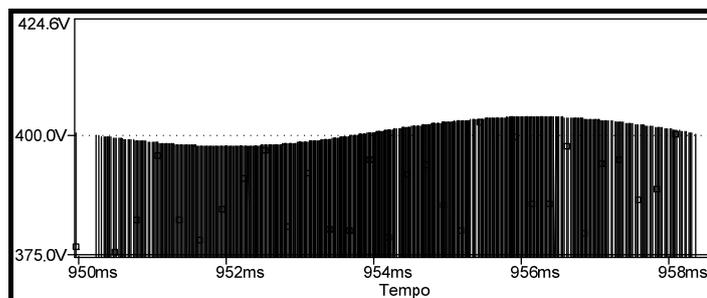


Figura 53 Tensão na chave para um ciclo da tensão da rede.

A corrente no diodo do retificador é mostrada na figura 5.5 para um período da frequência de chaveamento e meio-ciclo da tensão de entrada, com tensão mínima na entrada do conversor.

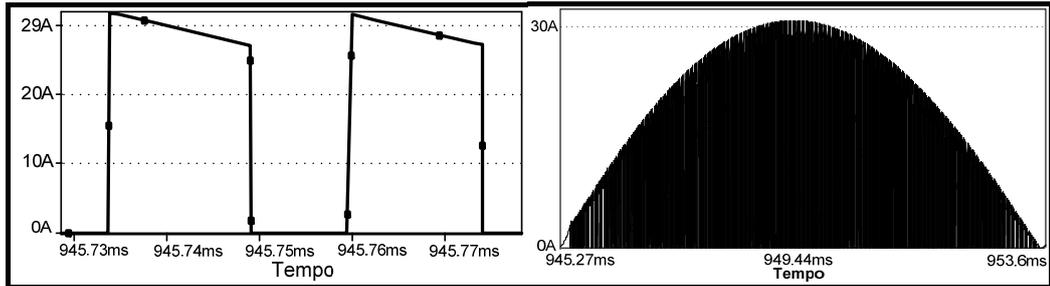


Figura 54 Corrente no diodo para um período de chaveamento (esquerda) e meio-ciclo da tensão da rede (direita).

As formas de onda de corrente no capacitor (C_1) e no indutor (L_b) do retificador para o caso de mínima tensão de entrada são apresentadas na figura 5.6.

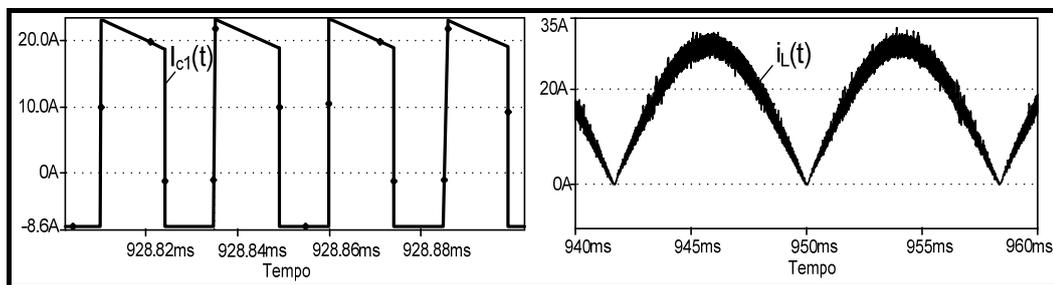


Figura 55 Corrente no capacitor (esquerda) e indutor (direita) do retificador.

A onda multinível formada na saída do inversor com tensão eficaz de 220V é mostrada na figura 5.7.

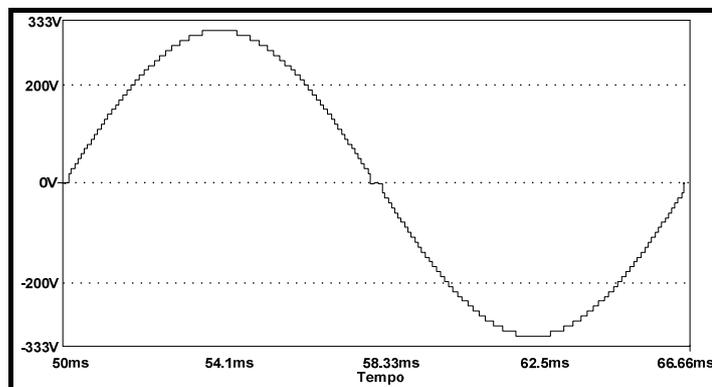


Figura 5.7 Onda multinível do inversor.

O efeito da componente CA em baixa frequência na tensão de saída do retificador com correção de fator de potência é mostrado na figura 5.8, para o caso deste conversor alimentar o inversor multinível. A forma de onda corresponde a tensão no enrolamento primário do transformador multinível, onde observa-se uma pequena oscilação em cada semi-ciclo.

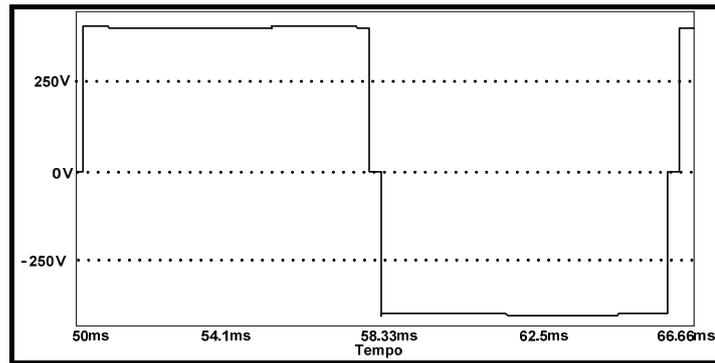


Figura 56 Tensão no enrolamento primário do inversor.

5.3 Resultados Experimentais

Os resultados experimentais coletados são apresentados para a operação de cada conversor separadamente e para os dois conversores interligados. A análise da taxa de distorção harmônica é realizada para as principais formas de onda, como tensão e corrente de entrada do retificador e tensão na saída do inversor.

Para os testes com os conversores operando separadamente utilizamos cargas resistivas, onde são traçadas suas curvas de rendimento. Testes com degraus de carga e cargas não-lineares são realizados para os conversores interligados.

5.3.1 Resultados Experimentais do Retificador com PFC

A figura 5.9 apresenta a foto do protótipo do retificador com correção de fator de potência em bancada de testes.

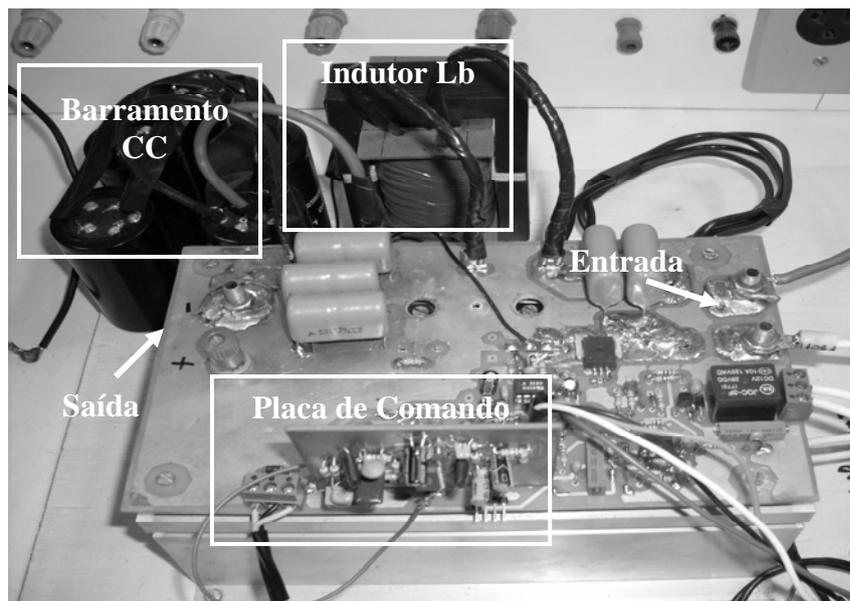


Figura 57 Visão geral do conversor PFC.

A tensão e a corrente de entrada para o conversor alimentando cargas resistivas com potência de 3410W são apresentadas na figura 5.10, onde observa-se a corrente em fase com a tensão.

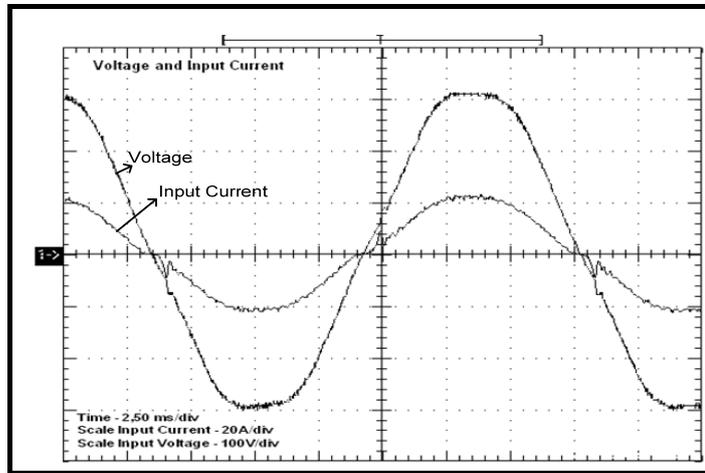


Figura 5.10 Corrente e tensão na entrada do retificador.

A análise do espectro harmônico presente na tensão e na corrente de entrada do conversor são apresentadas na figura 5.11.

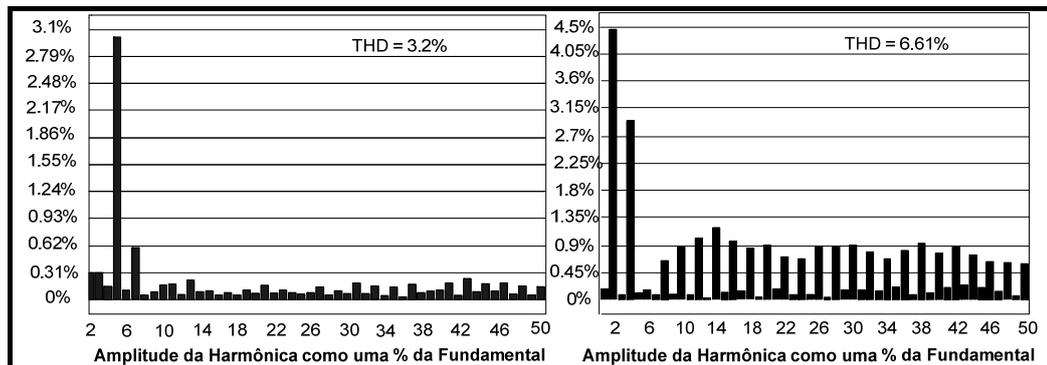


Figura 58 – Espectro harmônico da tensão de entrada (esquerda) e corrente (direita).

A oscilação da tensão no barramento é apresentada na figura 5.12.

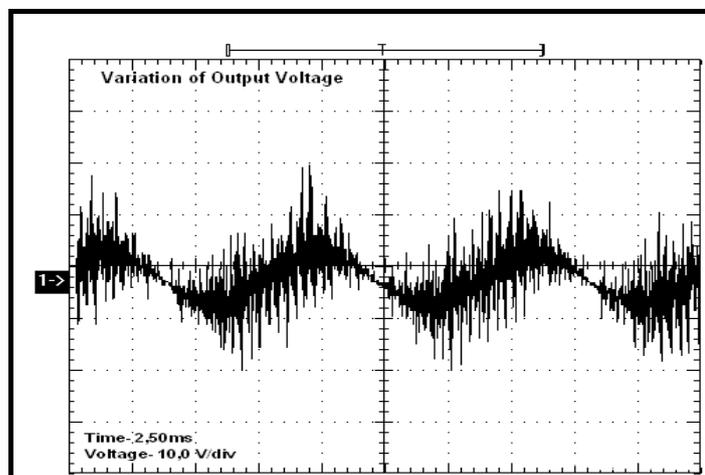


Figura 5.12 – Oscilação da tensão do barramento CC.

Os testes de rendimento do retificador foram realizados até a potência de 4kW na saída com carga resistiva e tensão nominal na entrada. O equipamento utilizado para realizar as medidas de potência e fator de potência na entrada do conversor foi o analisador de potência *Power Analyzer PZ4000* e para a medição de potência na saída o *wattímetro WT200*. A figura 5.13 apresenta o gráfico do rendimento.

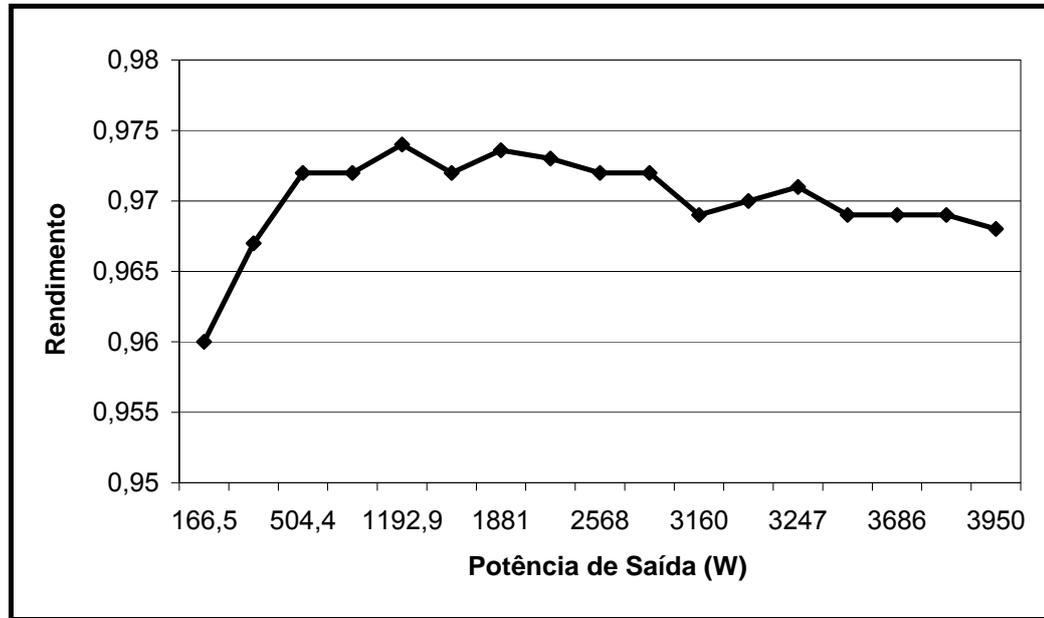


Figura 5.13 Curva de rendimento do conversor.

O fator de potência adquirido com a utilização do retificador com PFC é apresentado em função da potência de saída na tabela 5.1.

Tabela 5.1 Fator de potência e rendimento (η_{PFC}) em função da potência de saída

Pout (W)	173,4	431	519	874	1225	1580	1932	2286
η_{PFC}	0,96	0,967	0,972	0,972	0,974	0,972	0,9736	0,973
FP	0,913	0,968	0,9733	0,985	0,991	0,993	0,995	0,996
Pout (W)	2642	2993	3260	3343	3520	3717	3803	3874
η_{PFC}	0,972	0,972	0,969	0,971	0,97	0,969	0,969	0,969
FP	0,9966	0,997	0,9973	0,9973	0,9974	0,9975	0,9975	0,9975

5.3.2 Resultados Experimentais do Inversor Multinível

A foto do protótipo do conversor é apresentado na figura 5.14.

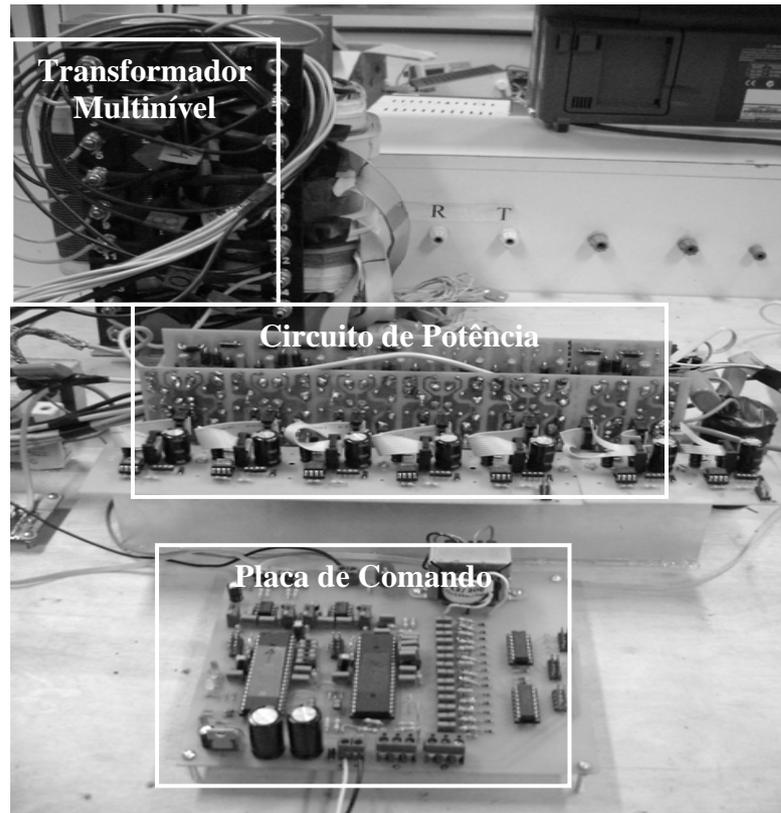


Figura 59 Inversor multinível.

A tensão multinível na saída do inversor com tensão eficaz de 220V é mostrada na figura 5.15. Pode-se observar na figura 5.15(b) o detalhe dos degraus de tensão da forma de onda. Existem alguns afundamentos na tensão de saída provenientes do tempo morto das chaves do estágio de saída que operam complementarmente.

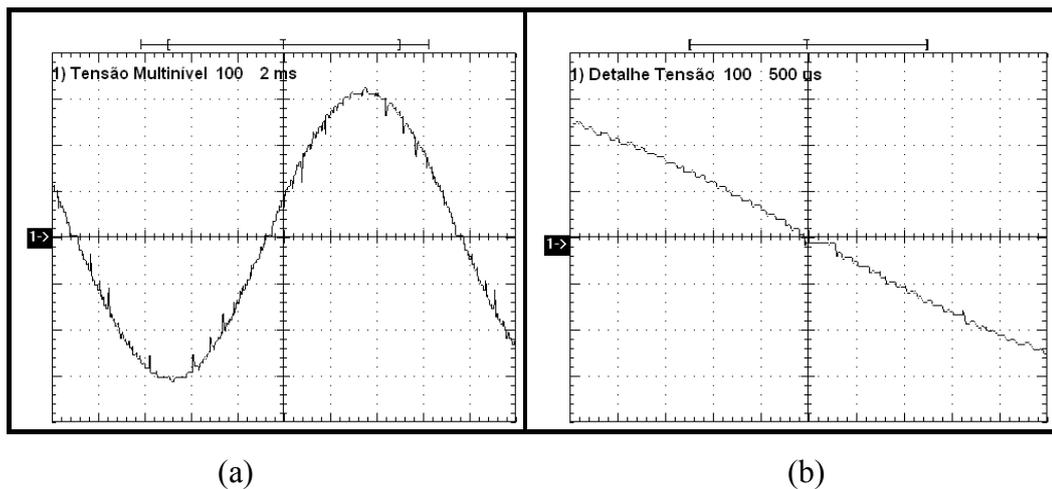


Figura 60 Tensão multinível (a) em um ciclo da rede (100V/div, 2ms) e (b) detalhe dos degraus de tensão (100V/div, 500us).

A corrente e a tensão no primário do transformador são mostrados na figura 5.16. Os valores apresentados correspondem ao valor da potência de 3000VA na entrada do inversor.

A corrente apresenta a forma de onda correspondente a uma senoide elevada ao quadrado, como descrito em tópicos anteriores.

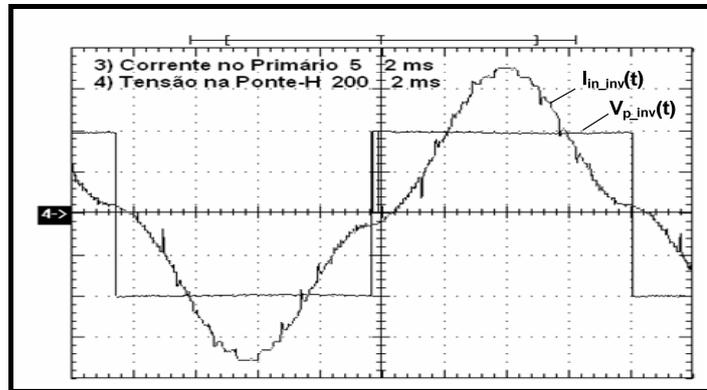


Figura 5.16 Tensão (200V/div, 2ms) e corrente (5A/div, 2ms) no primário do transformador.

A análise do espectro harmônico da tensão de saída do conversor sem carga, é dada pela figura 5.17.

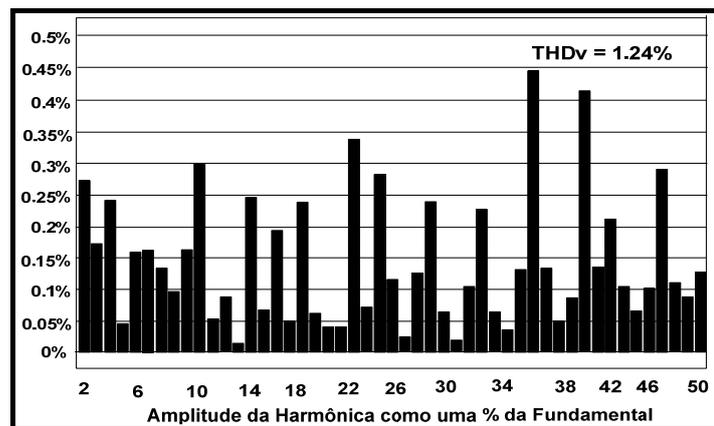


Figura 5.161 Espectro harmônico da tensão da saída.

O rendimento da estrutura foi medido até a potência de saída de 3114W utilizando o Wattímetro Yokogawa WT130. A figura 5.18 apresenta a curva de rendimento do inversor.

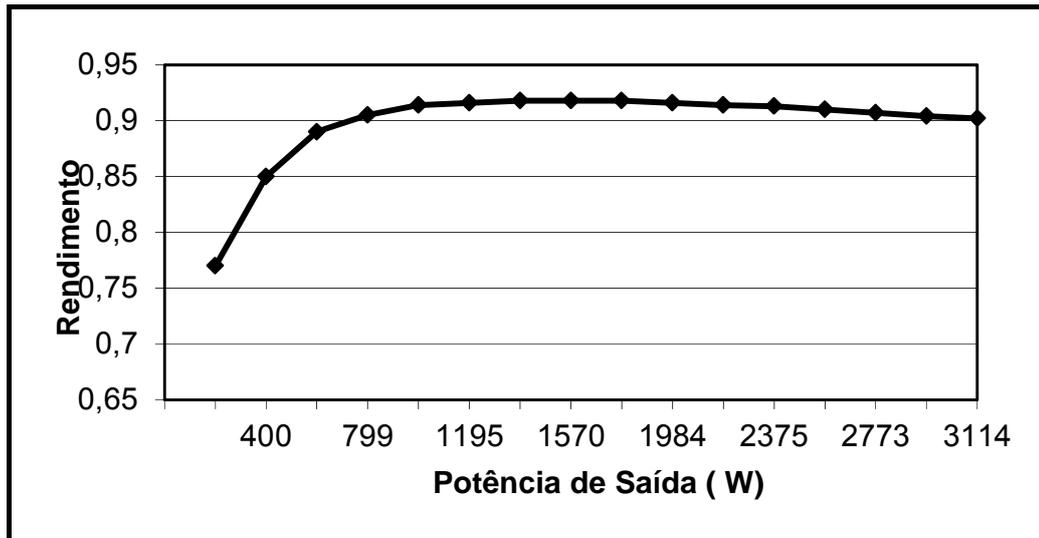


Figura 5.18 Rendimento do inversor.

5.3.3 Resultados Experimentais do Sistema UPS Operando em Modo Rede

Para a análise do sistema devem-se determinar quais parâmetros que cada conversor possui com potencial para influenciar no desempenho da estrutura completa. O primeiro parâmetro que se discute como exemplo da importância desta visão sistêmica, refere-se ao sincronismo da tensão na rede elétrica com a tensão na saída do conversor.

O controle do inversor utiliza a frequência do cristal do microcontrolador para a contagem do tempo de referência das chaves, responsáveis pela formação da tensão na saída do inversor. Porém, devido a esse tempo não ser preciso o suficiente para gerar um forma de onda com frequência igual a da rede elétrica, a tensão de saída quando comparada a tensão de alimentação apresentará um deslocamento constante.

O efeito do deslocamento constante entre a tensão de saída do inversor e a tensão entrada do retificador é observado no barramento CC. A figura 5.19 mostra a tensão no barramento CC, a tensão de entrada e a tensão de saída, para o sistema alimentado cargas resistivas.

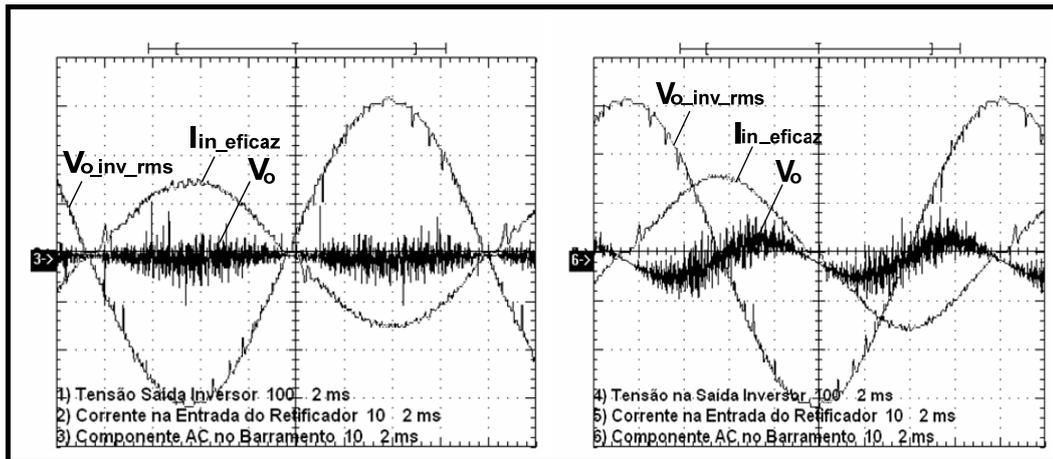


Figura 5.1962 Oscilação da tensão no barramento caso ideal (esquerda) e pior caso (direita).

Vários ensaios de degraus de cargas resistivas foram realizados com o objetivo de analisar o comportamento dos conversores. A figura 5.20 mostra a tensão no barramento CC (V_{cc}) e a corrente na saída do inversor ($i_{o_inv}(t)$) para degraus de carga de 0 a 50% (figuras 5.20 (a) e (b)) e de 0 a 100% (figuras (c) e (d)). Observa-se uma pequena oscilação no barramento CC quando ocorre o degrau de carga na saída do inversor.

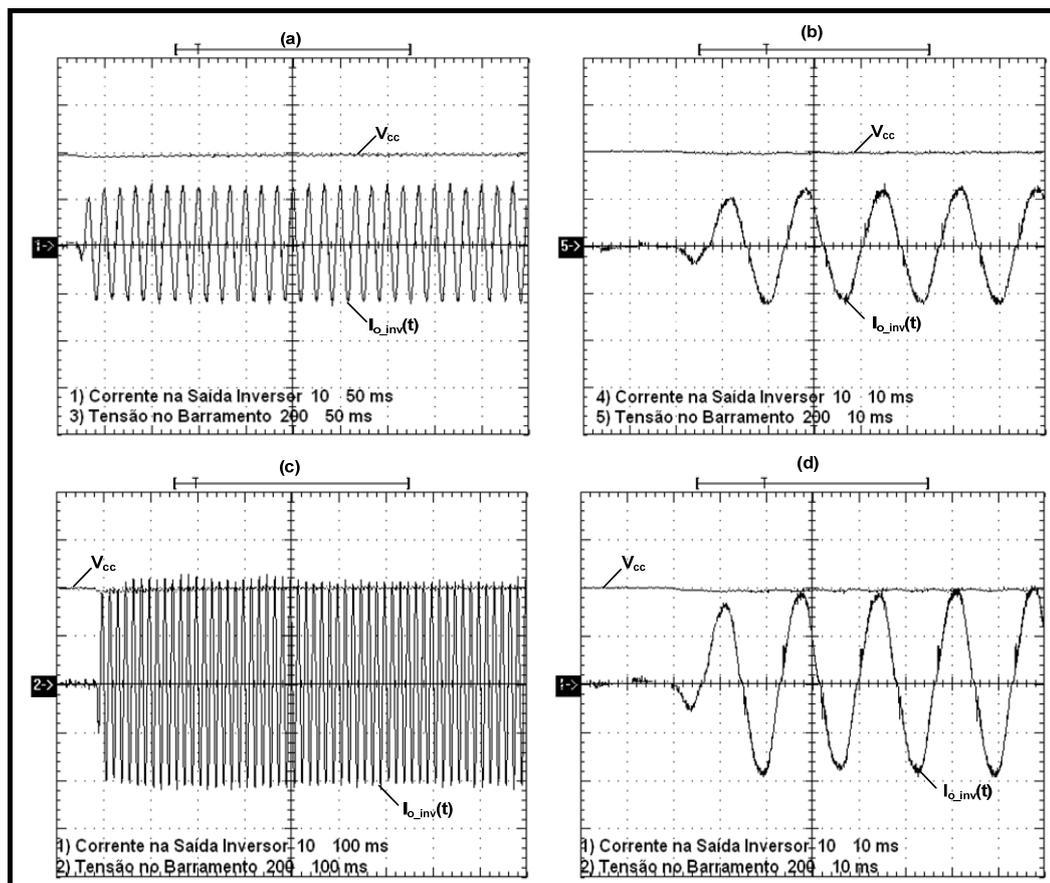


Figura 5.20 degrau de carga de 0 a 50% (a) V_{cc} (200V/div, 50ms) e $i_{o_inv}(t)$ (10A/div, 50ms), (b) V_{cc} (200V/div, 10ms) e $i_{o_inv}(t)$ (10A/div, 10ms) e degrau de carga 0 a 100% (c) V_{cc} (200V/div, 100ms) e $i_{o_inv}(t)$ (10A/div, 100ms) e (d) V_{cc} (200V/div, 10ms) e $i_{o_inv}(t)$ (10A/div, 10ms).

Os degraus de carga apresentados na figura 5.21 são correspondentes de 50% a 0 (figuras 5.21 (a) e (b)) e de 90% a 0 (figuras 5.21 (c) e (d)).

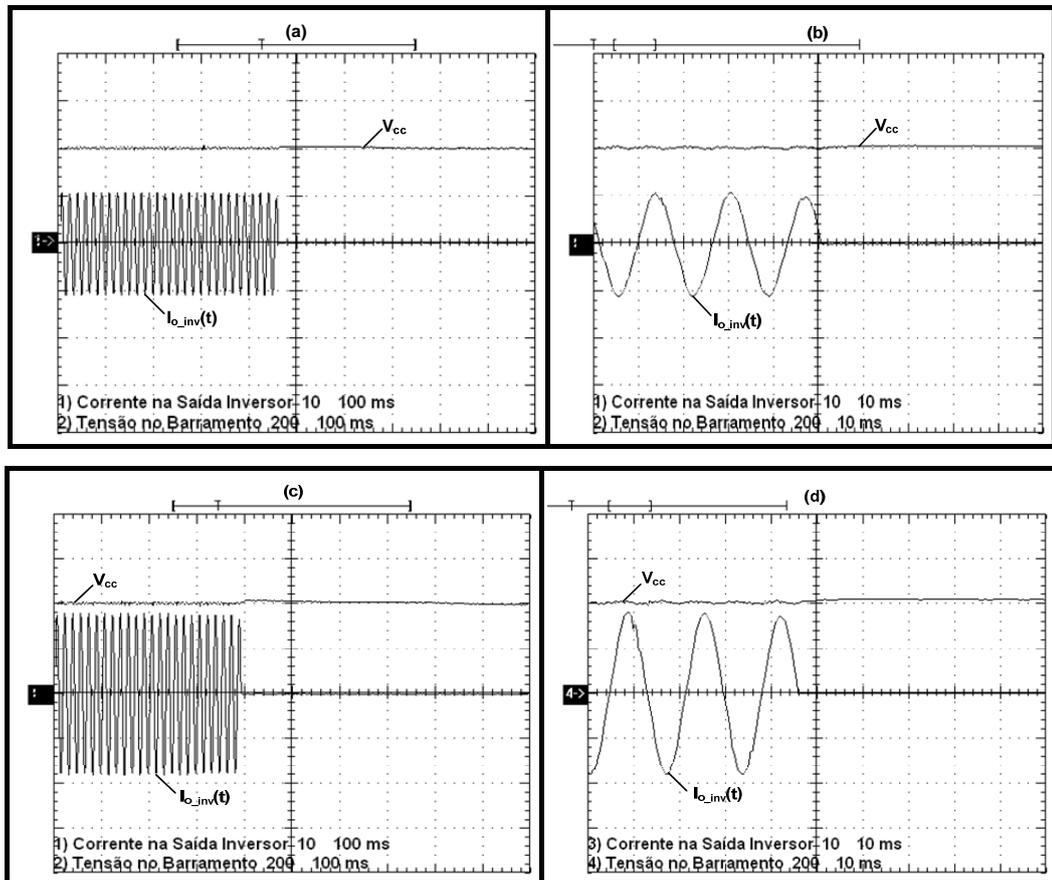


Figura 5.2163 degrau de carga de 50% a 0 (a) V_{cc} (200V/div, 100ms) e $i_{o_inv}(t)$ (10A/div, 100ms), (b) V_{cc} (200V/div, 10ms) e $i_{o_inv}(t)$ (10A/div, 10ms) e degrau de carga 90% a 0 (c) V_{cc} (200V/div, 100ms) e $i_{o_inv}(t)$ (10A/div, 100ms) e (d) V_{cc} (200V/div, 10ms) e $i_{o_inv}(t)$ (10A/div, 10ms).

Para o teste com cargas não-lineares, observa-se na figura 5.22 a corrente e a tensão na saída do inversor. A tensão de saída apresentou um achatamento durante o intervalo de tempo em que o conversor alimenta a carga não-linear, fazendo com que a THD aumente consideravelmente para 6,56%.

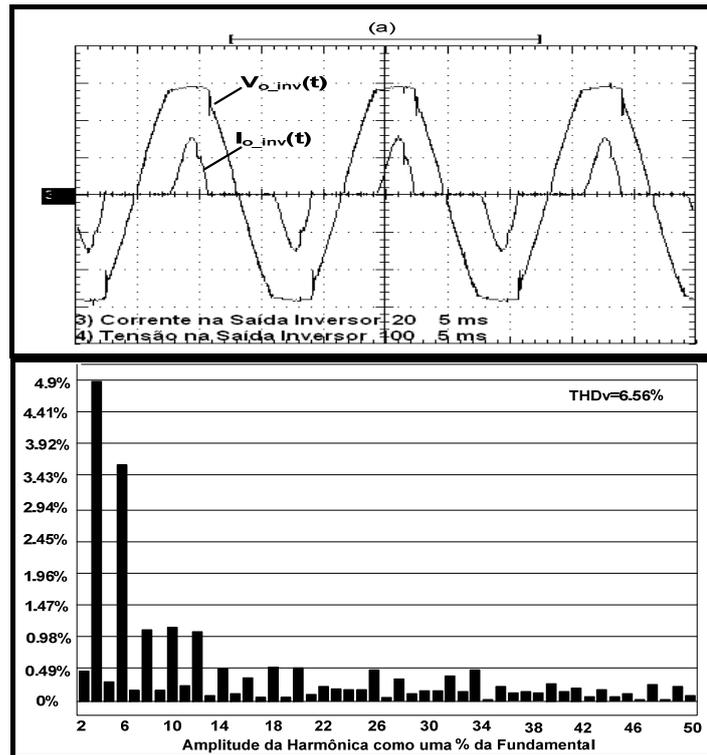


Figura 5.2264 Tensão (100V/div, 5ms) e corrente (20A/div, 5ms) de saída do inversor alimentando carga não-linear e espectro harmônico da tensão de saída.

A tensão e a corrente de entrada do retificador permanecem com o mesmo formato para este tipo de carga, como é apresentado na figura 5.23.

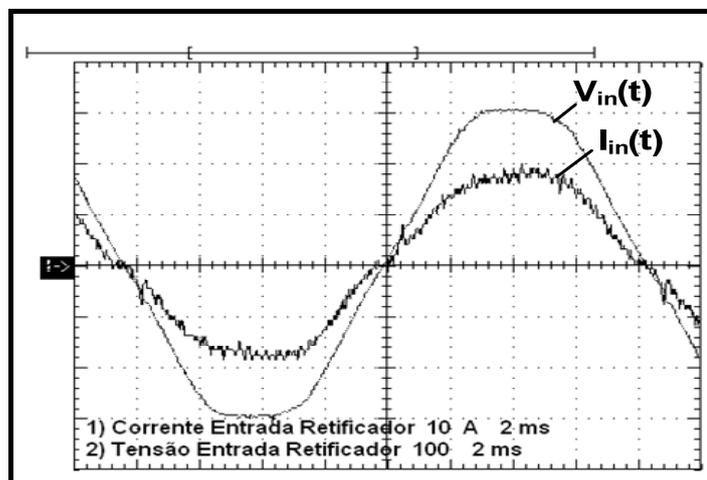


Figura 5.23 Tensão (100V/div, 2ms) e corrente (10A/div, 2ms) de entrada do retificador

A potência ativa na saída do inversor medida foi de 2400W, o que implica numa potência aparente de 3428VA, considerando um fator de potência de 0,7 na carga. Como a entrada do sistema apresenta fator de potência quase unitário, a potência processada será indicada pela razão da potência ativa na saída pelo rendimento da estrutura, sendo o valor medido igual a 2850W, o que implica num rendimento igual a 84,5% de toda a estrutura para

carga não-lineares. Os reativos exigidos pela carga são retirados dos capacitores do barramento CC.

O rendimento total foi medido utilizando cargas resistivas sendo apresentado na figura 5.24.

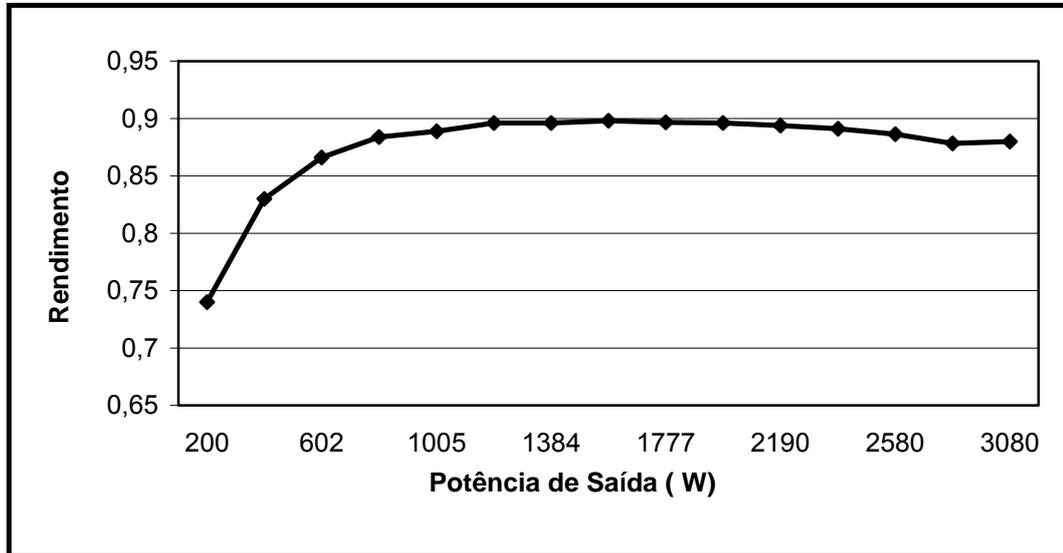


Figura 5.24 Rendimento da estrutura completa com carga linear.

5.4 Conclusão

A validação da proposta é realizada através dos resultados de simulação e experimentais de cada conversor e do sistema em operação. Os dados mostraram-se condizentes com os valores calculados nos capítulos anteriores, sendo realizados os testes para cargas lineares, não-lineares e para condições de degraus de carga.

Os efeitos da interligação dos conversores são apresentados, mostrando a influência do sincronismo entre as tensões de entrada e saída com a oscilação no barramento CC e o comportamento da tensão de saída de acordo com o tipo de carga conectada no inversor. A THD máxima medida foi de 6,56% para o teste com cargas não-lineares, com potência de saída do inversor aproximadamente de 3420VA. O retificador demonstrou melhores desempenhos para a correção de fator de potência na faixa de potência próxima a nominal, com a particularidade de possuir uma THD relativamente alta devido à distorção da própria tensão de entrada.

CONCLUSÃO GERAL

Podemos afirmar a realidade cada vez mais próxima da disseminação de inversores multiníveis para aplicações em baixas potências. Este trabalho por meio de estudos teóricos e implementações de um retificador com correção de fator de potência a um inversor multinível de alta resolução, o que caracteriza o modo rede de operação para um UPS, apresentou a validação da aplicação de inversores multiníveis voltados a sistemas ininterruptos de energia para baixas potências (<10kVA).

O capítulo 1 apresenta o estado da arte para UPS mostrando as classificações de acordo com suas configurações e as principais características que determinam o seu desempenho. Dentro deste estudo é observado a ampla aplicação de inversores baseados em conversores que operam em alta frequência seguindo a modulação por largura de pulso senoidal (SPWM), podendo ou não ser contemplados com estágios de entrada com correção de fator de potência e isolamento galvânica.

Realiza-se neste capítulo a análise das principais aplicações dos inversores multiníveis e o crescente desenvolvimento destas topologias para sistemas fotovoltaicos isolados da rede elétrica operando em baixas potências. Observando os recentes desenvolvimentos de inversores multiníveis para sistemas fotovoltaicos, concluiu-se a possibilidade de implementar estes tipos de inversor a sistemas que possam compor o modo rede de operação de um UPS. Propõe-se a implementação de um sistema a partir de um retificador com correção de fator de potência ativa alimentando um inversor multinível baseado numa topologia composta por um transformador com vários secundários.

A análise qualitativa do modo de operação e o equacionamento do retificador com correção de fator de potência são realizados no capítulo 2. O retificador baseia-se na associação de uma ponte completa de diodos com o conversor CC-CC *boost* operando com controle por modo corrente média, baseando-se no CI3854. São determinadas as fórmulas dos elementos da estrutura e seus esforços de tensão e corrente. As funções de transferência do conversor são encontradas através da aplicação da chave PWM de Vorpérian. São apresentados os critérios para projeto dos compensadores das malhas de controle de tensão e corrente e o método de cálculo da malha de *feedforward*.

A descrição da onda multinível, princípio de funcionamento e equacionamento do inversor é comentado no capítulo 3. As principais características do inversor são apresentadas mostrando as vantagens de sua aplicação para UPS. Um método de identificação e

balanceamento do transformador é especialmente desenvolvido. As formas de regulação da tensão de saída por modificação do número de níveis e por mudança no formato da onda são discutidos junto com suas influências na qualidade da forma de onda.

O algoritmo utilizado para a otimização da onda multinível tendo como parâmetro de performance escolhido a THD é mostrado, bem como, o método empregado para manter o índice de modulação mais próximo possível da unidade. A configuração das chaves bidirecionais do estágio de saída e o modo de operação quando ocorre o tempo morto entre as chaves da mesma célula de saída do inversor são apresentados.

No capítulo 4 é realizado a especificação de cada conversor e seguindo os procedimentos e equacionamentos descritos nos capítulos 2 e 3, é feito o cálculo de cada elemento das estruturas propostas, bem como, é determinado os esforços de tensão e corrente dos componentes. Os valores comerciais dos componentes semicondutores foram selecionados e suas principais especificações mostradas por meio de tabelas. O cálculo das perdas em cada componente do conversor foi determinado com o objetivo de encontrar as especificações do dissipador utilizado para o caso dos semicondutores e a máxima temperatura de operação para o caso do indutor do *boost*. Os circuitos de controle do *boost* com o projeto das malhas de controle foram apresentadas. A implementação do controle do inversor foi realizada digitalmente e apresenta-se o código fonte do apêndice B.

Os dados de simulação e experimentais necessários para a validação da topologia proposta são apresentados no capítulo 5. Os conversores foram ensaiados isoladamente e posteriormente interconectados. As características operacionais proveniente desta interligação de conversores toma um valor especial neste último tópico, com o é o caso apresentado para a relação do sincronismo da tensão na saída do inversor e a tensão de entrada com a oscilação da tensão no barramento CC. Os resultados para cargas não-lineares apresentam uma alta THD da tensão de saída embora a corrente de entrada permaneça praticamente inalterada para qualquer carga no inversor.

Para trabalhos futuros, sugerimos a avaliação da utilização de apenas quatro enrolamentos do secundário do transformador do inversor, pois por meio das tabelas apresentadas no capítulo 3 é possível manter o $THD < 5\%$ para esta condição. Estudar a utilização de transformador com materiais magnéticos de melhor qualidade para aumentar a eficiência da estrutura, a implementação do modo bateria para o sistema proposto, estudar o controle do sistema para cargas não-lineares de forma a garantir THD menor que 5% e implementar todo o sistema em baixa frequência. A implementação de um método de sincronismo para o sistema também poderá ser estudada.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] S. Daher, J. Schmid, F. L. M. Antunes, “Current Demand of High Performance Inverters for Renewable Energy Systems”, European Conference on Power Electronics and Applications, pp. 1-10, September 2007.
- [2] P. Panagis, F. Stergiopoulos, P. Marabeas, S. Manias, “Comparison of State of the Art Multilevel Inverters”, Power Electronics Specialists Conference, pp. 4296-4301, June 2008.
- [3] J. Rodríguez, J.-S. Lai, F. Z. Peng, “Multilevel Inverters: A Survey of Topologies, Controls, and Applications” IEEE Transactions on Industrial Electronics, vol 49, no. 4, pp. 724- 738, August 2002.
- [4] Daher, S., “Analysis, Design and Implementation of a High Efficiency Multilevel Converter for Renewable Energy Systems” Universität Kassel, 2006, 96p.
- [5] S. B. Bekiarov, A. Emadi, “Uninterruptible power supplies: classification, operation, dynamics, and control”, Applied Power Electronics Conference and Exposition, vol. 1, pp. 597-604, March 2002.
- [6] F. Kamran, T. G. Habetler, “A novel on-line UPS with universal filtering capabilities”, IEEE Trans. on Power Electronics, vol. 13, no. 3, pp. 366–371, May 1998.
- [7] R. Krishnan, S. Srinivasan, “Topologies for uninterruptible power supplies” in Proc. IEEE International Symposium on Industrial Electronics, Hungary, pp. 122–127, June 1993.
- [8] S. Karve, “Three of a kind” IEE Review, vol. 46, no. 2, pp. 27–31, March 2000.
- [9] H. Katsuya, S. Makoto, N. Sin , M. Tomoki, “Development of UPS Using New Type of Circuits”, Telecommunications Energy Conference, pp. 635-642, November 1994.
- [10] G. Su, D. J. Adams, “Comparative Study of Power Factor Correction Converters For Single Phase Half-Bridge Inverters”, Power Electronics Specialists Conference, vol. 2, pp. 995-1000, June 2001.
- [11] G. Su, T. Ohno, “A New Topology for Single Phase UPS Systems”, Proceedings of the Power Conversion Conference, vol. 2, pp. 913-918, August 1997.
- [12] Oliveira, H. A. “Sistema Ininterrupto de Energia de Dupla Conversão Isolado de 6kVA”, Universidade Federal do Ceará – UFC, 2007, 137p.
- [13] Branco, C. G. C. “Sistema Ininterrupto de Energia de Dupla Conversão, Não Isolado, com Tensões de Entrada e Saída Universais”, Universidade Federal do Ceará – UFC, 2005, 190p.
- [14] R. P. Torrico-Bascopé, D. S. Oliveira Jr., C. G. C. Branco, F. L. M. Antunes, C. M. T. Cruz, “A High Frequency Transformer Isolation 110V/220V Input Voltage UPS System”, Applied Power Electronics Conference and Exposition, 7pp., March 2006.

- [15] Menezes, L. M. “Projeto Inversol – Desenvolvimento de uma Fonte Ininterrupta de Energia com Possibilidade de Uso em Sistemas Fotovoltaico”, Universidade Federal do Ceará – UFC, 2007, 216p.
- [16] S. A. Khajehoddin, P. Jain, A. Bakhshai, “Cascaded Multilevel Converters and Their Applications in Photovoltaic Systems”, 2nd Canadian Solar Buildings Conference Calgary, June 2007.
- [17] T. Shimizu, T. Fujita, G. Kimura, J. Hirose, “A Unity Power Factor PWM Rectifier with DC Ripple Compensation”, IEEE Transactions on Industrial Electronics, vol.44, no.4, pp.447-455, August 1997.
- [18] C. Qiao, K. M. Smedley, “A Topology Survey of Single-Stage Power Factor Corrector with a *Boost* Type Input-Current-Shaper”, IEEE Transactions on Power Electronics, vol. 16, no. 3, pp. 460-467, May 2001.
- [19] N. Mohan, T. M. Undeland, R. J. Ferraro, “Sinusoidal Line Current Rectification with a 100kHz B-Sit Step-Up Converter”, IEEE Transactions on Power Electronics, 1984.
- [20] R. Keller, G. Baker, “Unity Power Factor Off Line Switching Power Supplies”, IEEE Transactions on Power Electronics, 1984.
- [21] I. Barbi, A. F. Souza, Curso Retificadores de Alta Potência, Florianópolis, Brasil, 1996.
- [22] D. C. Martins, I. Barbi, Conversores CC-CC Básicos Não Isolados, Edição dos Autores, 2ª Edição, Florianópolis, Brasil, 2006.
- [23] R. W. Erickson, D. Maksimović, Fundamentals of Power Electronics, Kluwer Academic Publishers, Second Edition, Colorado, USA, 2000.
- [24] M. K. Kazimierczuk, Pulse-width Modulated DC-DC Power Converters, John Wiley & Sons, Second Edition, Ohio, USA, 2008.
- [25] P. C. TODD, UC3854 Controlled Power Correction Circuit Design, UNITRODE, Application Note U-134, p. 9-362 - 9-381, 1994.
- [26] Câmara, R. A., “Pré-regulador com Derivação Central Baseado na Célula de Comutação de Três Estados para Aplicação em No-Breaks”, Universidade Federal do Ceará – UFC, 2008, 103p.
- [27] V. Vatché, “Simplified Analysis of PWM Converters Using Model of PWM Switch Part I: Continuous Conduction Mode”, IEEE Transactions on Aerospace and Electronic Systems, Vol. 26, No. 3, pp. 490-505, May 1990.
- [28] W. Tang, F. C. Lee, R. B. Ridley, “Small-Signal Modeling of Average Current-Mode Control”, IEEE Transactions on Power Electronics, Vol.8, No. 2, pp. 112-119, April 1993.
- [29] G. Ceglia, V. Grau, V. Guzmán, C. Sánchez, F. Ibáñez, J. Walter, M. I. Giménez, “A New Simplified Multilevel Inverter Topology for DC-AC Conversion”, IEEE Transactions on Power Electronics, Vol.21, No.5, September 2006.

- [30] A. Chen, L. Hu, X. He, "A Novel Cascaded Multilevel Inverter Topology", The 30th Annual Conference of the IEEE Industrial Electronics Society, November 2004.
- [31] K. Corzine, Y. Familant, "A New Cascaded Multilevel H-Bridge Drive", IEEE Transactions on Power Electronics, Vol.17, No.1, January 2002.
- [32] R. Kumar, R. A. Gupta, K. S. Pratap, "Implementation and Analysis of Five-Level Inverter With Space Vector PWM Algorithm", IEEE International Conference on Industrial Technology, ICIT, December 2006.
- [33] S. Daher, J. Schmid, F. L. M. Antunes, "Multilevel Inverter Topologies for Stand-Alone PV Systems", IEEE Transactions on Industrial Electronics, Vol.55, No.7, July 2008.
- [34] F. Kang, S. Park, S. E. Cho, C. Kim, T. Ise, "Multilevel PWM Inverters Suitable for the Use of Stand-Alone Photovoltaic Power Systems" IEEE Transactions Energy Conversion, Vol.20, No.4, December 2005.
- [35] International Rectifier, Quarterly Reliability Report for T0247 / T0220 Products Manufactured at IRGB IGBT / CoPack, October 1997.
- [36] ATMEL, Quality & Reliability Handbook, October 2004.
- [37] Renesas Technology, Semiconductor Reliability Handbook, November 2008.
- [38] P. Zacharias, Multilevel Inverter Topologies with Staircase Output Voltage, First Edition, Kassel, Germany, 2008.
- [39] Y. Sahali, M.K. Fellah, "Application of the Optimal Minimization of the Total Harmonic Distortion Technique to the Multilevel Symmetrical Inverters and Study of its Performance in Comparison with the Selective Harmonic Elimination Technique", International Symposium on Power Electronics, Electrical Drives, Automation and Motion SPEEDAM, pp. 39-45, 2006.
- [40] S. M. Ayod, C. H. Yee, N. D. Muhamad, A. Jusoh, "A New Hybrid Multilevel Inverter Topology with Harmonics Profile Improvement", International Conference on Power Electronics and Drives Systems, Vol. 2, pp.999-1002, 2005.
- [41] G. Ceglia, V. Grau, V. Guzman, C. Sánchez, F. Ibáñez, J. Walter, A. Millán, M. I. Gimenez, "A New Multilevel Inverter Topology", Proceedings of the Fifth IEEE International Caracas Conference on Devices, Circuits and Systems, Dominican Republic, Nov.3-5, pp. 212-218, 2004.
- [42] Bascopé, R. P. T., Perín, A. J., O Transistor IGBT Aplicado em Eletrônica de Potência, First Edition, Porto Alegre, Brasil, 1997.

APÊNDICE A
(Tabela da Corrente Normalizada N=5)

TABELA DA CORRENTE NORMALIZADA NOS ENROLAMENTOS DO TRANSFORMADOR MULTINÍVEL E INTERRUPTORES DO ESTÁGIO DE SAÍDA DO INVERSOR PARA N=5

A tabela é desenvolvida por [14] e leva em consideração que as correntes nos enrolamentos secundários do transformador são iguais nas respectivas chaves do estágio de saída do inversor. Utilizam-se as seguintes considerações:

Corrente eficaz na saída do inversor (I_{os_eficaz}) = 1

Valor de pico da relação de transformação do transformador multinível (R_{pk}) = 1

Sendo:

I_n - corrente através da n-ésima chave do estágio de saída.

Tabela A.1 Corrente Normalizada para N=5

p	I_p	I_1	I_2	I_3	I_4	I_5	I_6	I_7	I_8	I_9	I_{10}
7	0.877	0.806	0.592	0.891	0.455	0.972	0.236	0.000	1.000	0.000	1.000
8	0.875	0.602	0.798	0.653	0.757	0.719	0.695	0.668	0.744	0.000	1.000
9	0.874	0.792	0.610	0.493	0.870	0.550	0.835	0.820	0.573	0.000	1.000
10	0.873	0.616	0.788	0.749	0.662	0.450	0.893	0.883	0.470	0.000	1.000
11	0.872	0.784	0.621	0.856	0.517	0.380	0.925	0.918	0.397	0.000	1.000
12	0.871	0.625	0.780	0.669	0.743	0.688	0.725	0.939	0.343	0.000	1.000
13	0.870	0.777	0.629	0.536	0.844	0.811	0.585	0.954	0.301	0.000	1.000
14	0.870	0.633	0.774	0.739	0.674	0.867	0.498	0.964	0.267	0.000	1.000
15	0.869	0.772	0.636	0.836	0.549	0.900	0.435	0.971	0.239	0.000	1.000
16	0.869	0.638	0.770	0.677	0.736	0.730	0.683	0.797	0.603	0.563	0.826
17	0.869	0.768	0.641	0.560	0.828	0.608	0.794	0.671	0.741	0.715	0.699
18	0.869	0.643	0.766	0.734	0.679	0.530	0.848	0.590	0.808	0.787	0.616
19	0.868	0.765	0.645	0.822	0.570	0.473	0.881	0.528	0.849	0.833	0.553
20	0.868	0.647	0.762	0.682	0.732	0.683	0.730	0.478	0.878	0.865	0.502
21	0.868	0.761	0.649	0.577	0.817	0.785	0.620	0.437	0.900	0.888	0.459
22	0.868	0.650	0.760	0.730	0.683	0.835	0.550	0.402	0.916	0.906	0.423
23	0.868	0.759	0.651	0.812	0.584	0.868	0.497	0.372	0.928	0.920	0.392
24	0.868	0.653	0.758	0.685	0.729	0.730	0.683	0.616	0.788	0.931	0.364
25	0.868	0.757	0.654	0.589	0.808	0.630	0.777	0.729	0.685	0.940	0.340
26	0.867	0.655	0.756	0.728	0.686	0.565	0.825	0.787	0.616	0.948	0.319
27	0.867	0.755	0.656	0.804	0.594	0.516	0.857	0.826	0.564	0.954	0.300
28	0.867	0.657	0.754	0.687	0.727	0.684	0.730	0.854	0.521	0.959	0.282
29	0.867	0.753	0.658	0.599	0.801	0.771	0.637	0.875	0.485	0.964	0.267
30	0.867	0.658	0.753	0.726	0.688	0.817	0.577	0.891	0.453	0.968	0.253
31	0.867	0.751	0.660	0.798	0.602	0.848	0.530	0.905	0.426	0.971	0.240

APÊNDICE B
(Código Fonte em C do Controle do Inversor Multinível)

CÓDIGO FONTE EM C CONTROLE DO INVERSOR MULTINÍVEL

```

//=====
// PA0: Iin(Batt)    PB0: LCD RS      PC0: SWs M1/2    PD0: UART RX
// PA1: Vin(Batt)   PB1: LCD EN      PC1: SWs M3/4    PD1: UART TX
// PA2: Vout        PB2: LCD D4/TEC  PC2: SWs M5/6    PD2: Short-Det.
// PA3: NC          PB3: LCD D5/TEC  PC3: SWs M7/8    PD3: Hab.Drives
// PA4: Temperat.  PB4: LCD D6/TEC  PC4: SWs M9/10   PD4: SW 1 FB
// PA5: Itrafo      PB5: LCD D7       PC5: SWs M11/12  PD5: SW 2 FB
// PA6: ucaux(out) PB6: SWs M17/18  PC6: SWs M13/14  PD6: SW 3 FB
// PA7: ucaux(in)  PB7: SWs M19/20  PC7: SWs M15/16  PD7: SW 4 FB
//=====
// Controls:
// MODE: (Output voltage control flag. Used also for proposital disbalancement)
//       0 = MANUAL;
//       x = AUTOMATIC;
//
// FBAL: (Mode of banlancement. See also IBAL.)
//       0 = MANUAL;
//       1 = AUTOMATIC;
//3=PROPOSITAL DISBALANCEMENT (DECREASES POSITIVE SEMI-CYCLE)
//4=PROPOSITAL DISBALANCEMENT (DECREASES NEGATIVE SEMI-CYCLE)
//
// IBAL: (Only valid if FBAL=0. For others values, FBAL is fixed to 0 or is automatic)
//       0 = NO BANCEMENT
//       1 = BALANCEMENT IN POSITIVE SEMI-CYCLE ONLY
//       2 = BALANCEMENT IN POSITIVE SEMI-CYCLE ONLY
//       3 = BALANCEMENT IN BOTH SEMI-CYCLES
//       7 = All full bridge switches are opened during all dead times.
//
// CMUX: (Output stage control flag.)
//       0: All output swiches are always opened.
//       1: Output is always short-circuited.
//       2: Normal operation.
//
// Pdelay: Controls "zero time" of the full bridge.
//
// Shape: Controls number of levels of the output voltage. Also controls
//        output voltage value.
//        0 ==> 16 levels;  15 ==> 31 levels.
//
//=====
// ERROR MAP
//=====
// ERROR: 0x01 = Auxiliar Microcontroller ERROR
//        0x02 = Overcurrent (Hardware)
//        0x04 = I16 (1.2ms) Overcurrent
//        0x08 =

```

```

// 0x10 =
// 0x20 =
// 0x40 =
// 0x80 =
//
// ERRORM: 0x01 = RESET
// 0x02 = BAT LOW
// 0x04 = Undervoltage (Output)
// 0x08 = Overvoltage (Output)
// 0x10 = Over current (one cycle)
// 0x20 =
// 0x40 =
//=====
// EEPROM MAP
//=====
// 0 = Voltage Setpoint
// 2 = Grid (1 or 0)
// 3 = EMASK
// 4 = MODE (Manual/Auto)
//
// 10 = Voltage Gain (Calibration)
// 12 = Current Gain (Calibration)
// 14 = Current Offset (Calibration)
//
// 40 = Voltage Limiting (Protection)
// 42 = Current Limitation 1.2ms (Protection)
// 44 = Current Limitation 1 sec (Protection)
//=====
#define OFFibatINI 256
#define GAIN_IBAT_INI 99
#define GAIN_VOLT_INI 93
#define DEFAULT_MODE 1
#define Tdead 1
#define VBATMIN 360
#define VBATMAX 620
#define VOUT_MIN 150
#define VOUT_RATED 230
#define VOUT_MAX 253
#define LIMIT_I16_INI 3500
#define LIMIT_I16_MAX 5000
#define LIMIT_IMED_INI 1400
#define LIMIT_IMED_MAX 2500
#define FB_DELAY 0
#define MUX_INI 2
#define MUX_DEFAULT 0
#define Kp_INI 4
#define Ki_INI 7
#define PI_MIN 1
#define MAX_CORRECTION 233
#define LIMINST 30

```

```

#define CORINST      MAX_CORRECTION - 3
#define FACTOR_SI    4
#define MAX_SI       FACTOR_SI*MAX_CORRECTION
#define START_SPEED      7
#define Instant_MUXON    1025
#define Instant_CONTROL_ON Instant_MUXON + 2
#define MAX_START_COUNT  1200
#include <io8535.h>
#include <macros.h>
#define setbit(ADDRESS,BIT) (ADDRESS |= (1<<BIT))
#define clearbit(ADDRESS,BIT) (ADDRESS &= ~(1<<BIT))
#define checkbit(ADDRESS,BIT) (ADDRESS & (1<<BIT))
//=====
// Tabel
//=====
const unsigned char Shape15[]={ 2,4,5,6,6,7,8,8,9,10,10,11,12,12,13,14,
14,15,15,16,17,17,18,18,19,20,20,21,21,22,22,23,
23,24,24,25,25,25,26,26,27,27,27,28,28,28,28,29,
29,29,29,30,30,30,30,30,31,31,31,31,31,31,31,31
};

const unsigned char Shape14[]={ 2,4,5,5,6,7,7,8,9,9,10,11,11,12,13,13,
14,14,15,16,16,17,17,18,18,19,19,20,20,21,21,22,
22,23,23,24,24,25,25,25,26,26,26,27,27,27,28,28,
28,28,29,29,29,29,29,29,30,30,30,30,30,30,30,30
};

const unsigned char Shape13[]={ 2,4,5,5,6,6,7,8,8,9,10,10,11,12,12,13,
13,14,14,15,16,16,17,17,18,18,19,19,20,20,21,21,
22,22,23,23,23,24,24,24,25,25,25,26,26,26,27,27,
27,27,28,28,28,28,28,28,29,29,29,29,29,29,29,29
};

const unsigned char Shape12[]={ 2,4,4,5,6,6,7,7,8,9,9,10,11,11,12,12,
13,13,14,15,15,16,16,17,17,18,18,19,19,20,20,20,
21,21,22,22,23,23,23,24,24,24,25,25,25,25,26,26,
26,26,27,27,27,27,27,27,28,28,28,28,28,28,28,28
};

const unsigned char Shape11[]={ 2,4,4,5,5,6,7,7,8,8,9,10,10,11,11,12,
12,13,13,14,15,15,16,16,17,17,18,18,18,19,19,20,
20,21,21,21,22,22,22,23,23,23,24,24,24,25,25,25,
25,25,26,26,26,26,26,26,27,27,27,27,27,27,27,27
};

const unsigned char Shape10[]={ 2,3,4,5,5,6,6,7,8,8,9,9,10,10,11,11,
12,12,13,13,14,14,15,15,16,16,17,17,18,18,19,19,
19,20,20,21,21,21,22,22,22,23,23,23,23,24,24,24,
24,25,25,25,25,25,25,25,26,26,26,26,26,26,26,26
};

```

```
const unsigned char Shape09[]={ 2,3,4,4,5,6,6,7,7,8,8,9,9,10,10,11,
11,12,12,13,13,14,14,15,15,16,16,17,17,18,18,
19,19,19,20,20,20,21,21,21,22,22,22,22,23,23,23,
23,24,24,24,24,24,24,24,25,25,25,25,25,25,25,25
};
```

```
const unsigned char Shape08[]={ 2,3,4,4,5,5,6,6,7,7,8,9,9,10,10,11,
11,12,12,12,13,13,14,14,15,15,16,16,16,17,17,18,
18,18,19,19,19,20,20,20,21,21,21,21,22,22,22,22,
22,23,23,23,23,23,23,23,24,24,24,24,24,24,24,24
};
```

```
const unsigned char Shape07[]={ 2,3,4,4,5,5,6,6,7,7,8,8,9,9,10,10,
11,11,11,12,12,13,13,14,14,15,15,15,16,16,16,17,
17,18,18,18,19,19,19,19,20,20,20,20,21,21,21,21,
22,22,22,22,22,22,22,23,23,23,23,23,23,23,23,23
};
```

```
const unsigned char Shape06[]={ 2,3,3,4,4,5,5,6,6,7,7,8,8,9,9,10,
10,11,11,11,12,12,13,13,13,14,14,15,15,15,16,16,
16,17,17,17,18,18,18,19,19,19,19,20,20,20,20,20,
21,21,21,21,21,21,21,22,22,22,22,22,22,22,22,22
};
```

```
const unsigned char Shape05[]={ 2,3,3,4,4,5,5,6,6,7,7,7,8,8,9,9,
10,10,10,11,11,12,12,12,13,13,14,14,14,15,15,15,
16,16,16,17,17,17,17,18,18,18,18,19,19,19,19,19,
20,20,20,20,20,20,21,21,21,21,21,21,21,21,21
};
```

```
const unsigned char Shape04[]={ 2,3,3,4,4,4,5,5,6,6,7,7,8,8,8,9,
9,10,10,10,11,11,12,12,12,13,13,13,14,14,14,15,
15,15,16,16,16,16,17,17,17,17,18,18,18,18,18,19,
19,19,19,19,19,20,20,20,20,20,20,20,20,20,20
};
```

```
const unsigned char Shape03[]={ 2,3,3,3,4,4,5,5,6,6,6,7,7,8,8,8,
9,9,9,10,10,11,11,11,12,12,12,13,13,13,14,14,
14,14,15,15,15,16,16,16,16,16,17,17,17,17,17,18,
18,18,18,18,18,18,19,19,19,19,19,19,19,19,19
};
```

```
const unsigned char Shape02[]={ 2,2,3,3,4,4,4,5,5,6,6,6,7,7,8,8,
8,9,9,9,10,10,10,11,11,11,12,12,12,13,13,13,
13,14,14,14,14,15,15,15,15,16,16,16,16,16,16,17,
17,17,17,17,17,17,18,18,18,18,18,18,18,18,18,18
};
```

```

const unsigned char Shape01[]={ 2,2,3,3,3,3,4,4,5,5,5,6,6,6,7,7,7,
8,8,8,9,9,9,10,10,10,11,11,11,12,12,12,12,
13,13,13,13,14,14,14,14,15,15,15,15,15,15,16,16,
16,16,16,16,16,17,17,17,17,17,17,17,17,17,17,17,17
};

const unsigned char Shape00[]={ 2,2,3,3,3,3,4,4,4,5,5,5,6,6,6,7,7,
7,8,8,8,9,9,9,10,10,10,10,11,11,11,11,12,
12,12,12,13,13,13,13,13,14,14,14,14,14,15,15,15,
15,15,15,15,15,16,16,16,16,16,16,16,16,16,16,16
};

//=====
// Constants
//=====
// Global Variables
//=====
int i,j; // General Purpose Integers (main)

unsigned char c,d,dado;

unsigned char Pdelay=FB_DELAY; // Delay - Bridge
unsigned char Shape=0; // Waveform Selection (0 to 15)
unsigned char ONOFF=0; // ON/OFF flag: 0=OFF
unsigned int Cstart=MAX_START_COUNT; // Start-up counter
unsigned char Cpdown=0; // Power down counter
unsigned char CMUX=MUX_DEFAULT; // MUX Control
unsigned char MODE=DEFAULT_MODE; // Control Mode (Auto=1 or Manual=0)
unsigned char ERROR=0; // System Status (Errors)
unsigned char ERRORM=1; // System Status (Errors in Main)
// 1=RESET 2=BATLOW 4= 8=
// 10= 20= 40= 80=

unsigned char Menu=1; // Save last Menu
unsigned char Tctr=0; // Time flag - Control Program

unsigned int Ad_Ibat,Ad_Vbat; // AD Conversion Results
unsigned int Ad_Vout; // AD Conversion Results : Output voltage
unsigned int Vmed=0,Imed=0,Vbat; // Average values (module everage)
unsigned int Vout=0; // Real value of output voltage
unsigned int Iin=0; // Real value of input current
unsigned int IW=0; // Average Active Current

unsigned int Vset=VOUT_RATED; //CFG: Voltage Setpoint

unsigned int LI16=LIMIT_I16_INI; //CFG: Current Limitation (instantaneous)
unsigned int LIin=LIMIT_IMED_INI; //CFG: Current Limitation (Mean one Cycle)
unsigned int LVout=VOUT_MAX; //CFG: Volt. Lim.(safety) (steady state)

```

```

unsigned int Ioffset=OFFibatINI;           //CFG: Calibration Parameter
unsigned int Vgain=GAIN_VOLT_INI;         //CFG: Calibration Parameter
unsigned char cBatBad=0; // Counter to select number of out of range Bat. Volt.

unsigned char IBal=0;                      // Indicates Direction of Saturation Correction
unsigned char FBal=1;                      // Mode of Saturation Management

int Verro;                                // Used by Control Algorithm (Voltage Control)
int Plerro;                                // Disbalancement error
int SI=0;                                  // Integral Part of the controller
int Ki=Ki_INI;                             // Integral Gain
int Kp=Kp_INI;                             // Proportional Gain
unsigned char PI1=PI_MIN,PI2=PI_MIN; // Balancing Values (anti-saturation
//controller outputs)

unsigned char PI1a,PI2a;
int MAX_COR=MAX_CORRECTION; // Mac possible value for PI
//=====
// Variables for Interrupt Routine (TIMER2)
//=====
unsigned char INT_MODOMUX=MUX_DEFAULT; // MUX Control (Interrupt)
unsigned char Ic256=0;                 // Counter 0 to 255
unsigned char Ic64=0;                  // Counter 0 to 63 (64 steps)
unsigned char Ic64x=0;                 // Counter (0 to 63) or (63 to 0)
unsigned char Ic3=0;                   // Counter 0 to 3 (4 steps)
unsigned char Mux1=0,Mux2=0;           // Current MUX states
unsigned char Mux1a=0,Mux2a=0;         // Last MUX states
unsigned char Iaux;                    // Auxiliar for Interrupt
unsigned char IShape=0;                 // Waveform Selection (0 to 15)(Interrupt use)
unsigned char IPdelay=63;              // Delay - Bridge (Interrupt use)
unsigned char Level=0;                 // Current Output Level
unsigned char STOPC=100;               // Startup Counter (INT)
unsigned char Iucaux=0;                // Last ucaux State
unsigned char IFaux=0;                 // uaux Falt Detector

unsigned int II=0;                      // Instantaneous Current (Module)
unsigned int IVmed=0,IImed=0;          // Average values
unsigned int II16=0;                   // Instantaneous Current
unsigned char Ic16=0;                  // Counter 0 to 16
unsigned char Is1=0;                   // To Detect Saturation
unsigned char Is2=0;                   // To Detect Saturation

unsigned char cpuv;                    // Used by undervoltage protection
unsigned char CMUXINI=MUX_INI;
unsigned char TMR2tmp;
unsigned char Flag_Msat=1;
//-----
// Calculate Initial Shape based on Battery voltage and output voltage
//-----
//unsigned char Calc_Shape_Ini()
//{

```



```

    PORTB&=0x3F; // Turn off MUX SWs 19 and 20
}
//-----
// Real values calculus
Vout = ((Vmed>>7)*Vgain)/100;
Iin = ((Imed>>4)*5)/4; // Imed = 125 measurements (2^7)
Vbat = (Ad_Vbat*50)/(76); // 10.0V = 149
//-----
// Batterie Voltage Handling
if((Vbat<VBATMIN)|| (Vbat>VBATMAX)){
    cBatBad++;
    if(cBatBad>1)ERRORM|=0x02;
}
else cBatBad=0;

//-----
// Overvoltage error handling
if(Vout>270)ERRORM|=0x08; // Overvoltage error
//-----
// Overcurrent error handling
if(Iin > LIin)ERRORM|=0x10;
//-----
// Startup Handling and Error Handling(Stand-Alone Mode)
if(STOPC<3){
    if(Cstart<MAX_START_COUNT){
        Cstart+=START_SPEED;
        if(Cstart>=Instant_MUXON){ // turn on output
            CMUX=CMUXINI; // 0=OFF 1=short 2=normal
        }
        Pdelay = 64 - (Cstart>>4); // increases duty gradually
        if(Pdelay<FB_DELAY)Pdelay=FB_DELAY;
        if(Pdelay>64)Pdelay=FB_DELAY;
        cpuv=1;
    }
    else{
        // Undervoltage error handling
        if((Vout<VOUT_MIN)&&(CMUX==2)&&(MODE)&&(cpuv))ERRORM|=0x04;
    }
}
//-----
// Controller (Stand-Alone Mode)
if(MODE){
    if(Cstart<Instant_CONTROL_ON){ // if it is starting, see only battery
// Shape = Calc_Shape_Ini();
        Shape = 0;
    }
    else{ // After Startup - Feedback Control
        Verro = (int)Vout - (int)Vset;
        if(Verro<=-6)if(Shape<15)Shape++; // Torelance of 7V
        if(Verro>=6)if(Shape)Shape--; // Torelance of 7V
    }
}

```

```

        if(CMUX<2)Shape = 0;    // Output is forced to float or is short-circ.
    }
}

//-----
// Error Handling
    if(ERRORM)if(STOPC<3)ONOFF=0;
//-----
}          // Closes if(Tctr)
}          // Closes while(at--);
          // if(checkbit(USR,RXC))trata_serial();
}
//=====
// Libraries
//=====
#include "lcd.bli"
#include "keyboard.bli"
#include "eeprom.bli"
//=====

//-----
// MAIN
//-----
void main(void)
{
    CLI();          //disable all interrupts
//----- Configuracoes das Portas
    PORTA = 0x00;   // PORTA A:
    DDRA = 0x40;   // A/D e Uaux

    PORTB = 0x3F;  // PORTA B:
    DDRB = 0xFF;   // LCD, Teclado e 2 MOS

    PORTC = 0x00;  // PORTA C: MOS
    DDRC = 0xFF;

    PORTD = 0x0F;  // PORTA D:
    DDRD = 0xFA;   // Serial, Short Det., Hab. and FB SWs
//----- Configuracao do Timer 2
    TCCR2 = 0x00;  // stop
    ASSR = 0x00;   // set async mode
    TCNT2 = 0xBB;  // setup
    OCR2 = 104;    // 0x45 = 50us 0x8A = 100us 92 = 66.55us 108=78.125us
    TCCR2 = 0x0A;  // start (prescaler=8)
//----- Configuracao da Serial
    UCR = 0x00;    //disable while setting baud rate
    UBRR = 5;      //set baud rate 11.0592 143=4800 5=115200
    UCR = 0x18;    //enable
//----- Configuracao do AD
    ADCSR = 0xC3;  // CFG AD: Prescaler = 0x03
//----- Configuracao das Interrupcoes

```

```

MCUCR = 0x02;           // INT0 triggers on falling edge
GIMSK = 0x40;          // Enable external interrupt 0
TIMSK = 0x80;          // Habilita interrupcao do Timer 2
SEI();                  // re-enable interrupts

//=====
// LOAD USER CONFIGURATION (FROM EEPROM MEMORY)
//=====
// Vset = EErdInt(0);
// if(Vset>300)Vset=230;           // Voltage Setpoint

// MODE = EErdByte(4);
// if(MODE>250)MODE=1;           // Control MODE (1=AUTO 0=MANUAL)

// Vgain = EErdInt(10);
// if(Vgain>100)Vgain=93;
// Igain = EErdInt(12);
// if(Igain>100)Igain=82;

// Ioffset=EErdInt(14);
// if(Ioffset>500)Ioffset=OFFibatINI;

// LVout = EErdInt(40);
// if(LVout>270)LVout=270;

// LI16 = EErdInt(42);
// if(LI16>LIMIT_I16)LI16=LIMIT_I16;

//LI1s = EErdInt(44);if(LI1s>100)LI1s=1400;

//=====
// MAIN LOOP: HUMAN-MACHINE INTERFACE
//=====
while(1){
//----- Main Screen (STATUS) -----
mainscreen:
  configura_lcd();
  while(1){
    linha1();
    if(ONOFF==1)epal_lcd("ON ");else epal_lcd("-- ");
    mostra_hexabyte(ERROR);ed_lcd(' ');
    mostra_hexabyte(ERRORM);

    linha2();
    enum_lcd(Vbat,3,0,1);ed_lcd(' ');
    enum_lcd(In,4,0,1);ed_lcd(' ');
    enum_lcd(Vout,3,0,0);
    i = le_teclado(0);
    if(i==3){apaga_lcd();goto menscreen;}
    if(i==2){

```

```

        if(ONOFF)ONOFF=0;
        else{
            Pdelay=63;
            Shape=0;
            ONOFF=1;
        }
        delay(3000);
    }
}
//----- Menu Screen (Selection) -----
menuscreen:
    linha1(); // _____ // 16 Characters
    if(Menu==0)epal_lcd("MAIN");else
    if(Menu==1)epal_lcd("TEST");else
    if(Menu==2)epal_lcd("DEBG");else
// if(Menu==3)epal_lcd("CFG CALIBRATION");else
    if(Menu==3)epal_lcd("OPTI");
    else
        epal_lcd("PTEC");

    linha2();
    if(entra_byte_live(&Menu,2,0,4,1)==0)goto menuscreen;
    apaga_lcd();
    if(Menu==0)goto mainscreen;
    if(Menu==1)goto testscreen;
    if(Menu==2)goto debugscreen;
    if(Menu==3)goto cfgOptions;
// if(Menu==3)goto cfgProtections;
// else goto cfgCal;
goto menuscreen; // still in loop until ENTER is pressed
//----- Debug Screen -----
debugscreen:
    delay(10000);
debug1:
    linha1();
    mostra_hexabyte(Is1);ed_lcd('/'); // Saturation current (POSITIVE semi-cycle)
    mostra_hexabyte(Is2);ed_lcd(' '); // Saturation current (NEGATIVE semi-cycle)
    mostra_hexabyte(PI1); ed_lcd('/'); // Controller Variable
    mostra_hexabyte(PI2); // Controller Variable
// linha2();
// enum_lcd(Iin,4,0,1);ed_lcd(' '); // Input Current
// enum_lcd(debug,4,0,0);ed_lcd(' '); debug = 0; // I16 max.
// enum_lcd(Vbat,3,0,1); // Battery Voltage

    i = le_teclado(0);
    if(i==3)goto mainscreen;
goto debug1;

//----- Advanced Test Screen -----

```

```

testscreen:
  apaga_lcd();
  epal_lcd("D:");      entra_byte_live(&Pdelay,2,0,63,0); // Fixed Delay
  epal_lcd("S:");      entra_byte_live(&Shape,2,0,15,0); // Shape (only manual)
  epal_lcd("B:");      entra_byte_live(&FBal,1,0,5,0);    // Type of Balancement
                                     entra_byte_live(&Flag_Msat,1,0,1,0); //

Saturation Meas. Selection
  cpuv=0;                // disable under-voltage error
  epal_lcd("M:");entra_byte_live(&CMUX,1,0,2,0);
  CMUXINI=CMUX;
  cpuv=1;                // enable under-voltage error

  linha2();
  epal_lcd("B:");      entra_byte_live(&IBal,1,0,7,0);
  epal_lcd("P1:");     entra_byte_live(&PI1,3,1,250,0);
  epal_lcd("P2:");     entra_byte_live(&PI2,3,1,250,0);

goto mainscreen;
//----- Config Screen (OPTIONS) -----
cfgOptions:
  apaga_lcd();
  // epal_lcd("M:");
  entra_byte_live(&MODE,2,0,200,0);
  // epal_lcd("Ki:");
  read_int(&Ki,3,1,100,0,1);
  read_int(&Kp,3,1,100,0,1);

  // epal_lcd("MC:");read_int((int*)&MAX_COR,3,30,250,0,1);
  // apaga_lcd(); epal_lcd("S:"); read_int((int*)&Vset,3,195,265,0,1);
  // EEwrInt(0,Vset);
  // EEwrByte(4,MODE);
goto mainscreen;

//----- Config Screen (Calibration) -----
//cfgCal:
// linha1(); epal_lcd("Vgain:");read_int((int*)&Vgain,3,1,100,0,1);
// linha1(); epal_lcd("Igain:");read_int((int*)&Igain,3,1,120,0,1);
// linha1(); epal_lcd("Ioffset:");read_int((int*)&Ioffset,3,200,300,0,1);
// EEwrInt(10,Vgain);
// EEwrInt(12,Igain);
// EEwrInt(14,Ioffset);
//goto mainscreen;

//----- Config Screen (Protections) -----
cfgProtections:
/* apaga_lcd();
  epal_lcd("I16:");
  read_int((int*)&LI16,4,10,LIMIT_I16_MAX,0,25);
  linha2();
  epal_lcd("In:");

```

```

read_int((int*)&LIin,4,5,LIMIT_IMED_MAX,1,10);
*/
//apaga_lcd(); epal_lcd("LI1s:"); read_int((int*)&LI1s,4,5,1500,1);
//apaga_lcd(); epal_lcd("LVout:"); read_int((int*)&LVout,3,5,1500,0,3);

//EEwrInt(40,LVout);
//EEwrInt(42,LI16);
//EEwrInt(44,LI1s);

goto mainscreen;

//=====
// END MAIN LOOP: HUMAN-MACHINE INTERFACE
//=====
} // Closes while(1)
} // Closes main

//-----
// Protection
//-----

//-----
// INTERRUPT: INT0 (external - falling edge)
//-----

#pragma interrupt_handler int0_isr:2

void int0_isr(void)
{
    setbit(PORTD,3);          // Turn Drives OFF

    PORTD&=0x0F;            // Turn off all Full-Bridge MOS

    ONOFF=0;                // Turn off Control
    ERROR|=0x02;            // Report error

    setbit(GIFR,INTF0);     // clear interrupt flag
}

//-----
// INTERRUPTCAO: TIMER2
//-----
#pragma interrupt_handler timer2_comp_isr:4
void timer2_comp_isr(void)
{
    static int tempo=0;
}

//-----
// FB Switching
if(STOPC==0){

```

```

if(Ic64x==IPdelay){
    if(Flag_Msat) ADMUX = 0x05; // Select channel: Trafo Current
    else ADMUX = 0x00; // Select channel: Input Current
    Ad_Ibat=3;while(Ad_Ibat--); // Sample Time
    ADCSR |= 0x40; //Start conversion
    while(!(ADCSR & BIT(ADIF))); //Check if conversion is ready
    Ad_Ibat=(ADCL>>1); //Read 8 low bits first (important)
    Ad_Ibat|=(int)ADCH << 7; //Read 2 high bits and shift into top byte
    if(Ad_Ibat>=Ioffset)II=Ad_Ibat-Ioffset;
    else II=Ioffset-Ad_Ibat;
}

if(Ic3==0){ // Beginn of Positiv cycle

if(FBal==3){Iaux=MODE;while(Iaux--);}
//(3 ==> 5 us) Proposital Disbalancement (debug)

        clearbit(PORTD,5); Iaux=Tdead;while(Iaux--); // Sw2=OFF
        setbit(PORTD,4); // Sw1=ON
        clearbit(PORTD,6); Iaux=Tdead;while(Iaux--); // Sw3=OFF
        setbit(PORTD,7); // Sw4=ON
    }

if(Ic3==2){ // Beginn of Negativ cycle

asm("nop");asm("nop");// Fine balancement (compensates software assymetry)

if(FBal==4){Iaux=MODE;while(Iaux--); // (3 ==> 5 us) Proposital Disbalancement
(debug)
        clearbit(PORTD,7); Iaux=Tdead;while(Iaux--); // Sw4=OFF
        setbit(PORTD,6); // Sw3=ON
        clearbit(PORTD,4); Iaux=Tdead;while(Iaux--); // Sw1=OFF
        setbit(PORTD,5); // Sw2=ON
    }

if(Ic3==1){ // End of Positiv cycle
    if(IBal){
        TMR2tmp=TCNT2;
        if(II>LIMINST){PI1a=CORINST; PI2a=PI_MIN; }
        else{ PI1a=PI1; PI2a=PI2;}
        Iaux=PI2a; // Balancing time
        while(Iaux--){
            asm("nop");asm("nop");asm("nop"); // Increase balancing time
            asm("nop");asm("nop");asm("nop"); // Increase balancing time
        }
        clearbit(PORTD,4); // Sw1=OFF
        clearbit(PORTD,7); // Sw4=OFF
        if(IBal==7)goto allbal;
        Iaux=PI1a; // Balancing time
        while(Iaux--){
            asm("nop");asm("nop");asm("nop"); // Increase balancing time
        }
    }
}

```

```

        asm("nop");asm("nop");asm("nop"); // Increase balancing time
    }
    setbit(PORTD,5); // Sw2=ON
    setbit(PORTD,7); // Sw4=ON
    Iaux=(MAX_COR - PI1a - PI2a); // To make total time fixed
    while(Iaux--){
        asm("nop");asm("nop");asm("nop"); // Increase balancing time
        asm("nop");asm("nop");asm("nop"); // Increase balancing time
    }

    TCNT2=TMR2tmp;
}
else{
    TMR2tmp=TCNT2;
    clearbit(PORTD,4); Iaux=Tdead;while(Iaux--); // Sw1=OFF
    setbit(PORTD,5); // Sw2=ON
    Iaux=MAX_COR; // Balancing time
    while(Iaux--){
        asm("nop");asm("nop");asm("nop"); // Increase balancing time
        asm("nop");asm("nop");asm("nop"); // Increase balancing time
    }
    TCNT2=TMR2tmp;
}
Is1=II;
}
if(Ic3==3){ // End of Negativ cycle
    if(IBal){
        TMR2tmp=TCNT2;
        if(II>LIMINST){PI2a=CORINST; PI1a=PI_MIN;}
        else{ PI1a=PI1; PI2a=PI2;}
        Iaux=PI1a; // Balancing time
        while(Iaux--){
            asm("nop");asm("nop");asm("nop"); // Increase balancing time
            asm("nop");asm("nop");asm("nop"); // Increase balancing time
        }
        clearbit(PORTD,6); // Sw3=OFF
        clearbit(PORTD,5); // Sw2=OFF
        if(IBal==7)goto allbal;
        Iaux=PI2a; // Balancing time

        while(Iaux--){
            asm("nop");asm("nop");asm("nop"); // Increase balancing time
            asm("nop");asm("nop");asm("nop"); // Increase balancing time
        }
    }
    setbit(PORTD,5); // Sw2=ON
    setbit(PORTD,7); // Sw4=ON
    Iaux=(MAX_COR - PI2a - PI1a); // To make total time fixed
    while(Iaux--){
        asm("nop");asm("nop");asm("nop"); // Increase balancing time
        asm("nop");asm("nop");asm("nop"); // Increase balancing time
    }
}

```

```

    }
    TCNT2=TMR2tmp;
}
else{
    TMR2tmp=TCNT2;
    clearbit(PORTD,6); Iaux=Tdead;while(Iaux--); // Sw3=OFF
    setbit(PORTD,7); // Sw4=ON
    Iaux=MAX_COR; // Balancing time
    while(Iaux--){
        asm("nop");asm("nop");asm("nop"); // Increase balancing time
        asm("nop");asm("nop");asm("nop"); // Increase balancing time
    }
    TCNT2=TMR2tmp;
}
Is2=II;
}
} // closes if(Ic64x...
} // closes if(STOPC==0)
allbal:
//-----
// Ucaux Protocol
setbit(PORTA,6); // Output Pulse to uaux

Iaux=PINA&0x80;
if(Iaux==Iucaux)IFaux++;
else IFaux=0;
Iucaux=Iaux;
if(IFaux>2)ERROR|=0x01;
//-----
// Error Processing
if(STOPC==25){ // RESET (0,5 sec. before start)
    ERROR=0;
    ERRORM=0;
    Cstart=0;
    CMUX=MUX_DEFAULT; // MUX DEFAULT STATE
    Mux1a=0;
    Mux2a=0;
}
if(STOPC<3)if(ERROR)ONOFF=0; // Stop System
if(STOPC==1){
    clearbit(PORTD,3); // Turn Drives ON
    SI = 0; // Inialize controller integral
    Is1 = 0; // Inialize measurement
    Is2 = 0; // Inialize measurement
}
if(ONOFF==0){ // If system is OFF
    STOPC=200; // Start-up Time = 4 seconds
    setbit(PORTD,3); // Turn Drives OFF
    PORTD&=0x0F; // Turn off all Full-Bridge MOS
}
}

```

```

else{
    Cpdown=0;
}
//-----
// INT.TIMER2: WaveShape Selection (table look up - SAA)
if(IShape&0x08)
if(IShape&0x04)
if(IShape&0x02)
if(IShape&0x01)Level=Shape15[Ic64x];
    else    Level=Shape14[Ic64x];
    else
if(IShape&0x01)Level=Shape13[Ic64x];
    else    Level=Shape12[Ic64x];
else
if(IShape&0x02)
if(IShape&0x01)Level=Shape11[Ic64x];
    else    Level=Shape10[Ic64x];
    else
if(IShape&0x01)Level=Shape09[Ic64x];
    else    Level=Shape08[Ic64x];
else
if(IShape&0x04)
if(IShape&0x02)
if(IShape&0x01)Level=Shape07[Ic64x];
    else    Level=Shape06[Ic64x];
    else
if(IShape&0x01)Level=Shape05[Ic64x];
    else    Level=Shape04[Ic64x];
else
if(IShape&0x02)
if(IShape&0x01)Level=Shape03[Ic64x];
    else    Level=Shape02[Ic64x];
    else
if(IShape&0x01)Level=Shape01[Ic64x];
    else    Level=Shape00[Ic64x];
//-----
// Control Signals Generation (Based on Desired Level)
Mux1=0x00;
Mux2=0x00;
if(Level&0x01)Mux1=Mux1|0x01; else Mux1=Mux1|0x02;
if(Level&0x02)Mux1=Mux1|0x04; else Mux1=Mux1|0x08;
if(Level&0x04)Mux1=Mux1|0x10; else Mux1=Mux1|0x20;
if(Level&0x08)Mux1=Mux1|0x40; else Mux1=Mux1|0x80;
if(Level&0x10)Mux2=Mux2|0x40; else Mux2=Mux2|0x80;
//-----
// Switching MUX
if(STOPC==0){ // MUX Switching
    if(INT_MODOMUX==0){ // All off
        PORTC = 0x00;
    }
}

```

```

        PORTB&= 0x3F;
    }

    if(INT_MODOMUX==1){          // Output = 0v (short-circuit)
Mux1=0xAA ; Mux2=0x80;          // Output = 0V (short-circuit)
        Iaux = (Mux2&Mux2a)|0x3F;
        PORTC = (Mux1&Mux1a); PORTB&=Iaux;
        asm("nop");asm("nop");asm("nop");asm("nop");
        asm("nop");asm("nop");asm("nop");
        PORTC = Mux1;    PORTB|=Mux2;
        Mux1a = Mux1;
        Mux2a = Mux2;
    }

    if(INT_MODOMUX==2){          // Normal Operation
        if(Ic64x>(IPdelay+1)){ // normal (until time one step before delay)
            Iaux = (Mux2&Mux2a)|0x3F;
            PORTC = (Mux1&Mux1a); PORTB&=Iaux;
            asm("nop");asm("nop");asm("nop");asm("nop");
            asm("nop");asm("nop");asm("nop");
            PORTC = Mux1;    PORTB|=Mux2;
            Mux1a = Mux1;
            Mux2a = Mux2;
        }
    }

    else{
        Mux1=0xAA ; Mux2=0x80;          // Output = 0V (short-circuit)
        Iaux = (Mux2&Mux2a)|0x3F;
        PORTC = (Mux1&Mux1a); PORTB&=Iaux;
        asm("nop");asm("nop");asm("nop");asm("nop");
        asm("nop");asm("nop");asm("nop");
        PORTC = Mux1;    PORTB|=Mux2;
        Mux1a = Mux1;
        Mux2a = Mux2;
    }
}
// Closes else if(Ic64x
}
// Closes if(STOPC==0)
//-----
// Counters Processing
Ic64++;
Ic256++;
if(Ic64>63){
    Ic64=0;
    Ic3++;
    if(Ic3==3){ // Begin of last quarter (negativ maximum)
        Vmed=IVmed; Imed=IImed;
        IVmed=0; IImed=0;
        Tctr=1; // Enable Control Routine
        if(STOPC)STOPC--; // each 1/50
    } // closes IC3==3
}

```

```

        if(Ic3>3){
            Ic3=0;
            Ic256=0;
        }
    } // closes IC4 > 63
    if(Ic3&0x01)Ic64x = 63 - Ic64;
    else    Ic64x = Ic64;
//-----
// INT.TIMER2: Waveform Parameters update
if(Ic3==0)if(Ic64==0){
    IPdelay    = Pdelay;
    IShape    = Shape;
    INT_MODOMUX = CMUX;
}

//-----
// INT.TIMER2: UCaux treatment
if(STOPC<150)clearbit(PORTA,6); // Ucaux Feedback

//-----
// Read A/D Converter and Measurements

if(Ic256==125){
    ADMUX = 0x01; //Select channel: Battery voltage
    Ad_Vbat=3;while(Ad_Vbat--); // Sample Time
    ADCSR |= 0x40; //Start conversion
    while(!(ADCSR & BIT(ADIF))); //Check if conversion is ready
    Ad_Vbat=ADCL; //Read 8 low bits first (important)
    Ad_Vbat|=(int)ADCH << 8; //Read 2 high bits and shift into top byte
}
// else
// if(Ic256==129){
//     ADMUX = 0x04; //Select channel: Temperature
//     Ad_Temp=3;while(Ad_Temp--); // Sample Time
//     ADCSR |= 0x40; //Start conversion
//     while(!(ADCSR & BIT(ADIF))); //Check if conversion is ready
//     Ad_Temp=ADCL; //Read 8 low bits first (important)
//     Ad_Temp|=(int)ADCH << 8; //Read 2 high bits and shift into top byte
// }
else
if(Ic256&0x01){ // Read Voltage at ODD instants
    ADMUX = 0x02; //Select channel: Output voltage
    Ad_Vout=3;while(Ad_Vout--); // Sample Time
    ADCSR |= 0x40; //Start conversion
    while(!(ADCSR & BIT(ADIF))); //Check if conversion is ready
    Ad_Vout=(ADCL>>1); //Read 8 low bits first (important)
    Ad_Vout|=(int)ADCH << 7; //Read 2 high bits and shift into top byte
    IVmed = IVmed + Ad_Vout; // Mean (1 cycle)
    II16+=II; // Current Measurement: 0 to 511
}

```

```

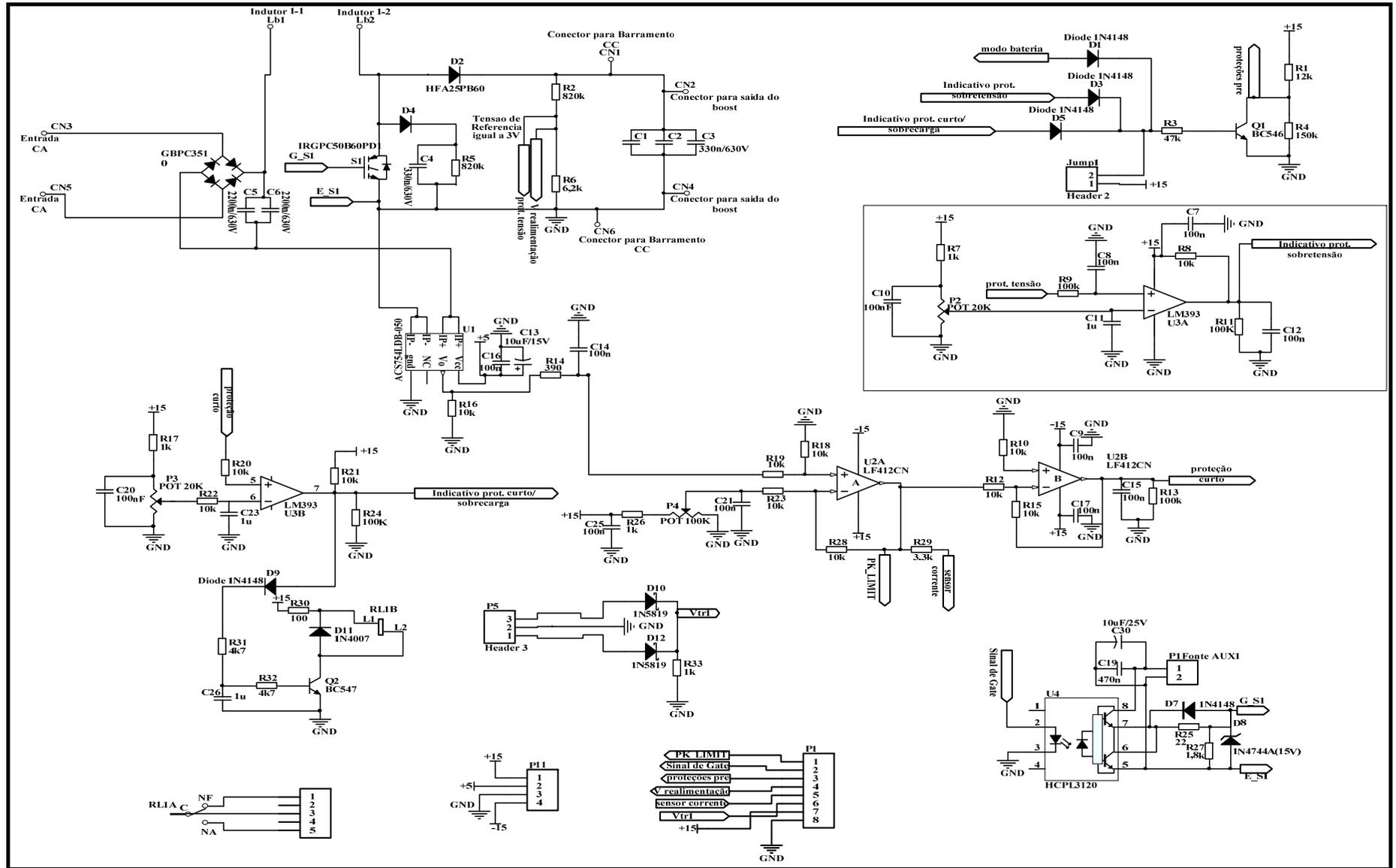
Ic16++;
if(Ic16>15) {
    Ic16=0;I16=0;
}
}
else{ // Read Current at EVEN instants
    ADMUX = 0x00; // Select channel: Input Current
    Ad_Ibat=3;while(Ad_Ibat--); // Sample Time
    ADCSR |= 0x40; //Start conversion
    while(!(ADCSR & BIT(ADIF))); //Check if conversion is ready
    Ad_Ibat=(ADCL>>1); //Read 8 low bits first (important)
    Ad_Ibat|=(int)ADCH << 7; //Read 2 high bits and shift into top byte
    if(Ad_Ibat>=Ioffset){II=Ad_Ibat-Ioffset;}
    else {II=Ioffset-Ad_Ibat;}
    IImed=IImed+II; // Mean of Module(1 cycle)
}
//-----
// Protections

if(II16>LI16)ERROR|=0x04; // Current Protection (1.2ms Average)
if(ERROR)if(STOPC<3){
    ONOFF=0; // Not really necessary(will be done next),but...
    STOPC=200; // Not really necessary(will be done next),but...
    setbit(PORTD,3); // Turn Drives OFF (only Full-bridge)
    PORTD&=0x0F; // Turn off all Full-Bridge MOS
}
//-----
} // close void timer2_comp_isr(void)

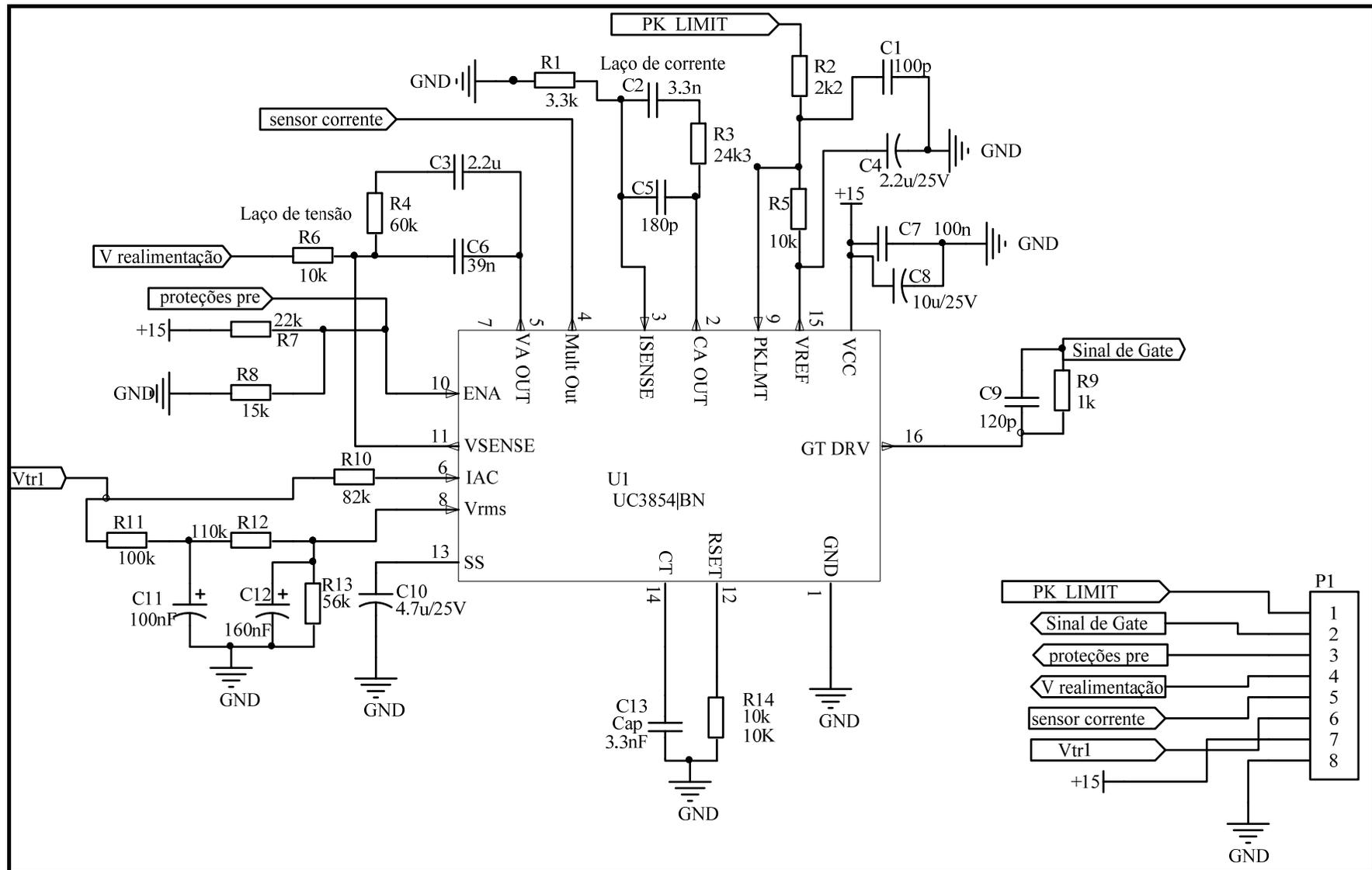
```

APÊNDICE C
(Diagrama Esquemático)

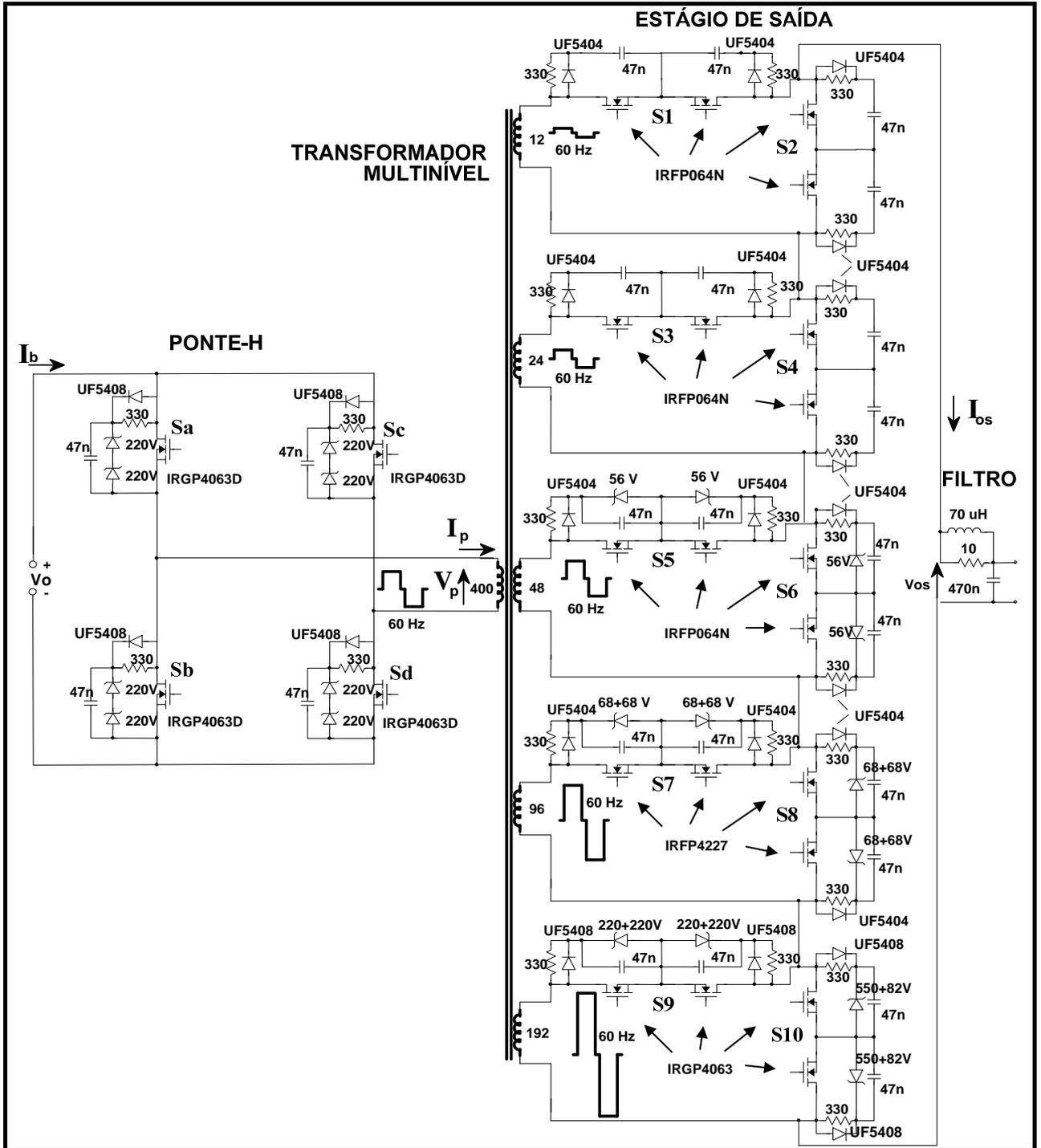
CIRCUITO DE POTÊNCIA DO RETIFICADOR COM PFC



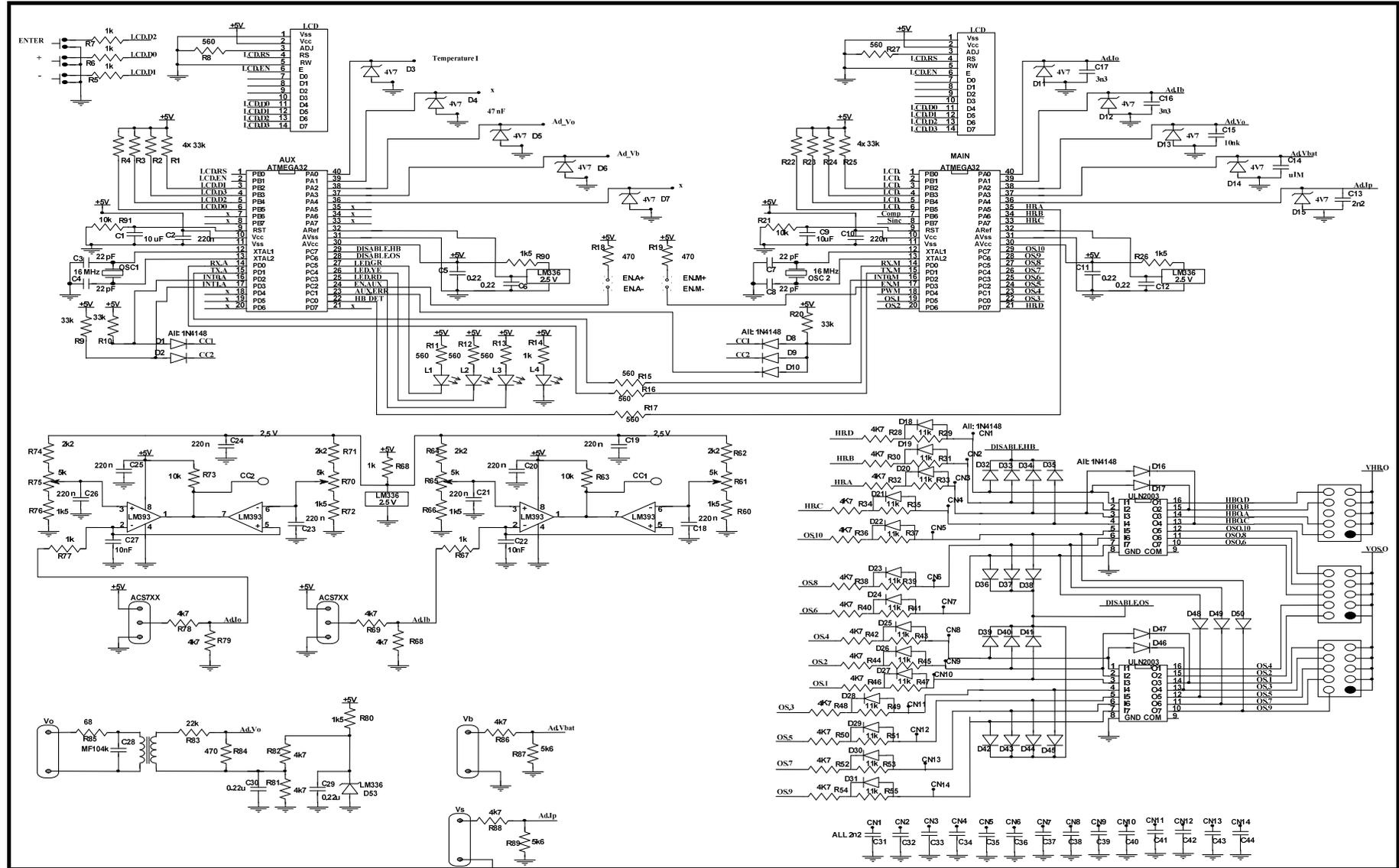
CIRCUITO DE COMANDO DO RETIFICADOR COM PFC



CIRCUITO DE POTÊNCIA DO INVERSOR MULTINÍVEL



CIRCUITO DE COMANDO DO INVERSOR MULTINÍVEL



UNIDADE DE DRIVER

