

CONVERSOR HÍBRIDO DE CINCO NÍVEIS BASEADO NAS TOPOLOGIAS HALF-BRIDGE/ANPC

Ranoyca N. A. L. Silva¹, Luiz H. S. C. Barreto¹, Paulo P. Praça¹, Demercil. S. Oliveira Jr.¹,
Marcelo L. Heldwein² e Samir A. Mussa²

¹Departamento de Engenharia Elétrica, Universidade Federal do Ceará,
Fortaleza – CE, 60455-760, e-mail: lbarreto@dee.ufc.br

²Instituto de Eletrônica de Potência, Universidade Federal de Santa Catarina
Florianópolis – SC, 88040-970, e-mail: heldwein@inep.ufsc.br

Resumo - Este artigo apresenta a análise de uma nova topologia de conversor multinível híbrido bidirecional de cinco níveis, concebido a partir das estruturas meia ponte e inversor com grampeamento ativo do neutro (ANPC - *Active Neutral Point Clamped*), adequado para aplicações com alta tensão e alta potência. São apresentados os possíveis estados de comutação para uma configuração de cinco níveis. A partir destes estados, diversas técnicas de modulação podem ser aplicadas, visando melhorias de rendimento, redução do número de comutações ou melhoria da Distorção Harmônica Total DHT e da Distorção Harmônica Total Ponderada WTHD (do inglês *Weighted Total Harmonic Distortion*). A estratégia de modulação selecionada possibilita a operação concomitante de metade dos interruptores em baixa frequência (60 Hz) e a outra em alta frequência (1020 Hz) reduzindo as perdas por comutação e o conteúdo harmônico da tensão de saída. Para validar a proposta, foi desenvolvido um protótipo com potência de 2,3 kW, tensão de saída 220 V eficaz e fator de potência 0,92. O protótipo apresentou DHT de 30,45% e WTHD de 1,72%.

Palavras-Chave – ANPC, Conversor Multinível Híbrido, DHT, Inversor de Meia-Ponte.

HYBRID FIVE-LEVEL INVERTER BASED ON HALF-BRIDGE/ANPC TOPOLOGIES

Abstract – This paper presents the analysis of a novel hybrid five-level bidirectional converter topology based on Half-Bridge and ANPC (*Active Neutral Point Clamped*) topologies, designed for high power, high voltage applications. The available switching states for a five-level application are presented, which are used to propose several modulation techniques, aiming to increase the efficiency by reducing the number of switching transitions per period, and to reduce the THD and WTHD. Thus, it was selected a modulation technique that allowed half of the switches to operate at low switching frequency (60 Hz), while the other half commutate in high switching frequency, at 1020 Hz, which reduces the losses and the output voltage harmonic

content. In order to validate the proposed topology, experimental results from a prototype connected to a 2.3 kW load are presented, with 220 V rms output voltage and 0.92 power factor. The prototype presents a THD around 30.45% and a WTHD of 1.72%.

Keywords - ANPC, Half-Bridge Inverter, Hybrid Multilevel Converter, THD.

I. INTRODUÇÃO

Ao longo dos últimos anos, diversas topologias de conversores multiníveis, assim como diferentes estratégias de modulação, vêm sendo largamente utilizadas devido à sua capacidade de redução de harmônicos na tensão de saída e diminuição dos esforços de tensão sobre os semicondutores, especialmente em aplicações de média e alta potência, como compensadores de potência reativa e acionamento de motores CA [1].

Na literatura, três topologias são amplamente conhecidas: o inversor com ponto neutro grampeado a diodos (*Neutral Point Clamped* – NPC) [2], [3], o inversor com capacitor flutuante (*Flying Capacitor* – FC) [4] e o inversor ponte-H em cascata (*Cascaded H-Bridge* – CHB) [5]. Diversas topologias foram propostas a partir destas três. Dentre essas, um inversor NPC com um capacitor flutuante adicionado à topologia, assim possuindo as vantagens inerentes à redução de flutuações de tensão no ponto neutro e o balanceamento das tensões nos interruptores e tendo como desvantagem o acréscimo de componentes, tornando o circuito mais complexo [6]. A estrutura com grampeamento ativo do neutro ANPC (*Active Neutral Point Clamped*) foi desenvolvida visando melhorar a principal desvantagem da estrutura NPC, que é a distribuição assimétrica das perdas nos semicondutores [7], [8]. Em outras topologias de três níveis, como a 3L-SC (*3L-Stacked Cells*), foram investigadas a distribuição de perdas nos semicondutores, chegando-se a conclusão de que esta é desigual e que aumenta com a redução do índice de modulação, elevando a temperatura da junção nos dispositivos de potência, limitando a frequência de comutação e a potência de saída do conversor. Para superar esta desvantagem, foi desenvolvida a topologia de três níveis 3L-SNPC (*Three-level Stacked NPC*) que é baseada na combinação dos conceitos dos conversores SC e NPC e assegura uma circulação balanceada de corrente, através de seis interruptores bidirecionais e dois diodos de grampeamento [9]. A estrutura 3L-ASNPC (*Active Stacked*

Artigo submetido em 26/03/2012. Primeira revisão em 09/05/2012, segunda revisão em 26/06/2012. Aceito para publicação em 30/06/2012 por recomendação do editor Henrique A.C. Braga.

NPC), possui como principal vantagem a redução da frequência de comutação média em todos os dispositivos de potência. Ao mesmo tempo a frequência de comutação aparente da tensão de saída é dobrada. Este inversor apresenta princípio de operação e características derivadas da topologia 3L-SNPC, com dois novos dispositivos ativos conectados em anti-paralelo com os diodos de grampeamento [10] e [11].

Dentre as estruturas de inversores multiníveis de cinco níveis híbridas pode-se citar a monofásica assimétrica, isto é, alimentada por valores de fontes de tensão diferentes, concebida a partir da junção entre as topologias meia ponte e NPC [1] e outra simétrica, alimentada por iguais valores de fontes de tensão, composta por oito interruptores [12]. Em ambas foram realizados estudos sobre modulações apropriadas. Outro estudo propõe um inversor multinível híbrido composto de um inversor trifásico clássico associado em série a células de inversores monofásicos meia-ponte [13]. Produzir cinco níveis de tensão a partir de apenas cinco interruptores é a vantagem de uma estrutura Half-Bridge com a adição de um interruptor bidirecional [14]. Minimizar os esforços de tensão sobre os interruptores e diminuir a distorção harmônica da tensão de saída são as vantagens de uma estrutura baseada na célula de três níveis [15].

Sabendo que o aumento do número de níveis de tensão leva a uma aproximação entre a forma de onda da tensão de saída e a senoide fundamental, este trabalho propõe uma nova topologia de conversor multinível de cinco níveis, baseada nas estruturas Half-Bridge e ANPC.

Desta forma, o inversor proposto pode ser classificado como pertencente ao grupo dos inversores multiníveis híbridos. Os inversores multiníveis baseados no Half-Bridge simétrico, apresentam o número de níveis de tensão de saída dado por $2N+1$, no qual N é o número de fontes CC. Esta topologia, utilizando-se da estratégia de modulação aqui proposta, permite a comutação em baixa frequência da metade de seus interruptores (frequência da moduladora), contribuindo para a redução das perdas de comutação. Dentre as vantagens da topologia, pode-se citar: alimentação por barramento único, se houver controle das tensões parciais do barramento pelo conversor ou por duas fontes não isoladas, porém com regulação individual, o que possibilita a redução de emissões eletromagnéticas em alta frequência e todos os potenciais problemas de compatibilidade eletromagnética associados; a redução do número de semicondutores simultaneamente conduzindo a corrente, o que auxilia na redução das perdas de comutação; a possibilidade de emprego de semicondutores com baixas perdas de condução nas posições dos interruptores que comutam em baixa frequência; e, uma grande flexibilidade para a implementação de técnicas de modulação de alto desempenho. A topologia proposta pode ser empregada tanto em aplicações de alta potência como em aplicações como retificadores bidirecionais onde se foque na redução de componentes passivos.

Para validar a estrutura do inversor, foi aplicada uma técnica de modulação derivada da PD-PWM [1]. Os resultados apresentados comprovam os estudos teóricos da topologia e pode-se observar a redução do conteúdo harmônico na tensão saída.

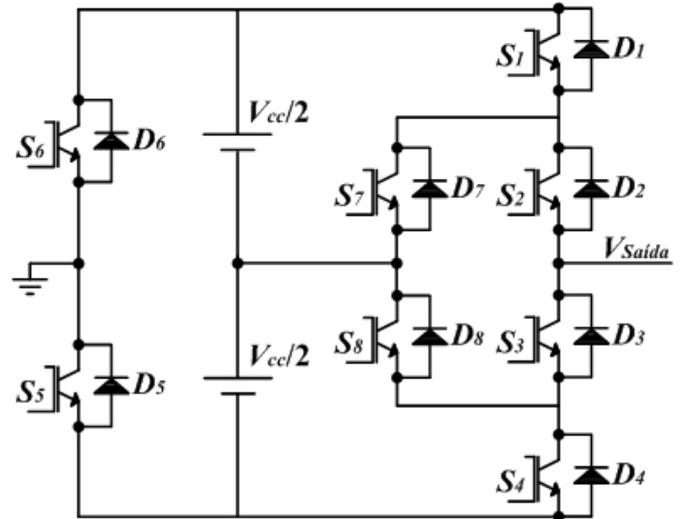


Fig. 1. Topologia de inversor multinível proposta.

II. INVERSOR MULTINÍVEL HÍBRIDO DE CINCO NÍVEIS BASEADO NAS TOPOLOGIAS HALF-BRIDGE/ANPC

A topologia de conversor multinível proposta é apresentada na Figura 1, podem ser destacadas algumas restrições no comando: os semicondutores S_5 e S_6 operam em baixa frequência e não podem ser comandados a conduzir nem bloqueados ao mesmo tempo, S_2 e S_3 não podem ser comandados a bloquear no mesmo instante, por fim S_4 não pode ser comandado a conduzir simultaneamente com S_8 , o mesmo vale para S_1 e S_7 .

Assim, utilizando-se uma modulação adequada, é possível se obter cinco níveis de tensão na saída deste inversor, conforme é apresentado na Tabela I. Nota-se que existem oito possibilidades para se impor o nível 0 de tensão, quatro estados geram o nível de tensão V_{cc} , quatro para $-V_{cc}$, nove possibilidades geram o nível $V_{cc}/2$, assim como outras nove geram o nível $-V_{cc}/2$.

III. TÉCNICA DE MODULAÇÃO UTILIZADA E LÓGICA DE ACIONAMENTO

A literatura científica faz alusão a uma série de técnicas de modulação, algumas mais complexas e outras mais simples. Destarte, a escolha entre uma em detrimento de outra, ocorrerá em função dos objetivos a serem alcançados bem como a complexidade de implementação da modulação almejada.

Desta forma, para validar a estrutura de inversor multinível proposta, foi adotada uma técnica de modulação derivada da PD-PWM [1], composta por duas portadoras dispostas em fase e um sinal modulante constituído de uma cossenoide modificada, conforme mostra a Figura 2.

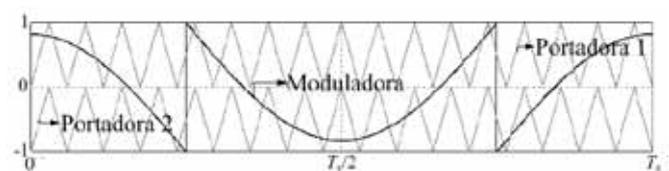


Fig. 2. Modulação PD-PWM [1] modificada.

TABELA I
Estados Possíveis

S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	$V_{Saída}$
0	0	1	0	0	1	0	1	$-V_{cc}/2$
0	0	1	0	0	1	1	1	$-V_{cc}/2$
0	0	1	0	1	0	0	1	$V_{cc}/2$
0	0	1	0	1	0	1	1	$V_{cc}/2$
0	0	1	1	0	1	0	0	$-V_{cc}$
0	0	1	1	0	1	1	0	$-V_{cc}$
0	0	1	1	1	0	0	0	0
0	0	1	1	1	0	1	0	0
0	1	0	0	0	1	1	0	$-V_{cc}/2$
0	1	0	0	0	1	1	1	$-V_{cc}/2$
0	1	0	0	1	0	1	0	$V_{cc}/2$
0	1	0	0	1	0	1	1	$V_{cc}/2$
0	1	0	1	0	1	1	0	$-V_{cc}/2$
0	1	0	1	1	0	1	0	$V_{cc}/2$
0	1	1	0	0	1	0	1	$-V_{cc}/2$
0	1	1	0	0	1	0	1	$-V_{cc}/2$
0	1	1	0	0	1	1	1	$-V_{cc}/2$
0	1	1	0	1	0	0	1	$V_{cc}/2$
0	1	1	0	1	0	1	0	$V_{cc}/2$
0	1	1	0	1	0	1	1	$V_{cc}/2$
0	1	1	1	0	1	0	0	$-V_{cc}$
0	1	1	1	0	1	0	0	0
1	0	1	0	0	1	0	1	$-V_{cc}/2$
1	0	1	0	1	0	0	1	$V_{cc}/2$
1	0	1	1	0	1	0	0	$-V_{cc}$
1	0	1	1	1	0	0	0	0
1	1	0	0	0	1	0	0	0
1	1	0	0	0	1	0	1	0
1	1	0	0	1	0	0	0	V_{cc}
1	1	0	0	1	0	0	1	V_{cc}
1	1	0	1	0	1	0	0	0
1	1	0	1	1	0	0	0	V_{cc}
1	1	1	0	0	1	0	0	0
1	1	1	0	0	1	0	0	V_{cc}

A fim de produzir cinco níveis na tensão de saída, a lógica de acionamento dos interruptores usada no semi-ciclo positivo é descrita da seguinte forma:

1) S_5 sempre conduzindo, logo S_6 sempre bloqueado.

2) Para tensões de saída entre o nível $V_{cc}/2$ e o nível V_{cc} : mantém-se o interruptor S_2 conduzindo; aciona-se S_1 para obter V_{cc} ; aciona-se S_7 para obter o nível $V_{cc}/2$; mantendo todos os outros interruptores bloqueados.

3) Para tensões de saída entre o nível 0 e $V_{cc}/2$: mantém-se o interruptor S_3 conduzindo; aciona-se S_8 para obter $V_{cc}/2$; aciona-se S_4 para obter 0; e mantém todos os outros interruptores bloqueados.

Para o semi-ciclo negativo faz-se o complemento destes estados. Desta forma os interruptores S_5 e S_6 operam em baixa frequência, assim como, S_2 e S_3 , os demais na frequência da portadora.

A sequência de comutação e a forma de onda da tensão de saída são apresentadas na Figura 3. Observa-se que a lógica escolhida resulta em tensão de saída com cinco níveis.

IV. CÉLULA UNITÁRIA

A análise da tensão de saída do conversor operando como inversor é realizada através da utilização da célula unitária que, por sua vez, determina as funções de duas variáveis (função de modulação e portadora) e os limites para a utilização da integral dupla de Fourier, de tal forma que se

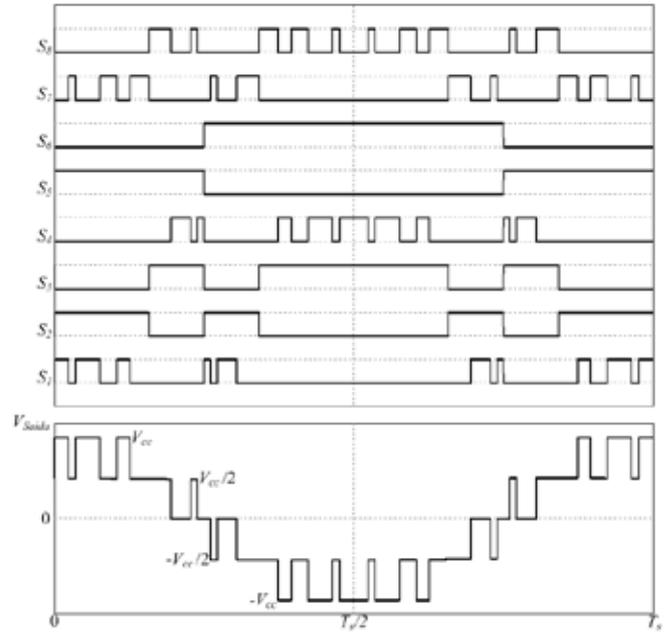


Fig. 3. Forma de onda dos pulsos de acionamento e forma de onda da tensão de saída.

possa avaliar analiticamente o desempenho harmônico do conversor. Para a obtenção da célula unitária é necessário que sejam determinadas as equações que descrevem os sinais das portadoras, assim como as equações que descrevem o sinal da moduladora. Estas equações são apresentadas de (1) a (4) para as portadoras, (5) e (6) para a moduladora.

$$P_1 = A_p \cdot \frac{\omega_p}{\pi} \cdot t \quad (1)$$

$$P_2 = -A_p \cdot \frac{\omega_p}{\pi} \cdot t + 2A_p \quad (2)$$

$$P_3 = A_p \cdot \frac{\omega_p}{\pi} \cdot t - A_p \quad (3)$$

$$P_4 = -A_p \cdot \frac{\omega_p}{\pi} \cdot t + A_p \quad (4)$$

$$M_1 = A_m \cdot \cos(\omega_m \cdot t) - 1 \quad (5)$$

$$M_2 = A_m \cdot \cos(\omega_m \cdot t) + 1 \quad (6)$$

Nas quais:

P_1 - semi-ciclo com derivada positiva da portadora 1;

P_2 - semi-ciclo com derivada negativa da portadora 1;

P_3 - semi-ciclo com derivada positiva da portadora 2;

P_4 - semi-ciclo com derivada negativa da portadora 2;

M_1 - semi-ciclo côncavo para baixo da moduladora;

M_2 - semi-ciclo côncavo para cima da moduladora;

A_p - amplitude da portadora;

A_m - amplitude da moduladora;

ω_p - frequência angular da portadora;

ω_m - frequência angular da moduladora.

Para a construção da célula unitária é necessário obter a função de cruzamento entre as expressões que representam o sinal de referência com as que representam as portadoras.

Adotando:

$$\omega_m \cdot t + \theta_m = y \quad (7)$$

$$\omega_p \cdot t + \theta_p = x \quad (8)$$

Nas quais:

$$\omega_m - 2\pi f_m$$

$$\omega_p - 2\pi f_p$$

θ_m - ângulo de fase ou o deslocamento da fase, que mede o quanto a curva da moduladora está deslocada horizontalmente para a direita;

θ_p - ângulo de fase ou o deslocamento da fase, que mede o quanto a curva da portadora está deslocada horizontalmente para a direita.

Os interruptores são comandados a conduzir quando a moduladora se torna maior que a portadora. Assim, podem ser obtidos os limites nos eixos “x” e “y”. Estas expressões são apresentadas na Tabela II, para simplificação foi considerado $\theta_m=0$ e $\theta_p=0$.

É possível esboçar a célula unitária [16], Figura 4 (a), a partir das equações descritas anteriormente, na qual os limites de integração para o eixo “y”, são representados por “ y_a ”, “ y_b ” e “ y_c ”. Observa-se uma simetria em relação aos eixos x e y.

V. ANÁLISE DA TENSÃO DE SAÍDA

A análise da tensão de saída para o inversor Half-Bridge/ANPC empregando a modulação adotada, consiste em expressar a tensão de saída de fase como função da fundamental, da portadora, de suas componentes harmônicas, e a função $f(t)$ decomposta através da série de Fourier [16]. Assim, a tensão de fase do inversor pode ser expressa por (9):

$$f(t) = \frac{A_{00}}{2} + \sum_{n=1}^{\infty} [A_{0n} \cdot \cos(n \cdot y) + B_{0n} \cdot \text{sen}(n \cdot y)] + \sum_{m=1}^{\infty} [A_{m0} \cdot \cos(m \cdot x) + B_{m0} \cdot \text{sen}(m \cdot x)] + \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} [A_{mn} \cdot \cos(m \cdot x + n \cdot y) + B_{mn} \cdot \text{sen}(m \cdot x + n \cdot y)] \quad (9)$$

A_{0n} , B_{0n} , A_{m0} e B_{m0} expressam as amplitudes das funções cosseno e seno respectivamente da série de Fourier. As variáveis “ f_p ” e “ f_m ” são, respectivamente, a frequência da portadora e a frequência fundamental do sinal modulante do inversor, enquanto as variáveis “n” e “m” representam os índices das harmônicas da frequência fundamental e da frequência de comutação, respectivamente. Os termos A_{mn} e B_{mn} expressam a amplitude de cada componente harmônica. As componentes harmônicas são obtidas através da integral dupla de Fourier, equação (10).

$$\overline{C_{mm,i}} = A_{mn} + j \cdot B_{mn} = \frac{1}{2\pi^2} \cdot \int_{-\pi}^{\pi} \int_{-\pi}^{\pi} f(x,y) \cdot e^{j(m \cdot x + n \cdot y)} dx dy \quad (10)$$

Na qual $f(x,y)$ é o nível de tensão na saída sintetizada pelo inversor. Analisando a célula unitária e a expressão 10 pode-se determinar as equações para o cálculo das componentes harmônicas da tensão de saída de fase. Os limites de integração mencionados levam a trinta e duas integrais. Essas integrais são resolvidas para encontrar a amplitude de cada componente harmônica. Assim, a Equação (10) é reescrita conforme apresentado na equação (11).

$$\overline{C_{mm,i}} = \frac{V_{cc}}{2\pi^2} \cdot \int_{a_i}^{b_i} \int_{c_i}^{d_i} f_i(x,y) \cdot e^{j(m \cdot x + n \cdot y)} dx dy \quad (11)$$

Na qual a_i ; b_i ; c_i ; d_i são os limites de integração. apresentados na Tabela III para valores positivos dos eixo x e y, conforme detalhado na Figura 4 (b).

TABELA II
Limites dos eixos x e y

Eixo x	Eixo y
$x_1 < \frac{\pi}{A_p} \cdot [A_m \cdot \cos(y) - 1]$	$y_1 > a \cos \left[\frac{1}{A_m} \cdot \left(\frac{1}{\pi} \cdot A_p \cdot x + 1 \right) \right]$
$x_2 > \frac{\pi}{A_p} \cdot [-A_m \cdot \cos(y) + 2A_p + 1]$	$y_2 > a \cos \left[\frac{1}{A_m} \cdot \left(-\frac{1}{\pi} \cdot A_p \cdot x + 2A_p + 1 \right) \right]$
$x_3 < \frac{\pi}{A_p} \cdot [A_m \cdot \cos(y) + A_p - 1]$	$y_3 > a \cos \left[\frac{1}{A_m} \cdot \left(\frac{1}{\pi} \cdot A_p \cdot x - A_p + 1 \right) \right]$
$x_4 > \frac{\pi}{A_p} \cdot [-A_m \cdot \cos(y) + A_p + 1]$	$y_4 > a \cos \left[\frac{1}{A_m} \cdot \left(-\frac{1}{\pi} \cdot A_p \cdot x + A_p + 1 \right) \right]$
$x_5 < \frac{\pi}{A_p} \cdot [A_m \cdot \cos(y) + 1]$	$y_5 > a \cos \left[\frac{1}{A_m} \cdot \left(\frac{1}{\pi} \cdot A_p \cdot x - 1 \right) \right]$
$x_6 > \frac{\pi}{A_p} \cdot [-A_m \cdot \cos(y) + 2A_p - 1]$	$y_6 > a \cos \left[\frac{1}{A_m} \cdot \left(-\frac{1}{\pi} \cdot A_p \cdot x + 2A_p - 1 \right) \right]$
$x_7 < \frac{\pi}{A_p} \cdot [A_m \cdot \cos(y) + A_p + 1]$	$y_7 > a \cos \left[\frac{1}{A_m} \cdot \left(\frac{1}{\pi} \cdot A_p \cdot x - A_p - 1 \right) \right]$
$x_8 > \frac{\pi}{A_p} \cdot [-A_m \cdot \cos(y) + A_p - 1]$	$y_8 > a \cos \left[\frac{1}{A_m} \cdot \left(-\frac{1}{\pi} \cdot A_p \cdot x + A_p - 1 \right) \right]$

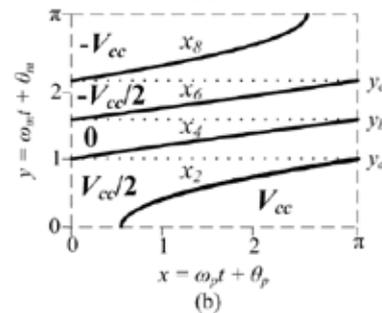
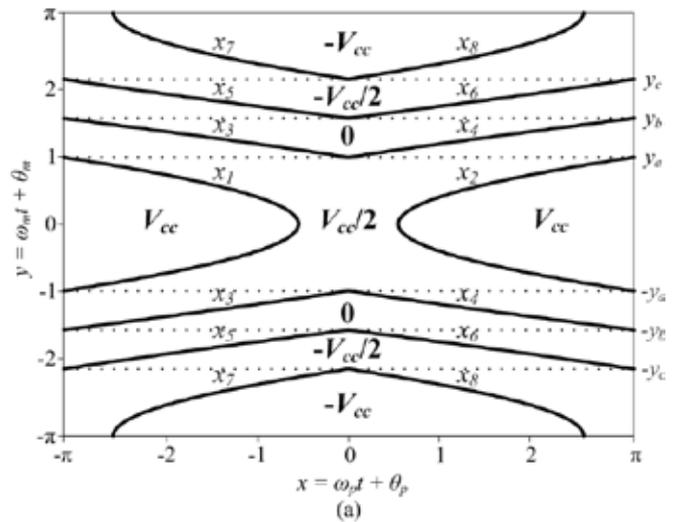


Fig. 4. (a) Célula unitária para cinco níveis da tensão de saída. (b) Eixo x e y positivos da célula unitária.

TABLE III
Limites de integração

i \ Limites	1	2	3	4	5	6	7	8
a_i	0	0	y_a	y_a	y_b	y_b	y_c	y_c
b_i	y_a	y_a	y_b	y_b	y_c	y_c	π	π
c_i	0	x_2	0	x_4	0	x_6	0	x_8
d_i	x_2	π	x_4	π	x_6	π	x_8	π
$f_i(x,y)$	1/2	1	0	1/2	-1/2	0	-1	-1/2

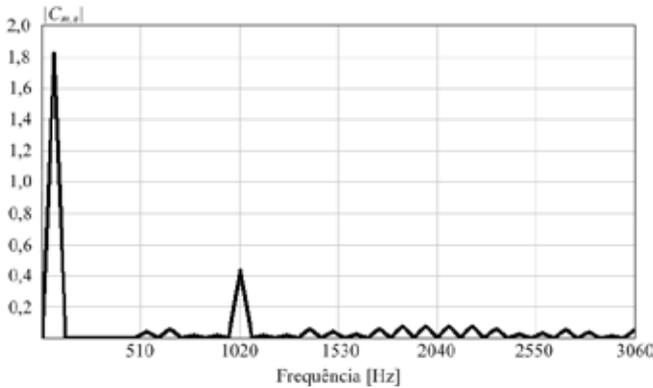


Fig. 5. Componentes harmônicas calculadas.

Existem mais limites, para os outros quadrantes. Todas as trinta e duas integrais são resolvidas para encontrar a amplitude de cada componente harmônica.

O resultado teórico esta apresentado na Figura 5, na qual são mostradas as primeiras cinquenta e uma harmônicas da tensão de saída, com o índice de modulação equivalente a 0,9. Este resultado foi obtido adotando os mesmos parâmetros que serão empregados na prática e apresentados na Tabela IV.

VI. RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS

Para coleta dos resultados experimentais foi desenvolvido um protótipo com os parâmetros apresentados na Tabela IV.

TABELA IV
Parâmetros do Inversor Half-Bridge/ANPC

Tensão de Barramento	340 V
Tensão eficaz de saída	220 V
Frequência de comutação	1020 Hz
Frequência da tensão de saída	60 Hz
Fator de Potência	0,92
Potência de saída	2,3 kW
Módulos para (S_1, S_4, S_7, S_8)	SKM75GB063D
Módulos para (S_2, S_3, S_5, S_6)	SKM145GB066D

A técnica de modulação proposta foi implementada em um dispositivo FPGA (*Field Programmable Gate Array*) Altera da família Cyclone IV, modelo EP4CE22F17C6N. Pode-se observar na Figura 6 a moduladora, um sinal

cosenoidal modificado com frequência de 60 Hz e índice de modulação equivalente a 0,9, as portadoras triangulares dispostas em fase com frequência de 1020 Hz e amplitude de 1 V, conforme desejado para se obter 5 níveis na saída do inversor [1]. Na Figura 7 são apresentados os pulsos de comando para todos os semicondutores; e na Figura 8, podem-se observar as tensões sobre os semicondutores S_1, S_4, S_7 , e S_8 , enquanto na Figura 9, as formas de onda das tensões sobre os semicondutores S_2, S_3, S_5 e S_6 . Nota-se nas Figuras 7, 8 e 9 que os semicondutores S_2, S_3, S_5 e S_6 operam em baixa frequência, enquanto os demais em alta frequência, além de não apresentarem picos de tensão. As tensões sobre S_5 e S_6 apresentam o mesmo nível que a tensão de barramento. Nos demais interruptores, apenas metade desta tensão.

A Figura 10 apresenta a tensão de saída com os cinco níveis $V_{cc}, V_{cc}/2, 0, -V_{cc}/2, -V_{cc}$ e a corrente de saída senoidal deslocada em relação a tensão em aproximadamente 23° , comprovando o correto funcionamento do conversor proposto.

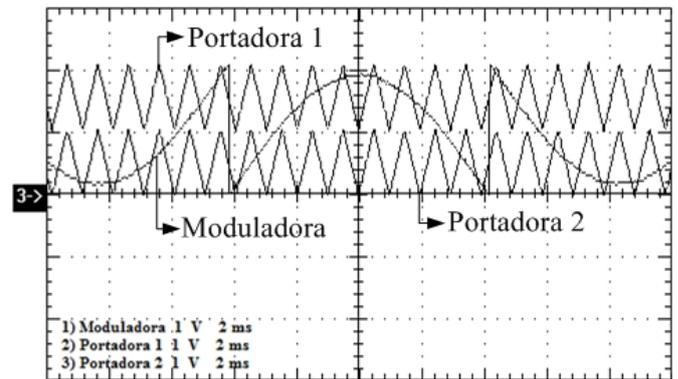


Fig. 6. Moduladora e portadoras gerada pelo FPGA. Os sinais digitais processados no FPGA foram convertidos de maneira apropriada.

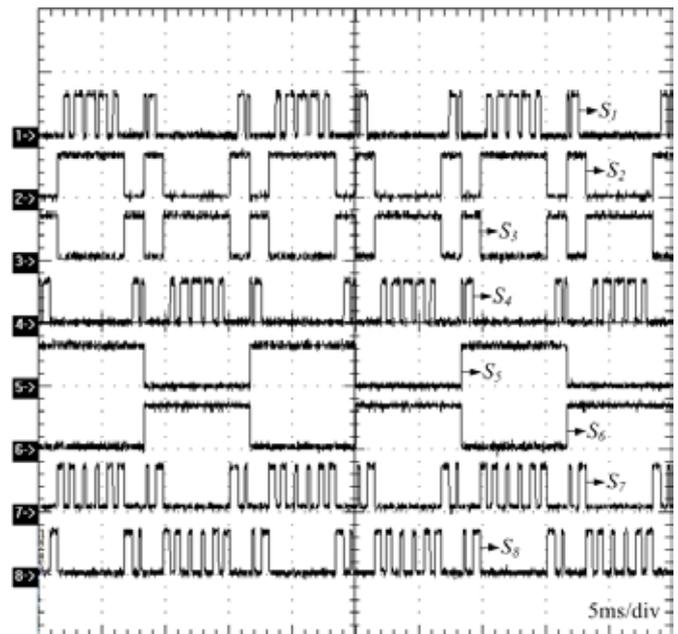


Fig. 7. Sinal de gatilho para todos os interruptores do inversor proposto.

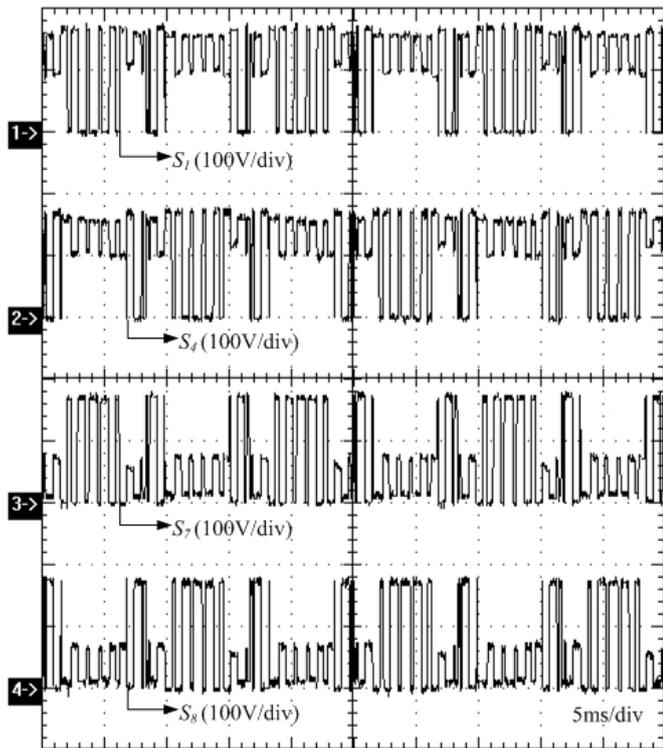


Fig. 8. Formas de onda de tensão sobre os interruptores S_1 , S_4 , S_7 e S_8 .



Fig. 9. Tensão sobre os interruptores S_2 , S_3 , S_5 e S_6 .

A Figura 11 apresenta o espectro harmônico da tensão de saída. Observa-se que o resultado experimental confirma o estudo teórico. O cálculo da Distorsão Harmônica Total

DHT (do inglês *Total Harmonic Distortion*) e da Distorsão Harmônica Total Ponderada WTHD (do inglês *Weighted Total Harmonic Distortion*) a partir dos resultados experimentais, foi realizado utilizando as equações (12) e (13), considerando cinquenta e uma harmônicas [17].

$$DHT = \frac{100}{a_1} \sqrt{\sum_{h=2}^{N_h} a_h^2} \quad (12)$$

$$WTHD(h) = \frac{100}{a_1} \sqrt{\sum_{h=2}^{N_h} \left(\frac{a_h}{h}\right)^2} \quad (13)$$

Nas quais a_1 é a amplitude da tensão fundamental, a_h é a amplitude da componente harmônica de ordem h e N_h é o número de harmônicas a ser considerado. Observa-se o baixo conteúdo de distorsão harmônica, DHT de 30,45% e WTHD de 1,72% da tensão de saída. Estes resultados evidenciam a redução do conteúdo harmônico, quando comparado com outras estruturas que operam com o mesmo valor de índice de modulação e mais níveis de tensão na saída [13].

A Figura 12 apresenta o gráfico comparativo, entre a topologia proposta (colunas a esquerda) e a topologia Half-Bridge/NPC [1] (colunas a direita), da análise de perdas de condução e comutação em cada interruptor e seu diodo intrínseco. Para tal foi utilizado o *software* PSIM e os conversores com os mesmos parâmetros de carga, tensão de barramento, índice de modulação e frequência de chaveamento. As perdas totais por condução, na topologia proposta, são aproximadamente 22,7 W nos interruptores e 6,9 W nos diodos intrínsecos, enquanto as de comutação são 1,9 W nos interruptores e 0,8 W nos diodos. Já a topologia Half-Bridge/NPC apresenta perdas totais por condução de 29,4 W nos interruptores e 6,8 W nos diodos intrínsecos, as perdas de condução são 2,9 W nos interruptores e 1,1 W nos diodos. Analisando o gráfico, observa-se a diferença, de perdas por condução nos interruptores S_2 e S_3 , entre as topologias, isso acontece devido a estes interruptores operarem em baixa frequência na topologia proposta. Na topologia Half-Bridge/NPC os interruptores S_7 e S_8 são substituídos por diodos. Além disso, observa-se uma variação média nas perdas totais de 21% entre os interruptores da topologia proposta, portanto mais equilibradas que as na topologia Half-Bridge/NPC.

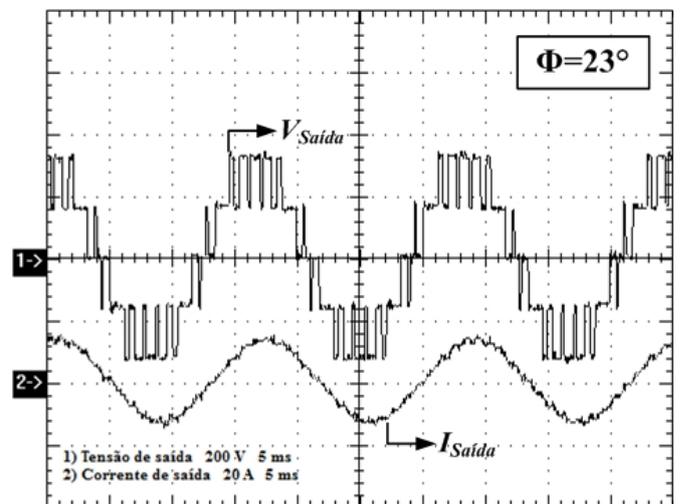


Fig. 10. Tensão e corrente de saída.

Observa-se na Figura 13 que o rendimento para a Topologia Proposta é superior comparado ao da Topologia Half-Bridge/NPC conforme esperado em função das perdas na estrutura Half-Bridge/NPC serem maiores e mal distribuídas.

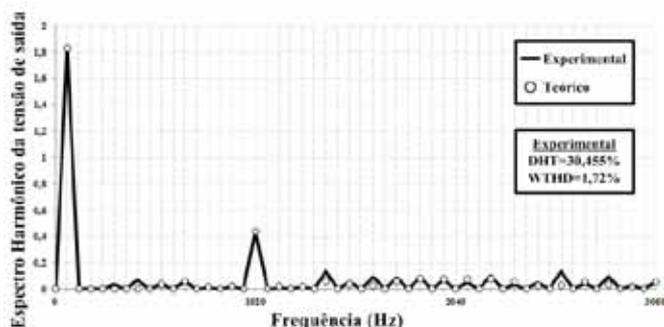


Fig. 11. Espectro harmônico da tensão de saída.

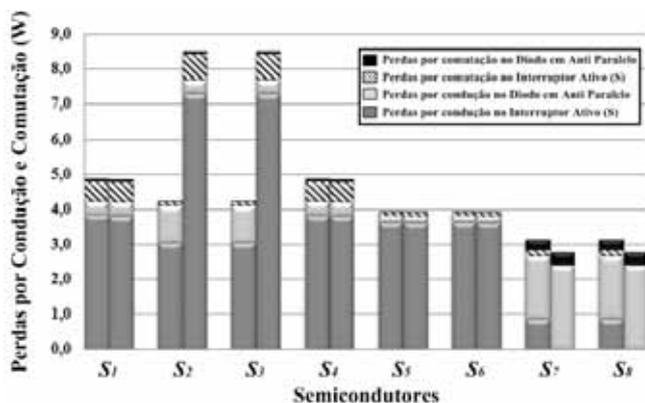


Fig. 12. Gráfico comparativo da análise de perdas de condução e comutação em cada interruptor e seu diodo intrínseco. Colunas à esquerda Topologia Proposta e colunas à direita Topologia Half-Bridge/NPC [1].

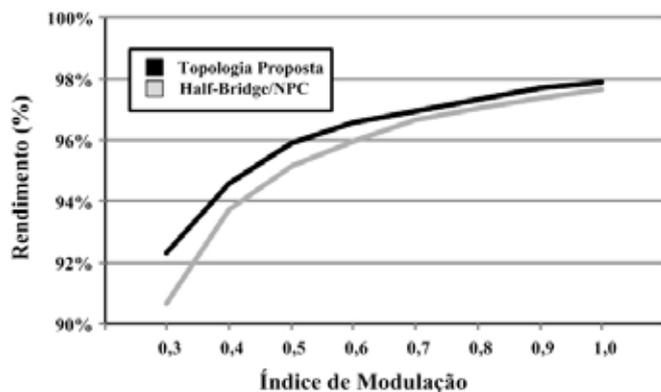


Fig. 13. Gráfico comparativo de rendimento entre a Topologia Proposta e a Topologia Half-Bridge/NPC [1].

VII. CONCLUSÃO

Este trabalho apresentou uma topologia de conversor multinível híbrido de cinco níveis concebida a partir das topologias Half-Bridge e ANPC de três níveis. A partir dos estados de comutação realizáveis apresentados, diversas técnicas de modulação podem ser aplicadas, dependendo do objetivo. A técnica de modulação apresentada, juntamente com a lógica de acionamento, proporciona o funcionamento

do inversor com 5 níveis na tensão de saída; baixas perdas por comutação, por apresentar metade dos interruptores operando em alta frequência enquanto que a outra metade em baixa frequência; bem como baixo conteúdo harmônico na tensão de saída, se comparado a outras estruturas de cinco níveis. Os resultados experimentais da estrutura monofásica de um protótipo de 2,3 kW foram apresentados, validando a operação da topologia e a metodologia de análise propostas.

As principais vantagens desta topologia são: baixo DHT e perdas reduzidas, devido à baixa frequência de operação presente em alguns interruptores. Como desvantagem, para uma configuração trifásica, pode-se citar o alto número de fontes isoladas necessário para alimentar o circuito.

AGRADECIMENTOS

Este projeto foi financiado pelo CNPq (554598/2010-8) e CAPES (PROCAD 2007 CAPES/UFC/UFSC).

REFERÊNCIAS

- [1] Ding Kai; Zou Yun-ping; Cai Zheng-ying; Wu Zhi-chao; Liu Fei; Xu Xiang-lian; , "A novel single-phase 5-level asymmetric inverter", *The 4th International Power Electronics and Motion Control Conference*, 2004. IPERC 2004. , vol.2, pp.793-798, 14-16 Aug. 2004.
- [2] R. H. BAKER, Switching Circuit, U. S. Patent nº 4 210 826, to Exxon Research & Engineering Co., 1980.
- [3] A. Nabae, I. Takahashi, H. Akagi, "A New Neutral-Point-Clamped PWM Inverter", *IEEE Transactions on Industry Applications*, vol. IA-17, no. 5, pp. 518-523, September - October. 1981.
- [4] T. A. Meynard, H. Foch, "Multilevel conversion: High voltage chopper and voltage source inverters", in *23rd Annual IEEE Power Electronics Specialist Conference-PESC*, 1992, pp.397-403, vol. 1, June-July
- [5] R. H. BAKER, H. LAWRENCE, Electric Power Converter, U. S. Patent nº 3 867 643, 1975.
- [6] Bum-Seok Suh; Dong-Seok Hyun; , "A new n-level high voltage inversion system", *IEEE Transactions on Industrial Electronics*, vol.44, no.1, pp.107-115, February 1997
- [7] T. Brückner, S. Bernet, "Loss balancing in three-level voltage source inverters applying active NPC switches", in *32rd Annual.IEEE Power Electronics Specialist Conference-PESC*, vol. 2,pp. 1135-1140, 2001.
- [8] T. Brückner, S. Bernet, H. Güldner, "The active NPC converter and its loss-balancing control", *IEEE Transactions on Industrial Electronics*, vol. 52, no. 3, pp. 855- 868, June. 2005.
- [9] D. Florica, G. Gateau, M. Dumitrescu, R. Teodorescu, "A new stacked NPC converter: 3L-topology and control," *2007 European Conference on Power Electronics and Applications*, pp.1-10, 2-5 September 2007.
- [10] D. Florica, G. Gateau, A. Leredde, "New Active Stacked NPC Multilevel Converter: Operation and Features", *IEEE Transactions on Industrial Electronics*, vol 57, no. 7, pp. 2272-2278, July 2010.
- [11] D. Florica, G. Gateu, E. Florica, A Leredde, "Reducing of the average switching frequency using

- three-level active-SNPC converter,” *13th European Conference on Power Electronics and Applications*, pp. 1-7, 8-10, September 2009.
- [12] G. Carmona, R. Ramos, D. Ruiz-Caballero, S. A. Mussa, T. Meynard, "Symmetrical hybrid multilevel Dc-Ac converters using the PD-CSV modulation," *34th Annual Conference of IEEE Industrial Electronics (IECON 2008)*, pp.3327-3332, 10-13 November. 2008
- [13] A. L. Batschauer, S. A. Mussa, M. L. Heldwein, "Three-Phase Hybrid Multilevel Inverter Based on Half-Bridge Modules," *IEEE Transactions on Industrial Electronics*, vol. 59, no. 2, pp. 668-678 February 2012.
- [14] G. Ceglia, V. Grau, V. Guzman, C. Sanchez, F. Ibanez, J. Walter, A. Millan, M. I Gimenez, "A new multilevel inverter topology," *Proceedings of the Fifth IEEE International Caracas Conference on Devices, Circuits and Systems*, vol.1, pp. 212- 218, 3-5 November. 2004.
- [15] R. R.; Astudillo, D. Ruiz-Caballero, M. S. Ortmann, S. A. Mussa, "New symmetrical hybrid multilevel DC-AC converters", *IEEE Power Electronics Specialists Conference (PESC 2008)*, pp. 1916-1922, June 2008.
- [16] D. G. Holmes, T. A. Lipo, *Pulse Width Modulation for Power Converters – Principles and Practice*: A John Wiley & Sons, Inc. Publication, 2003.
- [17] N. MOHAN, T. M. UNDERLAND, W. P. Robbins, *Power Electronics: Converters, Applications and Design*, 3o ed., John Wiley and Sons, INC, United States of America, 2003.
- [18] B. WU, *High-Power Converters and AC Drives*, New Jersey: Institute of Electrical and Electronics Engineers, 2006.
- [19] A. V. Rocha, G. J. França, M. E. Santos, H. Paula, B. D. J. Cardoso Filho "A Fault-resilient Implementation Of Three Level Npc Igcet-based Converters", *Eletrônica de Potência – SOBRAEP*, vol. 16, no. 2, Maio de 2011.
- [20] G. A. L. Henn, P. P. Praça, R. N. A. L. Silva, D. S. Oliveira Jr., L. H. S. C. Barreto, E. R. C. Silva, "Adapted Modulation For Thd Performance Improvement And Losses Reduction On Multilevel Inverters", *Eletrônica de Potência – SOBRAEP*, vol. 16, no. 2, Maio de 2011.
- [21] F. B. Grigoletto, H. Pinheiro, "Método De Modulação Pwm Para Equilíbrio Das Tensões Dos Capacitores Do Barramento Cc Em Conversores Multiníveis Com Diodos De Grampeamento", *Eletrônica de Potência – SOBRAEP*, vol. 14, no. 2, Maio de 2009.
- [22] L. A. Silva, S. P. Pimentel, J. A. Pomilio, "Sistema De Filtragem Ativa Com Inversor Multinível Assimétrico Em Cascata De Dezenove Níveis E Controle De Tensão Nos Barramentos Cc" *Eletrônica de Potência – SOBRAEP*, vol. 11, no. 1, Março 2006.
- [23] D. M. A. Ávila, M. A. S. Mendes, P. C. Cortizo, "Um Novo Método De Modulação Para Conversores Multiníveis Com Redução Das Perdas Por Comutação E Thd", *Eletrônica de Potência – SOBRAEP*, vol. 16, no. 2, Maio 2011.
- [24] A. S. Oliveira Jr., E. R. Silva, C. B. Jacobina, "Uma Abordagem Simplificada Para Modulação Por Largura De Pulso Em Inversores Multiníveis Com Controle Das Tensões Nos Capacitores Do Barramento Cc" *Eletrônica*

de Potência – SOBRAEP, vol. 10, no. 2, Novembro 2005.

DADOS BIOGRÁFICOS

Ranoyca Nayana Alencar Leão e Silva. Nasceu em Fortaleza, CE, Brasil, formou-se em Engenharia Eletrônica pela Universidade de Fortaleza (UNIFOR) em 2006 e recebeu grau de Mestre pela Universidade Federal do Ceará em 2009. Atualmente é aluna de Doutorado do Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará (PPGEE-UFC) no Grupo de Processamento de Energia e Controle (GPEC). Seus temas de interesse incluem conversores multiníveis, conversores CC/CC e energias renováveis.

MSc. Silva é membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP).

Luiz Henrique Silva Colado Barreto. Nasceu em Navirai, MS, Brasil, formou-se em Engenharia Elétrica pela Universidade Federal de Mato Grosso em 1997 e recebeu grau de Mestre e de Doutor pela Universidade Federal de Uberlândia em 1999 e 2003 respectivamente. Atua como professor adjunto junto ao Departamento de Engenharia Elétrica da Universidade Federal do Ceará desde 2003, onde leciona disciplinas e coordena projetos de pesquisa nas áreas de automação, acionamento de máquinas elétricas, eletrônica de potência e suas aplicações em sistemas de energia e energias renováveis junto ao Grupo de Processamento de Energia e Controle (GPEC).

Dr. Barreto é membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP) e do IEEE nas sociedades IAS, IES e PELS.

Paulo Peixoto Praça. Nasceu em Fortaleza, CE, Brasil, formou-se em Engenharia Eletrônica pela Universidade de Fortaleza (UNIFOR) em 2003 e recebeu grau de Mestre e Doutor pela Universidade Federal do Ceará em 2006 e 2011 respectivamente. Atua como professor adjunto junto ao Departamento de Engenharia Elétrica da Universidade Federal do Ceará desde 2009, onde leciona disciplinas e coordena projetos de pesquisa em sistemas de energia, controle digital e energias renováveis junto ao Grupo de processamento de Energia e Controle (GPEC).

Dr. Paulo P. Praça é membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP) e do IEEE.

Demercil S. Oliveira Jr. nasceu em Santos, São Paulo, Brasil. Obteve sua graduação e o título de mestre em engenharia elétrica pela Universidade Federal de Uberlândia, Brasil, em 1999 e 2001, respectivamente, e o título de doutor pela Universidade Federal de Santa Catarina, Brasil, em 2004. Atualmente é professor adjunto e pesquisador do Grupo de Processamento de Energia e Controle da Universidade Federal do Ceará. Suas áreas de interesse abrangem conversão CC/CC, comutação suave e aplicações de eletrônica de potência em sistemas de energia renovável. Dr. Oliveira é membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP) e do IEEE.

Marcelo Lobo Heldwein formou-se em Engenharia Elétrica pela Universidade Federal de Santa Catarina em 1997, recebeu grau de Mestre em 1999 pela mesma instituição e titulouse-se Doutor pelo Swiss Federal Institute of Technology (ETH), Zurich, Switzerland, em 2007. Ocupa o cargo de professor adjunto no Departamento de Engenharia Elétrica da Universidade Federal de Santa Catarina, na qual trabalha junto ao Instituto de Eletrônica de Potência (INEP). Leciona disciplinas e coordena projetos de pesquisa nas áreas de eletrônica de potência incluindo correção de fator de potência, conversores estáticos de potência e compatibilidade eletromagnética. Dr. Heldwein é membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP) e do IEEE.

Samir Ahmad Mussa formou-se em Engenharia Elétrica pela Universidade Federal de Santa Maria em 1988 e recebeu grau de Mestre e de Doutor pela Universidade Federal de Santa Catarina em 1994 e 2003 respectivamente. Ocupa o cargo de professor adjunto no Instituto de Eletrônica de Potência (INEP-UFSC). Seus interesses de pesquisa incluem controle digital aplicado a eletrônica de potência, técnicas de correção de fator de potência e aplicações de DSP/FPGA. Dr. Mussa é membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP) e do IEEE.